

Università degli Studi di Ferrara



Facoltà di Ingegneria  
Laurea Magistrale in Ingegneria Elettronica  
e delle Telecomunicazioni

Corso di Circuiti Analogici per l'Elaborazione dei Segnali  
*Prof. Gianluca Setti*

---

**PROGETTO E SIMULAZIONE DI UN FILTRO  
PASSA-BASSO DI BUTTERWORTH DEL SECONDO ORDINE  
A CAPACITÀ COMMUTATE**

---

Realizzazione a cura di:

*Nicola Bertoni*

*Stefano Bocchi*

*Alessandro Grossi*

---

Anno Accademico 2011/2012







# Indice

<b>INTRODUZIONE</b> .....	<b>1</b>
<b>1. AMPLIFICATORE OPERAZIONALE</b> .....	<b>3</b>
1.1 SPECIFICHE DI PROGETTO E ASSUNZIONI DI PARTENZA .....	5
1.2 POLARIZZAZIONE E CMR.....	6
1.3 GUADAGNO DIFFERENZIALE .....	9
1.4 LARGHEZZA DI BANDA, MARGINE DI STABILITÀ E COMPENSAZIONE.....	13
1.5 OFFSET SISTEMATICO .....	18
1.6 SLEW RATE.....	19
1.7 GENERATORE DI CORRENTE DI RIFERIMENTO .....	23
1.8 TABELLE RIASSUNTIVE.....	25
1.9 IMPLEMENTAZIONE DELLE EQUAZIONI DI PROGETTO .....	27
1.10 AREE E PERIMETRI DI S/D E TRANSISTORI MULTIFINGER.....	31
1.11 CARATTERIZZAZIONE OP-AMP (SIMULAZIONI SPICE).....	34
<b>2. CAPACITÀ COMMUTATE</b> .....	<b>41</b>
2.1 RESISTORE A CAPACITÀ COMMUTATE .....	42
2.2 CONDENSATORI NEI CIRCUITI INTEGRATI.....	46
2.3 TRANSISTORE MOS COME INTERRUTTORE.....	50
2.4 GENERAZIONE DEI SEGNALI DI CLOCK.....	56
2.5 LIMITI DELLA FREQUENZA DI CLOCK .....	59
2.6 CONCLUSIONI .....	61
<b>3. FILTRO DI BUTTERWORTH</b> .....	<b>62</b>
3.1 CARATTERISTICHE DEI FILTRI ANALOGICI .....	63
3.2 POLINOMIO DI BUTTERWORTH .....	65
3.3 IMPLEMENTAZIONE A CAPACITÀ COMMUTATE.....	70
3.4 ANALISI NEL DOMINIO Z-TRASFORMATO .....	75
3.5 FLUSSO PROGETTUALE DI UN FILTRO A CAPACITÀ COMMUTATE .....	79
3.6 DIMENSIONAMENTO CON CAPACITÀ MULTIPLI INTERI DELLA CAPACITÀ FONDAMENTALE .....	83
3.7 ALIASING E MAGNITUDE DROOP.....	86
3.8 NON IDEALITÀ.....	88
3.8.1 OP-AMP.....	88
3.8.2 Capacità Commutate .....	92
3.9 SIMULAZIONE E TUNING PARAMETRICI.....	102
3.10 RISPOSTA IN FREQUENZA.....	106
3.11 CONCLUSIONI .....	110
<b>APPENDICE A</b> .....	<b>111</b>
<b>APPENDICE B</b> .....	<b>115</b>
<b>APPENDICE C</b> .....	<b>127</b>
<b>APPENDICE D</b> .....	<b>133</b>

<b>ELENCO FIGURE .....</b>	<b>143</b>
<b>ELENCO TABELLE.....</b>	<b>145</b>
<b>BIBLIOGRAFIA.....</b>	<b>147</b>

# Introduzione

L'obiettivo di questo progetto è la realizzazione di un filtro passa-basso del secondo ordine con frequenza di taglio ad 1 kHz. A partire dallo schematico di un filtro attivo a doppio operazionale (Figura 1) sono stati dimensionati tutti i componenti al suo interno al fine di realizzare la funzione filtrante desiderata.

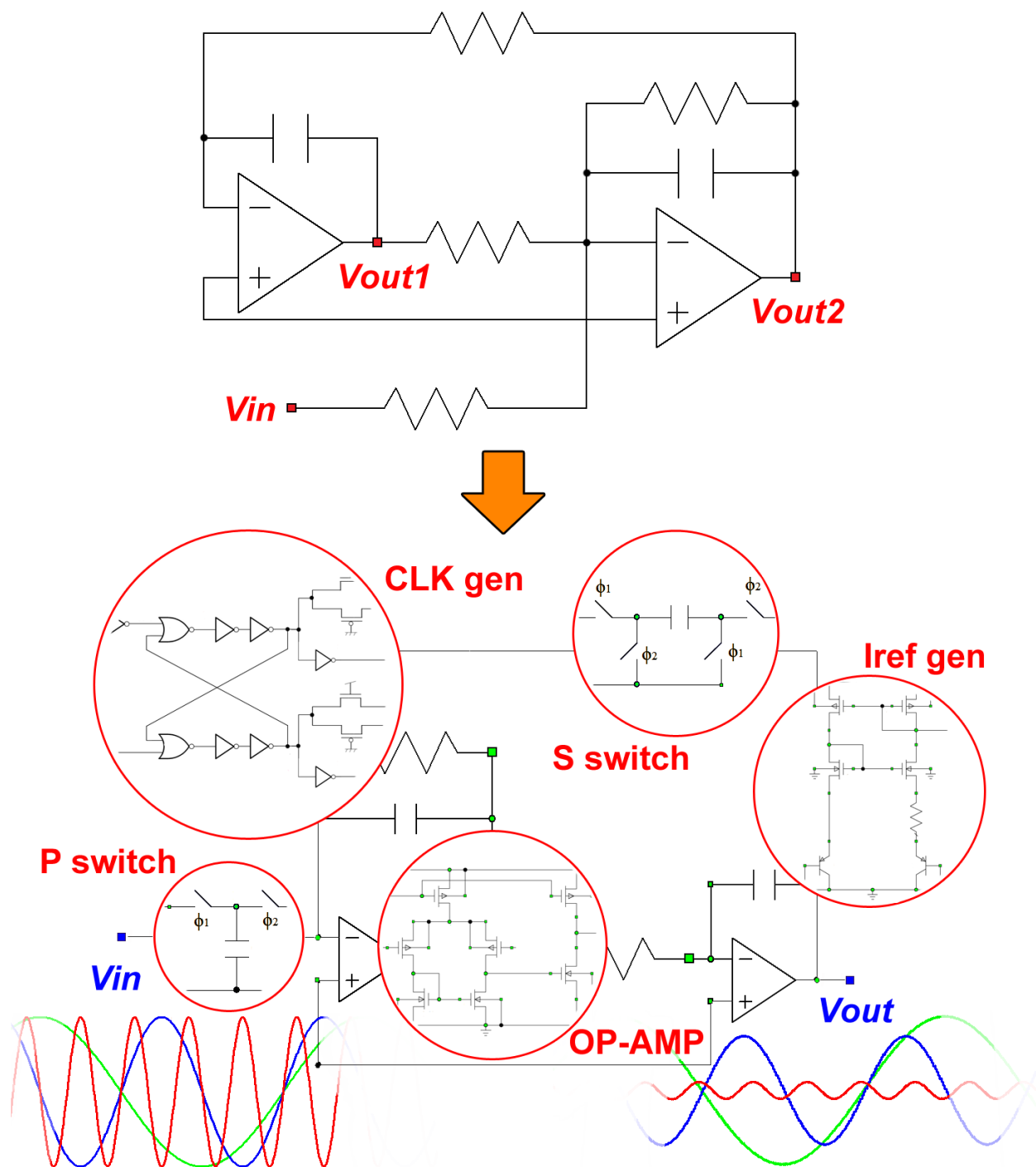


Figura 1 Filtro a capacità commutate con particolari sulla circuiteria interna

## Introduzione

Il progetto viene articolato in tre fasi principali:

- analisi, dimensionamento e caratterizzazione dell'amplificatore operazionale,
- alternative tecnologiche e circuitali per la realizzazione dei componenti passivi,
- analisi, dimensionamento e simulazione del filtro.

Il primo capitolo è interamente dedicato al progetto di un amplificatore operazionale a due stadi con ingresso differenziale che rispetti determinate specifiche in termini di guadagno, larghezza di banda, margine di stabilità ecc. A questo proposito vengono stabiliti tutti i legami tra le prestazioni dell'OP-AMP e i parametri di progetto al fine di ricavare una serie di indicazioni per un corretto dimensionamento dei dispositivi che lo compongono. Individuato un dimensionamento di partenza si passa alla fase simulativa, con un duplice scopo:

- raffinare il dimensionamento ricavato per via teorica attraverso opportuni *tuning* parametrici in modo che i vincoli di progetto risultino rispettati,
- caratterizzazione finale dell'amplificatore.

Nel secondo capitolo sono affrontate le problematiche relative alla realizzazione dei componenti passivi (resistori e capacità) in tecnologia integrata. Nell'ottica di rendere il filtro finale il più possibile preciso ed insensibile alle variazioni dei parametri di processo vengono delineate importanti regole geometriche e soluzioni architettoniche da adottare.

Il terzo, ed ultimo, capitolo è infine dedicato alla realizzazione e alla simulazione del filtro. Al fine di ottenere una funzione di trasferimento con caratteristica massimamente piatta in banda passante vengono sfruttate le proprietà del polinomio di *Butterworth*. Mantenendo come *target* la funzione di trasferimento del secondo ordine associata sono state seguite 4 differenti strade per il dimensionamento. Prima di passare alla simulazione del filtro e al confronto dei risultati sono state infine prese in esame tutte le possibili cause di non idealità e sono stati individuati gli accorgimenti necessari per minimizzarne gli effetti.

Durante lo sviluppo di questo progetto sono stati utilizzati i seguenti software:

- *Wolfram Mathematica 8*, per l'analisi delle relazioni matematiche e la realizzazione dei grafici,
- *LTSpice IV* e *Cadence ORCAD PSpice*, per le simulazioni circuitali.

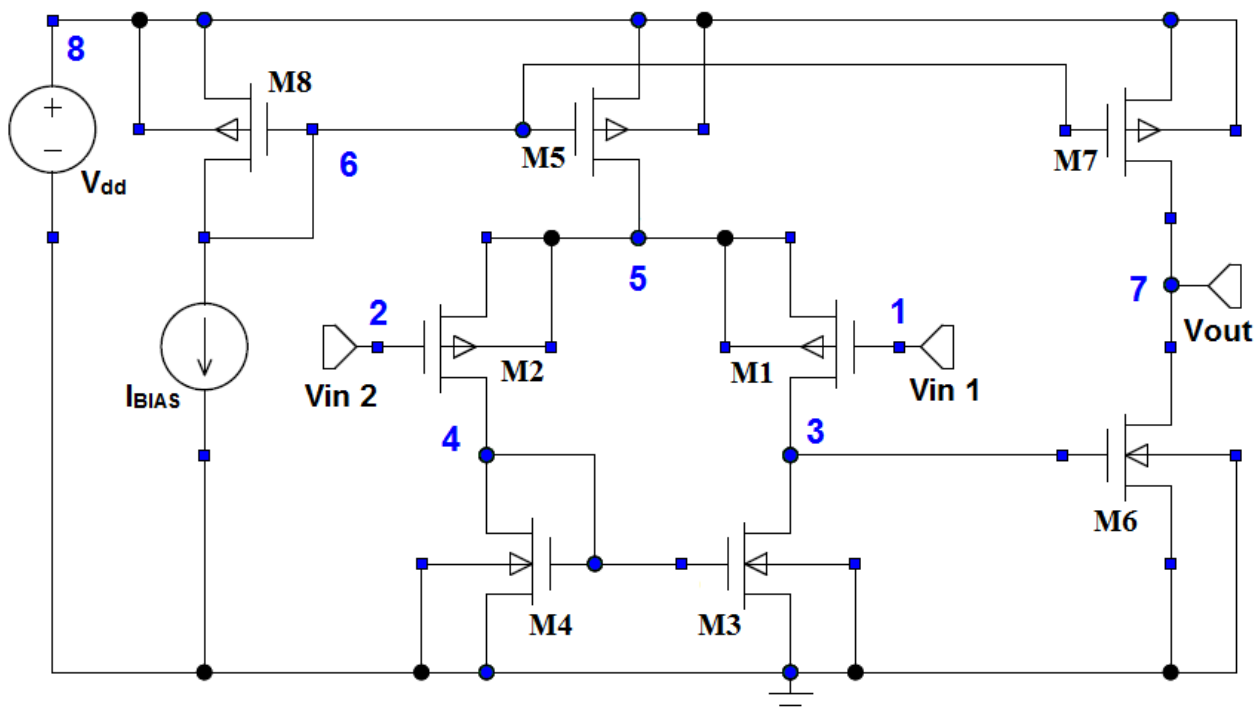
I modelli (*Level 7*) utilizzati per i dispositivi fanno riferimento alla tecnologia *CMOS 0.35 $\mu$ m* di *Austria Microsystems*.



# 1. Amplificatore Operazionale

L'amplificatore operazionale preso in considerazione è costituito da uno stadio di ingresso differenziale, un secondo stadio di guadagno ed un circuito di polarizzazione.

Lo stadio di ingresso è costituito da un amplificatore differenziale polarizzato in corrente con carico attivo a specchio. Si è scelto di utilizzare come transistori di ingresso una coppia a canale  $p$  ( $M1$ - $M2$ ) per due motivi fondamentali: sono intrinsecamente meno rumorosi rispetto ai  $MOS$  a canale  $n$  e permettono di eliminare l'effetto *body* essendo realizzati in *well* separate (pur dovendo pagare il prezzo di una transconduttanza inferiore). L'impiego di un primo stadio che amplifica la differenza di due segnali ha numerosi vantaggi come l'insensibilità alle variazioni parametriche dovute alla temperatura o alle condizioni di funzionamento e l'immunità agli *spike* causati dalle commutazioni di una eventuale linea di clock.



**Figura 1.1** Schematico dell'amplificatore operazionale

Come carico per la coppia differenziale si usa un semplice specchio ( $M3$ - $M4$ ) che permette di stabilizzare la corrente sui due rami attraverso un meccanismo di retroazione intrinseco. La corrente (di riposo) che scorre in ognuno dei due rami dello specchio sarà pari alla metà della corrente che fluisce attraverso il transistor  $M5$ . L'unico prezzo da pagare è l'asimmetria. A causa del collegamento a diodo di  $M4$ , infatti, la resistenza differenziale al nodo 4 risulta molto inferiore rispetto a quella vista al nodo 3. Nell'ottica di massimizzare il guadagno del primo stadio sarà quindi necessario prelevare un'uscita *single-ended* al nodo 3. Il secondo stadio di guadagno è uno stadio in salita (per garantire la saturazione di  $M1$ ) ed è rappresentato da un unico transistor  $MOS$  a canale  $n$  in configurazione a source comune. La rete di polarizzazione, infine, è costituita da un generatore di corrente di riferimento  $I_{BIAS}$  (trattato nel dettaglio successivamente) e da uno specchio di corrente ( $M8$ - $M5$ - $M7$ ) che, dimensionato opportunamente, sarà in grado di imporre la corrente desiderata sui due stadi dell'amplificatore. La tensione di uscita viene prelevata sul *drain* di  $M6$  e,

## *Amplificatore Operazionale*

trattandosi di un nodo ad alta impedenza, verrà fissata dallo stadio a valle (o da una eventuale connessione retroazionata).

Nei paragrafi successivi saranno analizzate nel dettaglio tutte le specifiche caratterizzanti l'amplificatore operazionale al fine di ricavare le equazioni di dimensionamento. Partendo da un primo approccio del tutto teorico verranno impostate le relazioni che legano i parametri sui quali un progettista può agire (dimensioni dei transistor, corrente di polarizzazione...) alle prestazioni dell'OP-AMP in modo che vincoli di progetto come guadagno, margine di fase, larghezza di banda e *slew rate* vengano rispettati. Infine, una volta implementato il circuito in base alle scelte effettuate, si passa alla fase simulativa con *LTSpice*, che svolge una duplice funzione: verifica (ed eventuale *tuning*) dei parametri di dimensionamento ottenuti per via teorica, caratterizzazione dell'OP-AMP realizzato.

## 1.1 Specifiche di Progetto e Assunzioni di Partenza

Prima di procedere con l'analisi teorica che porterà al dimensionamento dell'OP-AMP, bisogna prendere in considerazione le specifiche richieste in termini di:

1) Corrente totale che polarizza i due stadi ( $\Leftrightarrow$ consumo di potenza)	$I_{TOT} \triangleq I_{M5} + I_{M7} = 150 \mu A$
2) Guadagno di tensione a bassa frequenza	$A_{v0} \approx 100 \text{ dB}$
3) Pulsazione a guadagno unitario	$\omega_U > 10 \text{ MHz}$
4) Margine di fase	$MF > 60^\circ$
5) Slew Rate	$SR > 10 \text{ V}/\mu s$

**Per il filtro che si vuole realizzare risulta particolarmente importante la specifica sul  margine di fase, in quanto l'amplificatore verrà retroazionato per effettuare la funzione filtrante.**

In ultima istanza si devono specificare una serie di vincoli ed assunzioni di partenza che rappresentano tutto il background dell'applicazione. Essi sono:

a) Tensione di alimentazione	$V_{dd} = 3.3 \text{ V}$
b) Corrente di riferimento	$I_{BIAS} = I_{D8} = 10 \mu A$
c) Lunghezza dei transistori dell'OP-AMP (ad eccezione dello specchio)	$L = 2 \mu m$
d) Simmetria	$M1 \equiv M2 \quad M3 \equiv M4$

## 1.2 Polarizzazione e CMR

Lo stadio differenziale viene polarizzato in corrente attraverso lo specchio costituito dai transistori  $M8$ - $M5$ - $M7$  il cui corretto dimensionamento è direttamente legato al vincolo sul consumo di potenza. Trascurando la modulazione di canale e considerando che i tre  $MOS$  a canale  $p$  differiscono unicamente per la loro larghezza  $W$ , con riferimento alla teoria degli specchi di corrente si ha che:

$$\frac{I_{M5}}{I_{M8}} \simeq \frac{W_5/L}{W_8/L} = \frac{W_5}{W_8} \quad \frac{I_{M7}}{I_{M8}} \simeq \frac{W_7/L}{W_8/L} = \frac{W_7}{W_8}$$

Ponendo inoltre  $I_1 \triangleq I_{M5}$  e  $I_2 \triangleq I_{M7}$  per semplificare la notazione e considerando i vincoli che legano le due quantità si ha:

$$\begin{cases} I_1 + I_2 = I_{TOT} \\ n \triangleq \frac{I_2}{I_1} \end{cases}$$

È facile vedere che, assegnati  $W_8$  ed  $n$  le regole di dimensionamento della rete di polarizzazione possono essere ridotte alle seguenti equazioni di progetto.

$$\begin{cases} W_8 = W_{MIR} \\ n = n^* \\ W_5 \simeq \frac{I_{TOT}}{(n+1) I_{BIAS}} W_8 \\ W_7 \simeq \frac{I_{TOT} n}{(n+1) I_{BIAS}} W_8 \simeq W_5 n \end{cases} \quad (\text{E.P. 1})$$

Per concludere le osservazioni relative al dimensionamento dello specchio si può fare un'ultima considerazione riguardo la *modulazione di canale*. Ricordando che il fattore di modulazione di canale  $\lambda$  dipende in modo inversamente proporzionale dalla lunghezza di canale  $L$ , si può pensare di aumentare questa dimensione per i transistori dello specchio in modo da rendere questo fenomeno di rilevanza trascurabile.

Si introduce cioè il seguente vincolo:

$$L_8 = L_7 = L_5 = L_{MIR} > L \quad (\text{E.P. 2})$$

Una volta concluso questo dimensionamento, che sarà naturalmente funzione dei valori scelti per  $W_{MIR}$ ,  $L_{MIR}$  ed  $n$ , rimane da fissare la tensione di polarizzazione ai gates di  $M1$  ed  $M2$ .

## Amplificatore Operazionale

Per giustificare la scelta può essere utile fare una breve analisi di quello che viene chiamato *Common Mode Range (CMR)* ovvero le tensioni massima ( $CMR^+$ ) e minima ( $CMR^-$ ) di modo comune che garantiscono un corretto funzionamento di tutti i dispositivi (tutti i transistori in regione di saturazione).

In riferimento allo schematico in *Figura 1.1* si considerano i seguenti casi:

a)  $V_{IN1} = V_{IN2} \nearrow$   $M5$  può uscire dalla saturazione

$$V_{SD5} = V_{dd} - V_5 = V_{SG5} - |V_{Tp}| = V_{dd} - V_6 - |V_{Tp}| \quad \text{al bordo della saturazione}$$

$$\Rightarrow V_{IN1} + \sqrt{\frac{I_1}{\beta_1}} = V_6 = V_{dd} - V_{SG8} = V_{dd} - \sqrt{\frac{2 I_{BIAS}}{\beta_8}} - |V_{Tp}|$$

$$\Rightarrow CMR^+ \simeq V_6 - \sqrt{\frac{I_1}{\beta_1}} = V_{dd} - \sqrt{\frac{2 I_{BIAS}}{\beta_8}} - |V_{Tp}| - \sqrt{\frac{I_1}{\beta_1}} =$$

$$= V_{dd} - \sqrt{\frac{2 L_{MIR} I_{BIAS}}{\beta'_p W_{MIR}}} - |V_{Tp}| - \sqrt{\frac{L I_{TOT}}{\beta'_p W_1 (n+1)}}$$

(E.P. 3)

b)  $V_{IN1} = V_{IN2} \searrow$   $M2$  può uscire dalla saturazione

$$V_{GD2} = V_{G2} - V_{D2} = V_{IN2} - V_{D2}$$

$$V_{SD2} = V_{SG2} - |V_{Tp}| \Rightarrow V_{GD2} = -|V_{Tp}| \quad \text{al bordo della saturazione}$$

$$V_{D2} = V_{GS4} = \sqrt{\frac{I_1}{\beta_4}} + V_{Tn} \Rightarrow V_{IN2} - \sqrt{\frac{I_1}{\beta_4}} - V_{Tn} = -|V_{Tp}|$$

$$\Rightarrow CMR^- \simeq \sqrt{\frac{I_1}{\beta_4}} + V_{Tn} - |V_{Tp}| = \sqrt{\frac{L I_{TOT}}{\beta'_n W_4 (n+1)}} + V_{Tn} - |V_{Tp}| \quad \text{(E.P. 4)}$$

Considerando un set di valori approssimativi (che alla fine del dimensionamento non risulteranno eccessivamente distanti da quelli effettivamente ottenuti) per  $W_1$  ( $140 \mu m$ ),  $W_8$  ( $10 \mu m$ ) e  $W_4$  ( $30 \mu m$ ), con un rapporto di correnti  $n = 2$  e con i seguenti parametri di processo:

$$V_{Tn} = 0.6 V \quad |V_{Tp}| = 0.75 V \quad \beta'_n = 160 \times 10^{-6} \frac{A}{V^2} \quad \beta'_p = 47 \times 10^{-6} \frac{A}{V^2} \quad L_{MIR} = 4 \mu m$$

si ottiene  $CMR^+ \simeq 2 V$  e  $CMR^- \simeq 0 V$

Si può pertanto concludere che un buon valore per la polarizzazione del circuito si potrebbe ottenere fissando una tensione DC (ai gates della coppia differenziale) che sia circa a metà tra i valori di  $CMR^+$  e  $CMR^-$  appena calcolati in modo da permettere la massima escursione al segnale di ingresso (senza comunque dimenticare che essendo un amplificatore per piccoli segnali difficilmente presenterà valori di tensione così critici).

Tuttavia bisogna fare altre due considerazioni importanti:

1. Il calcolo appena portato a termine è del tutto teorico, pertanto i valori reali si possono discostare (anche sensibilmente) da quelli previsti.
2. Generalmente si tende a polarizzare gli ingressi alla stessa tensione dell'uscita poiché il più delle volte gli OP-AMP vengono usati in connessione retroazionata.

$$\boxed{V_{IN1}^0 = V_{IN2}^0 = V_{DC} = 1.65 V} \quad (\text{E.P. 5})$$

In questa prima fase di progetto si è quindi concluso che:

- a) Lo specchio di corrente risulta univocamente dimensionato una volta scelti i valori di  $W_{MIR}$ ,  $L_{MIR}$  ed  $n$  (che ricordiamo essere il rapporto tra le correnti di polarizzazione del secondo e del primo stadio). (E.P. 1)
- b) Per ottenere un rapporto di specchio il più possibile vicino a quello ideale si riduce l'influenza della modulazione di canale aumentando la lunghezza di canale. (E.P. 2)
- c) Gli ingressi della coppia differenziale, a fronte dell'analisi del  $CMR$  e delle considerazioni appena citate, possono essere polarizzati a 1.65 V. (E.P. 3)



## Amplificatore Operazionale

Di conseguenza il guadagno di  $M2$  può essere stimato come:

$$\gamma = A_{v0}(M2) = \frac{g_{m2}/g_{m1}}{1 + g_{m2}/g_{m1}} \simeq \frac{1}{2}$$

Inoltre:

$$v_{GS2} = v_{G2} - v_{S2} = v_i - v_5 = v_i - \gamma v_i \simeq \frac{v_i}{2} \quad v_{GS1} = v_{G1} - v_5 = -\gamma v_i \simeq -\frac{v_i}{2}$$

La tensione di ingresso differenziale si ripartisce come variazione delle  $V_{GS}$  dei transistori  $M1$  e  $M2$ .

Trascurando, in prima approssimazione, l'effetto body e la modulazione di canale si ha che:

$$i_{D2} = g_{m2} v_{GS2} = g_{m2} \frac{v_i}{2} \quad i_{D1} = g_{m1} v_{GS1} = -g_{m1} \frac{v_i}{2}$$

Lo specchio di corrente si comporta da tale anche ai piccoli segnali, pertanto (posto  $g_{m1} = g_{m2} = g_m$ ) al nodo 3 confluirà una corrente complessiva data da

$$i_{D2} + |i_{D1}| \simeq g_m v_i$$

La tensione di uscita può essere espressa come

$$v_3 = (r_{d1} // r_{d3}) g_m v_i$$

Quindi il guadagno del primo stadio sarà

$$A_{v0}^I \simeq \frac{g_{m(1,2)}}{g_{d1} + g_{d3}}$$

Il secondo stadio è un semplice  $MOS$  in configurazione a source comune, pertanto il suo guadagno sarà:

$$|A_{v0}^{II}| \simeq \frac{g_{m6}}{g_{d6} + g_{d7}}$$

Notare che il guadagno complessivo dei due stadi risulta negativo ma, avendo applicato l'ingresso al morsetto invertente si avrà

$$A_{v0}^{TOT} = \frac{v_o}{v_i} > 0$$



Il guadagno complessivo dei due stadi risulta infine:

$$A_{v0}^{TOT} = A_{v0}^I |A_{v0}^{II}| \simeq \frac{g_{m(1,2)} g_{m6}}{(g_{d1} + g_{d3})(g_{d6} + g_{d7})} \simeq \frac{\sqrt{2 \beta_{(1,2)} \frac{I_1}{2} 2 \beta_6 I_2}}{(\lambda_n + \lambda_p)^2 \frac{I_1}{2} I_2} = \frac{2 \sqrt{2 \beta_1 I_1 \beta_6 I_2}}{(\lambda_n + \lambda_p)^2 I_1 I_2} =$$

$$= 2 \sqrt{2} \frac{\sqrt{\beta'_1 \beta'_6 \frac{W_1}{L} \frac{W_6}{L}}}{(\lambda_n + \lambda_p)^2 \sqrt{I_1 I_2}} = 2 \sqrt{2} \frac{\sqrt{\beta'_1 \beta'_6 W_1 W_6}}{(\lambda_n + \lambda_p)^2 L I_{TOT} \frac{\sqrt{n}}{(n+1)}}$$

$$A_{v0} \simeq \underbrace{\frac{2 \sqrt{2 \beta'_p \beta'_n}}{(\lambda_n + \lambda_p)^2 L I_{TOT}}}_{\text{COSTANTE}} \underbrace{\sqrt{W_1 W_6}}_{\text{dipende dal}} \underbrace{\frac{n+1}{\sqrt{n}}}_{f(n)} \quad (\text{E.P. 6})$$

DIMENSIONAMENTO

Dall'ultima espressione si deduce immediatamente che il guadagno dell'amplificatore dipende fondamentalmente da due fattori: il dimensionamento di *M1* e *M6* (maggiore è la larghezza di canale maggiore guadagno ci si dovrà aspettare) e il rapporto fra le correnti di specchio *n*.

Si noti come quest'ultimo incida debolmente sul guadagno (in quanto sotto radice) e si tenga presente che la scelta di questa quantità è particolarmente critica per motivi legati allo *slew rate* che verranno approfonditi nei paragrafi successivi.

Per  $n = 2$ ,  $\lambda_n = 0.008 V^{-1}$  e  $\lambda_p = 0.018 V^{-1}$ , si ottiene che con valori di *W1* e *W6* intorno ai  $40 \mu m$ , la specifica di progetto risulta soddisfatta. Si vedrà in seguito che queste dimensioni non saranno affatto sufficienti.

Per concludere la trattazione relativa al guadagno è necessario fare un'importante precisazione: il guadagno fin qui considerato è il *guadagno differenziale* ovvero  $A_{v0} = A_d = \frac{v_o}{v_{id}}$ .

In generale, la tensione di uscita a piccolo segnale può essere espressa come la somma di due contributi, uno di modo differenziale e uno di modo comune:

$$v_o = A_d v_{id} + A_c v_{ic}$$

Tuttavia, nel caso in esame, la componente di modo comune risulta nulla. Questo è dovuto essenzialmente al fatto che l'approssimazione introdotta sulla conduttanza differenziale di *M5* ( $g_0 \rightarrow 0$ ) porta ad una cancellazione del contributo (indesiderato) di modo comune.

## Amplificatore Operazionale

Facendo un'analisi più approfondita e sviluppando le equazioni derivanti dal modello a piccolo segnale del circuito (vedi *Appendice A*) è infatti possibile ricavare le seguenti relazioni:

$$|A_c| \simeq \frac{g_0 (g_d + g_{dL} + g_{mbL})}{2 g_{mL} (g_d + g_{dL})} \xrightarrow{g_0 \rightarrow 0} 0$$

$$CMRR \triangleq \frac{|A_d|}{|A_c|} \simeq \frac{g_m}{(g_d + g_{dL})} \frac{2 g_{mL} (g_d + g_{dL})}{g_0 (g_d + g_{dL} + g_{mbL})} \xrightarrow{g_0 \rightarrow 0} \infty$$

con

$$g_m \triangleq g_{m1} = g_{m2} \quad \text{transconduttanza di gate } M1, M2$$

$$g_{mL} \triangleq g_{m3} = g_{m4} \quad \text{transconduttanza di gate } M3, M4$$

$$g_d \triangleq g_{d1} = g_{d2} \quad \text{conduttanza di drain } M1, M2$$

$$g_{dL} \triangleq g_{d3} = g_{d4} \quad \text{conduttanza di drain } M3, M4$$

$$g_0 \triangleq g_{d5} \quad \text{conduttanza di drain } M5$$

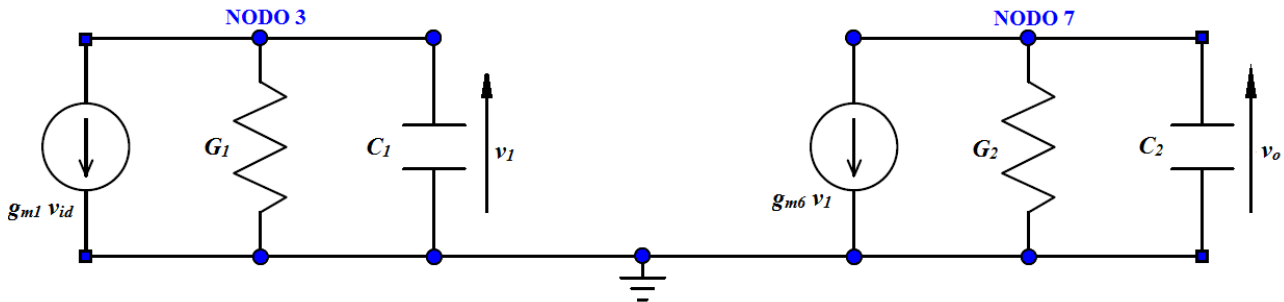
$$g_{mbL} \triangleq g_{mb4} \quad \text{transconduttanza di bulk } M4$$

e

*CMRR (Common Mode Rejection Ratio)*: indice della bontà dell'amplificatore differenziale

## 1.4 Larghezza di Banda, Margine di Stabilità e Compensazione

Il comportamento in frequenza dell'amplificatore è sostanzialmente determinato dalle capacità parassite connesse ai nodi ad alta impedenza, ovvero i nodi 3 e 7 (vedi *Figura 1.1*).



**Figura 1.3** Circuito equivalente a piccolo segnale dei due stadi dell'amplificatore operazionale

La risposta in frequenza può essere ricavata dall'analisi del circuito alle variazioni sopra riportato, che rappresenta i due stadi amplificatori con i relativi effetti reattivi.

Risolvendo le equazioni circuitali si ottiene la seguente relazione:

$$A_v(s) = A_{v0}^I A_{v0}^{II} \frac{1}{\left(1 + s \frac{C_1}{G_1}\right) \left(1 + s \frac{C_2}{G_2}\right)}$$

dove  $A_{v0}^I$ ,  $A_{v0}^{II}$  sono i guadagni dei due stadi a bassa frequenza,  $C_1$  e  $C_2$  sono rispettivamente le capacità associate ai nodi 3 e 7 con  $G_1 \approx g_{d1} + g_{d3}$ ,  $G_2 \approx g_{d6} + g_{d7}$ .

La funzione di trasferimento presenta due poli a pulsazione

$$\omega_{p1} = \frac{G_1}{C_1} \quad \text{e} \quad \omega_{p2} = \frac{G_2}{C_2}$$

Si può affermare, con buona approssimazione, che  $C_2 \gg C_1$  poiché la capacità  $C_2$  comprende anche la capacità  $C_L$  dovuta al carico a valle, che sarà presumibilmente molto maggiore delle capacità parassite dei transistor. Considerando tuttavia la necessità di avere un fattore  $n$  maggiore dell'unità ( $G_2 > G_1$ ), non sempre si riesce ad avere una caratteristica di trasferimento con poli sufficientemente separati tra loro. Considerando inoltre che in molti casi (compresa la realizzazione del filtro in esame) gli *OP-AMP* vengono utilizzati in retroazione, possono sorgere problemi per quanto riguarda la *stabilità*. Dai diagrammi di Bode di seguito riportati si può infatti osservare che, alla pulsazione a guadagno unitario, si ha uno sfasamento intorno ai  $-150^\circ/-160^\circ$ , corrispondente ad un *margin di fase* di  $20^\circ/30^\circ$ .

Per avere un discreto margine di sicurezza in caso di *mismatch* dei parametri di processo e garantire che l'amplificatore rimanga sempre stabile si richiede un **margin di fase** di  $45^\circ/60^\circ$ .

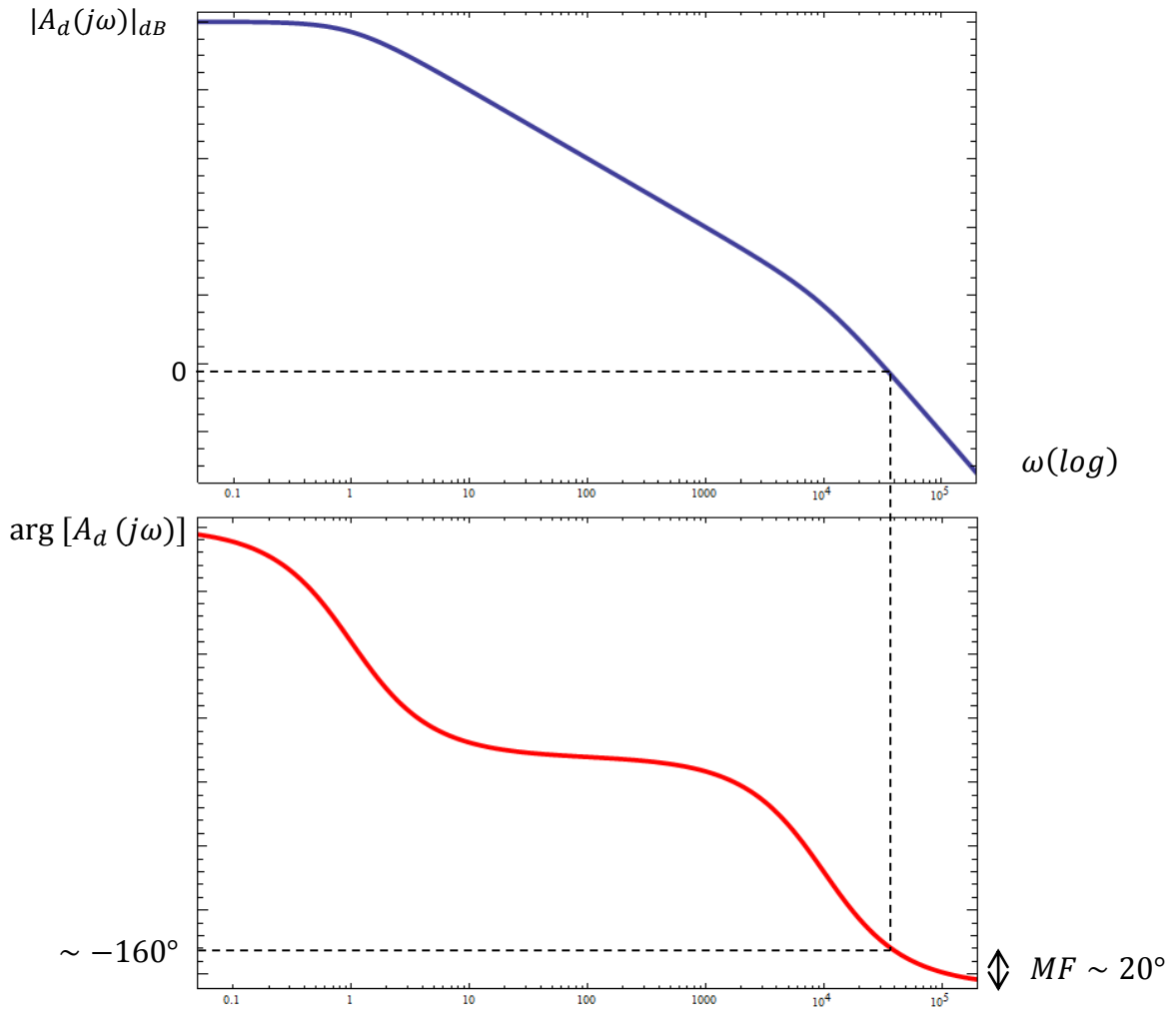


Figura 1.4 Diagrammi di Bode di ampiezza e fase

Per ottenere questo risultato si interviene con una modifica della topologia circuitale. In particolare, si inserisce una *capacità di compensazione*  $C_C$  tra i nodi 3 e 7 (Figura 1.5) che, a scapito di una penalizzazione del guadagno in alta frequenza, permette di ottenere il margine di fase desiderato.

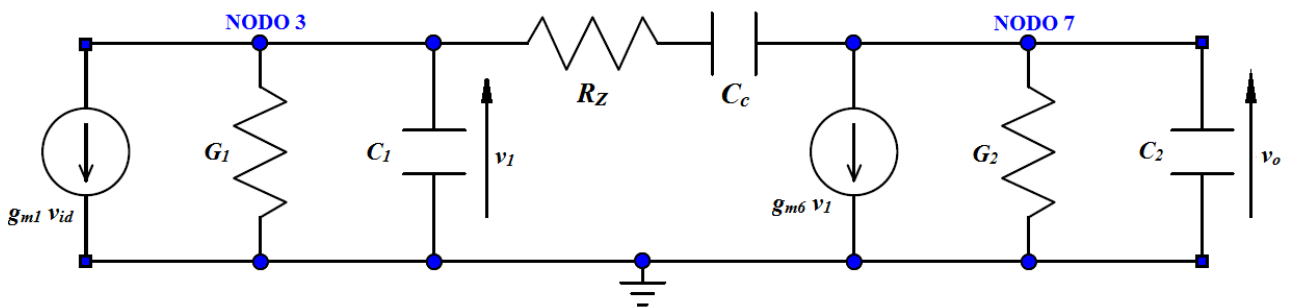


Figura 1.5 Circuito equivalente con capacità di compensazione

La posizione in cui viene posizionata  $C_C$  permette di sfruttare l'effetto Miller per ridurre l'occupazione d'area della capacità stessa.

L'introduzione di questo *effetto reattivo controllato* modifica la funzione di trasferimento complessiva che presenta, ora, *due poli e uno zero*.

$$A_v(s) = A_{v0} \frac{1 - \frac{s}{\omega_z}}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right)}$$

$$\omega_{p1} \simeq \frac{G_1}{C_C (1 + g_{m6} R_Z)} \quad \omega_{p2} \simeq \frac{g_{m6}}{C_2} \quad \omega_z \simeq \frac{g_{m6}}{C_C}$$

Inoltre, per evitare che il transistor  $M6$  venga cortocircuitato dalla capacità in alta frequenza, si introduce un resistore  $R_Z$  in serie che aumenta ulteriormente i gradi di libertà del progetto aggiungendo *un nuovo polo* alla funzione di trasferimento.  $\omega_{p1}$  e  $\omega_{p2}$  rimangono invariate, mentre la pulsazione di zero viene spostata a frequenza più alta.

$$\omega'_z \simeq \frac{g_{m6}}{C_C} \frac{1}{1 - g_{m6} R_Z} \quad \omega_{p3} \simeq \frac{1}{R_Z C_1}$$

La possibilità di variare la pulsazione di zero attraverso un opportuno *tuning* di  $R_Z$  suggerisce una soluzione interessante per semplificare la funzione di trasferimento: *una cancellazione polo-zero*. In particolare, facendo coincidere il valore di  $\omega'_z$  con quello di  $\omega_{p2}$ , è possibile ottenere una risposta in frequenza a due soli poli.

$$\omega_{p2} = -\omega'_z \Leftrightarrow$$

$$R_Z \simeq \frac{1}{g_{m6}} \left(1 + \frac{C_2}{C_C}\right) \simeq \sqrt{\frac{L(n+1)}{2\beta'_n W_6 n I_{TOT}}} \left(1 + \frac{C_2}{C_C}\right) \quad (\text{E.P. 7})$$

Poiché spesso la realizzazione di resistenze in tecnologia integrata può risultare problematica per via dell'eccessiva occupazione d'area, si sostituisce  $R_Z$  con un transistor  $MOS$  polarizzato in regione lineare, il cui comportamento è assimilabile a quello di una resistenza (*Figura 1.6*).

$$I_{D9} \simeq \beta'_n \left(\frac{W}{L}\right)_9 (V_{GS9} - V_{Tn}) V_{DS8} \Rightarrow R_Z \simeq \frac{1}{\beta'_n \left(\frac{W}{L}\right)_9 (V_{GS9} - V_{Tn})}$$

Quindi, mantenendo la lunghezza di canale uguale a quella degli altri transistori, si può ottenere la resistenza desiderata sfruttando la relazione inversa

$$W_9 \simeq \frac{L}{\beta'_n (V_{GS9} - V_{Tn}) R_Z} \quad (\text{E.P. 8})$$

## Amplificatore Operazionale

L'ultimo step rimasto risulta quello di semplificare ulteriormente la *fdt* per ricondurla al caso più semplice di unico polo. Facendo in modo che i due poli siano sufficientemente lontani tra loro ( $\omega_{p1} \ll \omega_{p3}$ , *ipotesi di polo dominante verificata*) si riesce ad aumentare la banda dell'amplificatore rendendola dipendente solo dalla posizione del primo polo.

In particolare, se

$$\omega_{p3} > \omega_u \Leftrightarrow$$

$$C_C > C_1 g_{m1} R_Z = \overline{C_C} \quad (\text{E.P. 9})$$

allora

$$\omega_u = GBW \text{ (Gain Bandwidth Product)} = A_{v0} \omega_{p1} = \frac{g_{m1}}{C_C} = \frac{\sqrt{\beta'_p \frac{W_1}{L} I_1}}{C_C} = \frac{1}{C_C} \sqrt{\frac{\beta'_p W_1 I_{TOT}}{L(n+1)}}$$

Le considerazioni fatte fino ad ora sono riassunte nei seguenti punti:

- a) per avere un margine di fase sufficiente ( $MF \simeq 45^\circ \div 60^\circ$ ) e non penalizzare il guadagno in alta frequenza è necessario introdurre una capacità di compensazione  $C_C$  e una resistenza  $R_Z$  in serie tra l'ingresso e l'uscita del secondo stadio;
- b) la presenza di tali componenti produce una *fdt a tre poli e uno zero*;
- c) per ricondursi alla forma consueta ad un solo polo (e quindi allargare la banda) si adotta la seguente strategia progettuale:
  - 1) **cancellazione polo-zero** attraverso un *tuning* di  $R_Z$  (E.P. 5);
  - 2) **spostamento di  $\omega_{p3}$  in alta frequenza** che permette di ottenere il margine di fase desiderato  $C_C = C_C^* > \overline{C_C} \Rightarrow MF = MF^* > 45^\circ$   
 $[C_C = \overline{C_C} \Rightarrow MF = 45^\circ]$
- d) la pulsazione di taglio a guadagno unitario coincide con quella nel caso di unico polo e si ha:

$$\left\{ \begin{array}{l} \text{(E.P. 6)} \\ \text{(E.P. 7)} \end{array} \right. \Rightarrow GBW = \sqrt{\frac{\beta'_p I_{TOT}}{L}} \underbrace{\frac{1}{C_C}}_{\text{COMPENSAZIONE}} \underbrace{\sqrt{W_1}}_{\text{DIMENSIONAMENTO MI}} \underbrace{\frac{1}{\sqrt{n+1}}}_{\text{RAPP. SPECCHIO}} \quad (\text{E.P. 10})$$

La capacità di compensazione, pertanto, dovrà essere scelta la più piccola possibile, compatibilmente con il margine di fase desiderato, per non penalizzare eccessivamente la banda.

Il dimensionamento di  $M1$  sarà fatto tenendo in considerazione l'occupazione d'area del transistor in quanto il suo fattore di forma massimizza guadagno e banda, mentre il rapporto di specchio verrà considerato al termine di tutte le analisi in quanto influenza tutte le specifiche in gioco.

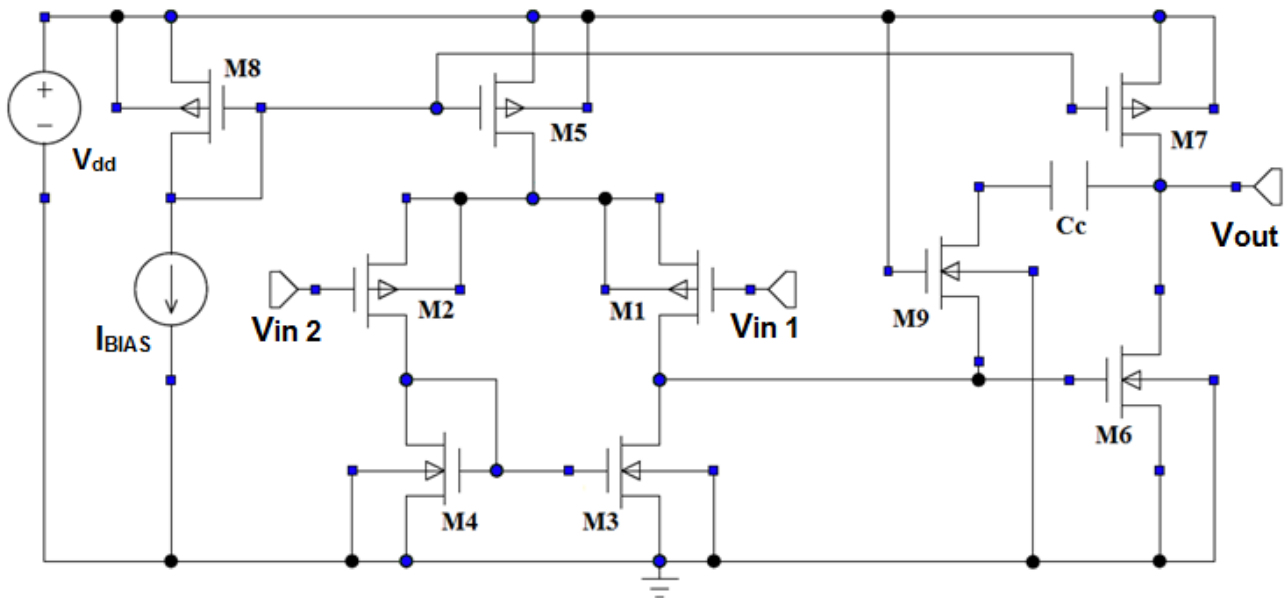


Figura 1.6 Schematico dell'amplificatore operazionale completo

## 1.5 Offset Sistemico

Per tensione di offset riferita all'ingresso si intende la tensione differenziale di ingresso che produce un'uscita pari a  $1.65 \text{ V}$  ( $\frac{V_{dd}-V_{ss}}{2} = \frac{V_{dd}}{2}$ ).

La tensione di offset di un OP-AMP è scomponibile in due contributi: l'*offset aleatorio* e l'*offset sistematico*. Il primo è provocato dal *mismatch* dei dispositivi causato da imperfezioni di processo mentre il secondo è dovuto alla asimmetria topologica del circuito e può essere eliminato attraverso una specifica strategia di progetto. Per studiare l'offset sistematico consideriamo i due stadi amplificatori (vedi *Figura 1.6*) separati.

Se agli ingressi del primo stadio è applicata la sola tensione di polarizzazione  $V_{DC} = 1.65 \text{ V}$ , e il *matching* dei dispositivi è perfetto ( $M1 \equiv M2$ ,  $M3 \equiv M4$ ) allora la tensione drain-source di  $M3$  deve essere uguale a quella di  $M4$ . Questo risultato deriva dal fatto che, se  $V_{DS3} = V_{DS4}$ , allora  $V_{DS1} = V_{DS2}$  e  $|I_{D1}| = |I_{D2}| = I_1/2$ . Pertanto, con  $V_{DS3} = V_{DS4}$ ,  $|I_{D3}| = |I_{D4}| = I_1/2$ .

Conseguentemente  $V_{DS3}$  deve essere uguale a  $V_{DS4}$  perché questo punto di lavoro è l'unico per cui la corrente uscente dal drain di  $M2$  è uguale alla corrente entrante nel drain di  $M4$ . Per esempio, aumentando la tensione drain-source di  $M4$ , aumenta la corrente  $|I_{D4}|$  ma diminuisce la corrente  $|I_{D2}|$  a causa della modulazione di lunghezza di canale. Quindi, sotto queste condizioni, le due tensioni dovranno necessariamente essere uguali.

Guardando il secondo stadio, la tensione  $V_{GS6}$  necessaria per portare la tensione di uscita al valore desiderato può essere diversa dalla tensione di uscita del primo stadio (nodo 3). Per avere una tensione di uscita del secondo stadio pari a  $\frac{V_{dd}}{2}$ , la tensione gate-source di  $M6$  deve essere tale da garantire una corrente uguale alla corrente erogata da  $M7$ . Quando si connettono i due stadi si ha  $V_{GS6} = V_{DS4} = V_{DS3} = V_{GS3}$  (nelle condizioni sopra considerate), quindi

$$V_{ov3} = V_{ov4} = V_{ov6} \Rightarrow \frac{|I_{D3}|}{(W/L)_3} = \frac{|I_{D4}|}{(W/L)_4} = \frac{|I_{D6}|}{(W/L)_6}$$

In altre parole, richiedere che i transistor abbiano la stessa tensione di *overdrive* equivale a richiedere che essi abbiano la stessa *densità di corrente* (rapporto corrente-fattore di forma).

Poiché  $|I_{D3}| = |I_{D4}| = I_1/2$  e  $|I_{D6}| = |I_{D7}|$

$$\frac{|I_{D5}|}{2(W/L)_3} = \frac{|I_{D7}|}{(W/L)_6} \Rightarrow \frac{|I_{D5}|}{2W_3} = \frac{|I_{D7}|}{W_6}$$

Poiché inoltre  $M5$  e  $M7$  hanno la stessa tensione gate-source, trascurando la modulazione di canale,

$$\frac{|I_{D7}|}{|I_{D5}|} = \frac{(W/L)_7}{(W/L)_5} = \frac{W_7}{W_5} = n$$

Sostituendo infine nell'equazione precedente si trova la relazione che lega il dimensionamento di  $M3$  (e quindi anche  $M4$ ) a quello di  $M6$ .

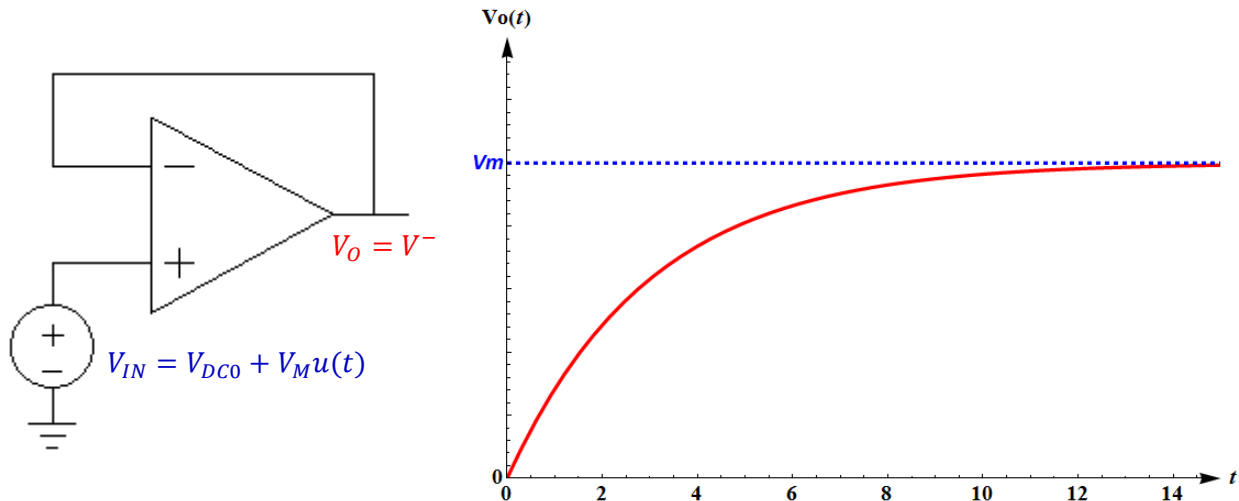
$$\frac{W_6}{W_3} \simeq 2n \quad (\text{E.P. 11})$$



## 1.6 Slew Rate

Lo *slew rate* è la massima velocità di variazione della tensione di uscita di un amplificatore ad anello chiuso pilotato con grandi segnali.

Supponiamo di eccitare l'ingresso con un gradino di tensione di ampiezza  $V_M$  sovrapposto alla tensione di polarizzazione di 1.65 V in modo che  $V_{DC} + V_M < CMR^+ \simeq 2 V$ .



**Figura 1.7** Collegamento in retroazione per il calcolo dello SR e risposta esponenziale

Ponendoci nelle condizioni di polo dominante, la funzione di trasferimento di anello è data da:

$$A_{CL}(s) = \frac{A_v(s)}{1 + A_v(s)} = \frac{A_{v0}}{1 + \frac{s}{\omega_{p1}}} \frac{1}{1 + \frac{A_{v0}}{1 + s/\omega_{p1}}} \simeq \frac{1}{1 + s\tau}$$

$$\text{con } \tau = \frac{1}{\omega_{p1}(1+A_{v0})} \simeq \frac{1}{\omega_{p1} A_{v0}}$$

Nel dominio di Laplace

$$V_O(s) = A_{CL} \frac{V_M}{s} \simeq \frac{1}{1 + s\tau} \frac{V_M}{s} \xrightarrow{\mathcal{L}^{-1}} v_o(t) = V_M (1 - e^{-t/\tau}) u(t)$$

Questa relazione è valida unicamente in regime di piccoli segnali, quando il comportamento dell'amplificatore è lineare. Nella realtà, infatti, la risposta dell'OP-AMP a un gradino di tensione sufficientemente elevata non è affatto esponenziale, ma presenta una caratteristica (almeno inizialmente) lineare.

Consideriamo ora, con riferimento allo schematico di *Figura 1.8*, l'analisi del transitorio di salita.

Per  $t = 0^-$  si ha  $V_{IN1} = V_{IN2} = V_O = V_{DC}$

Per  $t = 0^+$ ,  $V_{IN1} \rightarrow V_{DC} + V_M$  mentre  $V_{IN2} = V_O \simeq V_{DC}$  perché la tensione ai capi della capacità non può variare istantaneamente. In queste condizioni si avrà:

$$V_{GS1} \gg \Rightarrow M1 \text{ acceso e } V_{GS2} \ll \Rightarrow M2 \text{ spento} \Rightarrow I_{D2} = I_{D4} = I_{D3} = 0$$

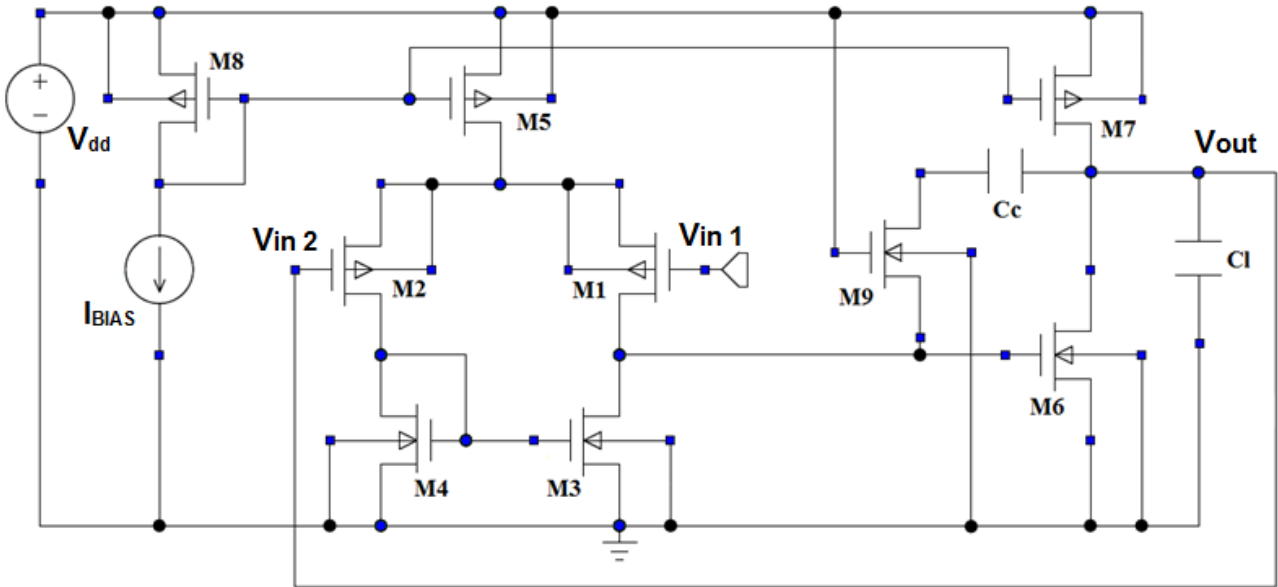


Figura 1.8 Schematico dell'OP-AMP retroazionato con carico  $C_L$

Poiché per ogni istante deve valere  $I_{D1} + I_{D2} = I_1$ , si avrà una corrente massima che carica la capacità  $C_C$  pari a  $I_{MAX} = I_1$ . La corrente che, in generale, scorre attraverso  $C_C$  è data da:

$$I^* = I_{D3} - I_{D1} = C_C \frac{d(V_0 - V_3)}{dt} \simeq C_C \frac{dV_0}{dt} \quad (\text{nell'approssimazione iniziale di piccolo segnale})$$

$$SR = \left| \frac{dV_0}{dt} \right|^{MAX} \simeq \left| \frac{I^*}{C_C} \right|^{MAX} = \frac{I_1}{C_C}$$

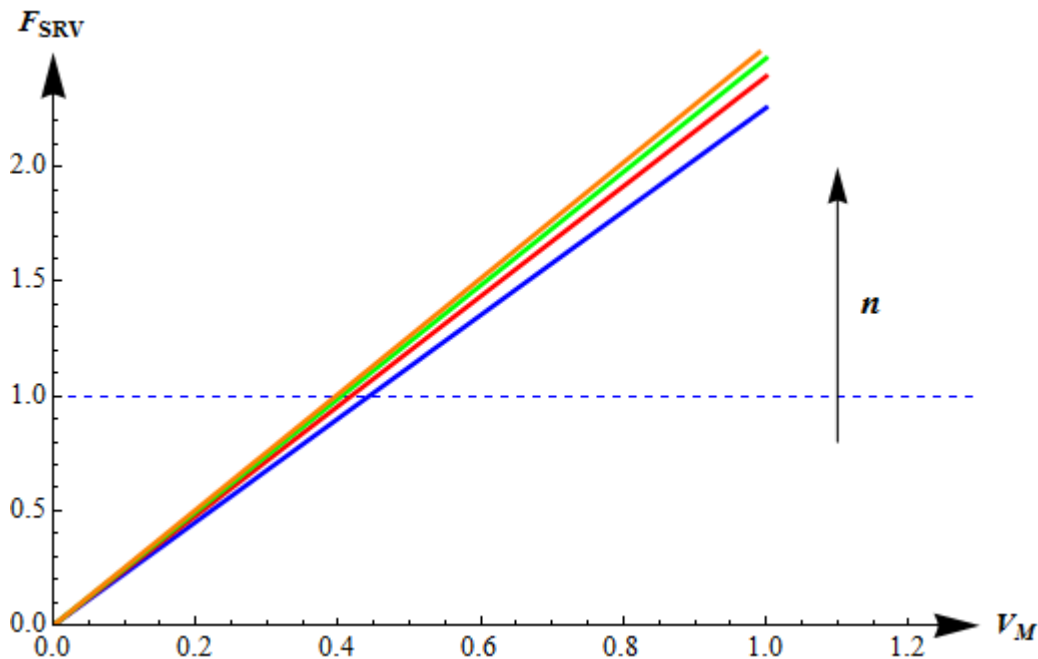
La formula sopra riportata giustifica l'andamento lineare riscontrabile nella parte centrale del transitorio della forma d'onda di uscita. Si nota inoltre che, non appena  $M_2$  si accende, la corrente disponibile per caricare la capacità diminuisce e quindi si ha un andamento della caratteristica che diventa meno-che-lineare.

Una volta ricavata una formulazione generica per lo *slew rate* è necessario fare un'importante precisazione: in fase di simulazione si può notare che il fenomeno dello *slew rate* non è sempre visibile. Questa situazione è dovuta al fatto che, nel caso di capacità di compensazione piccola o corrente  $I_1$  molto consistente, la pendenza di *slew rate* può risultare maggiore di quanto non sia la velocità massima di variazione dell'uscita in regime lineare (piccolo segnale). Al fine di quantificare questo limite si procede sviluppando la seguente relazione:

$$\left| \frac{dv_0}{dt} \right|^{MAX} = V_M \frac{1}{\tau} \simeq V_M \omega_{p1} A_{v0} = V_M A_{v0} \frac{G_1 G_2}{g_{m6} C_C} = V_M A_{v0} \frac{(\lambda_n + \lambda_p)^2 I_{TOT}^{\frac{3}{2}} \sqrt{L}}{2\sqrt{2\beta'_n W_6}} \frac{\sqrt{n}}{(n+1)^{\frac{3}{2}} C_C}$$

$$\left| \frac{dv_0}{dt} \right|^{MAX} > \frac{I_1}{C_C} \Rightarrow F_{SRV}(V_M, n) = V_M A_{v0} \frac{(\lambda_n + \lambda_p)^2 \sqrt{I_{TOT} L}}{2\sqrt{2\beta'_n W_6}} \sqrt{\frac{n}{(n+1)}} > 1 \quad ?$$

Se la disuguaglianza risulta verificata, lo *slew rate* è visibile e quindi determina la risposta dell'amplificatore ai grandi segnali, diversamente si ottiene una caratteristica di uscita esponenziale come in regime di piccoli segnali.



**Figura 1.9** Grafico della funzione di visibilità dello *slew rate*, dipendente da  $V_M$  e parametrica in  $n$

Fino ad ora, per l'analisi dello *slew rate* è stato considerato solo l'amplificatore a vuoto. È però lecito chiedersi cosa può accadere nel momento in cui all'uscita venga collegato un carico. Verrà considerato un carico di tipo capacitivo  $C_L$ , dal momento che per la realizzare il filtro saranno connesse diverse capacità (si trascurano gli effetti resistivi).

In prima approssimazione è lecito ritenere che lo *slew rate* dipenda dal carico applicato all'uscita ma per poter scendere nel dettaglio è necessaria un'analisi più approfondita.

In quest'ottica si prenderà in considerazione la presenza o meno di questa capacità di carico, e verrà analizzato lo *slew rate* del fronte di salita e del fronte di discesa dell'onda quadra in modo separato.

In riferimento allo schema di *Figura 1.8* (esclusa la presenza del carico  $C_L$ ), è chiaro che la corrente massima in grado di scaricare la capacità  $C_C$  durante il fronte di discesa è  $I_1$  (vincolo dato dalla corrente erogata da  $M5$ ), analogamente alla trattazione precedente, in quanto il percorso di scarica seguito dalla corrente coinvolge in ordine  $M5 - M1 - R_Z - C_C$  ed  $M6$ . Quindi si ha:

$$SR^+_{\text{senza carico}} = SR^-_{\text{senza carico}} \simeq \frac{I_1}{C_C} = \frac{I_{TOT}}{(n+1) C_C} \quad (\text{E.P. 12})$$

Passiamo, a questo punto, al caso in cui è presente la capacità di carico  $C_L$ . Questa volta per alzare la tensione del nodo di uscita è necessario caricare due capacità, e necessariamente lo *slew rate* dipenderà dalla capacità che si caricherà/scaricherà più lentamente.

Si parte dal fronte di salita. La capacità di compensazione, come nei casi precedenti, si può caricare con una corrente massima  $I_1$  attraverso il percorso  $M7 - C_C - R_Z - M3$  (vincolo sulla massima corrente che può scorrere su  $M3$ ), mentre la capacità di carico si potrà caricare con una corrente

$I_2 - I_1$ . Di conseguenza, lo slew rate connesso alla carica della capacità  $C_L$  (che sarà chiamato, per semplicità, *secondo slew rate*) sarà dato, in prima approssimazione, da

$$SR2^+ = \frac{I_2 - I_1}{C_L}$$

In realtà, poiché il nodo di uscita è in comune tra le due capacità, lo *slew rate* naturalmente sarà unico e pari a

$$SR^+ = \min(SR1^+, SR2^+)$$

$$\text{con } SR1^+ = SR^+_{\text{senza carico}} = \frac{I_1}{C_C}$$

$$\Rightarrow SR^+ = \min\left(\frac{I_1}{C_C}, \frac{I_2 - I_1}{C_L}\right) = \min\left(\frac{I_1}{C_C}, \frac{(n-1)I_1}{C_L}\right)$$

Alla luce di quanto detto sopra, lo *slew rate* in salita sarà determinato da:

$$SR^+_{\text{con carico}} \simeq \begin{cases} \frac{I_1}{C_C} = \frac{I_{TOT}}{(n+1)C_C} & \text{se } C_C > \frac{C_L}{(n-1)} \\ \frac{(n-1)I_1}{C_L} = \frac{(n-1)I_{TOT}}{(n+1)C_L} & \text{se } C_C < \frac{C_L}{(n-1)} \end{cases} \quad (\text{E.P. 13})$$

Si passa ora ad analizzare il fronte di discesa. In questo caso la scarica di  $C_C$  è sempre legata alla corrente di polarizzazione dello stadio differenziale, mentre la scarica della capacità di carico avviene tramite il transistor  $M6$  e non risulta avere nessun vincolo di corrente massima. Pertanto si ha che lo *slew rate* del transitorio in discesa è unicamente determinato dalla scarica della capacità di compensazione.

$$SR^-_{\text{con carico}} = SR^-_{\text{senza carico}} \simeq \frac{I_1}{C_C} = \frac{I_{TOT}}{(n+1)C_C} \quad (\text{E.P. 14})$$



## *Amplificatore Operazionale*

L'utilizzo dei transistori bipolari è dovuto al fatto che, all'interno di un chip, la dispersione della tensione di soglia base-emettitore è più facile da controllare rispetto alla tensione di soglia di un transistor *MOS*. La realizzazione di questo generatore interamente in tecnologia integrata è possibile grazie alla compatibilità dei transistori bipolari con collettore connesso a massa con i processi standard *n-well*.

Per quanto riguarda il dimensionamento di tutti i transistori *MOS*, esso risulta influente al fine del corretto funzionamento del generatore, a patto che si abbia, ovviamente,

$$M_a \equiv M_b \text{ e } M_c \equiv M_d \quad (\text{Nota: } M_b \text{ coincide con } M_8!)$$

Sarà sufficiente, pertanto, scegliere un unico fattore di forma uguale per tutti i transistori, tenendo presente che gli specchi di corrente risentono tanto meno della modulazione di canale quanto più è maggiore la lunghezza di canale (come detto in precedenza).

$$\begin{cases} W_A = W_C = W_D = W_{MIR} \\ L_A = L_C = L_D = L_{MIR} \end{cases} \quad (\text{E.P. 17})$$

## 1.8 Tabelle Riassuntive

Prima di passare alla fase di implementazione vera e propria, vengono riassunti i risultati teorici ottenuti, al fine di avere una linea guida semplice e chiara da seguire per il dimensionamento di amplificatore e generatore di corrente.

Di seguito viene riportato anche uno schema che mette in evidenza le dipendenze delle specifiche da soddisfare dai parametri di progetto.

<b>OP-AMP</b>		
$\begin{cases} W_8 = W_{MIR} \\ n = n^* \\ W_5 \simeq \frac{I_{TOT}}{(n+1) I_{BIAS}} W_8 \\ W_7 \simeq \frac{I_{TOT} n}{(n+1) I_{BIAS}} W_8 \simeq W_5 n \end{cases}$	SPECCHIO DI POLARIZZAZIONE (E.P. 1-2)	
$L_8 = L_7 = L_5 = L_{MIR} > L$		
$CMR^+ \simeq V_{dd} - \sqrt{\frac{2 L_{MIR} I_{BIAS}}{\beta'_p W_{MIR}}} -  V_{Tp}  - \sqrt{\frac{L I_{TOT}}{\beta'_p W_1 (n+1)}}$	CMR (E.P. 3-4)	
$CMR^- \simeq \sqrt{\frac{I_1}{\beta_4}} + V_{Tn} -  V_{Tp}  = \sqrt{\frac{L I_{TOT}}{\beta'_n W_4 (n+1)}} + V_{Tn} -  V_{Tp} $		
$V_{IN1}^0 = V_{IN2}^0 = V_{DC} = 1.65 V$		
$A_{v0} \simeq \frac{2 \sqrt{2 \beta'_p \beta'_n}}{(\lambda_n + \lambda_p)^2 L I_{TOT}} \sqrt{W_1 W_6} \frac{n+1}{\sqrt{n}}$	GUADAGNO (E.P. 6)	
$R_Z \simeq \frac{1}{g_{m6}} \left(1 + \frac{C_2}{C_C}\right) \simeq \sqrt{\frac{L (n+1)}{2 \beta'_N W_6 n I_{TOT}}} \left(1 + \frac{C_2}{C_C}\right)$	APPROSSIMAZIONE DI POLO DOMINANTE E COMPENSAZIONE (E.P. 7-8-9)	
$W_9 \simeq \frac{L}{\beta'_n (V_{GS9} - V_{Tn}) R_Z}$		
$C_C > C_1 g_{m1} R_Z = \bar{C}_C$		
$GBW = \sqrt{\frac{\beta'_p I_{TOT}}{L}} \frac{1}{C_C} \sqrt{W_1} \frac{1}{\sqrt{n+1}}$	PRODOTTO GUADAGNO- LARGHEZZA DI BANDA (E.P. 10)	
$\frac{W_6}{W_3} \simeq 2n$		
OFFSET SISTEMATICO (E.P.11)		

$SR^+_{\text{senza carico}} = SR^-_{\text{senza carico}} \simeq \frac{I_1}{C_C} = \frac{I_{TOT}}{(n+1)C_C}$	SLEW RATE (E.P. 12-13-14)
$SR^+_{\text{con carico}} \simeq \begin{cases} \frac{I_1}{C_C} = \frac{I_{TOT}}{(n+1)C_C} & \text{se } C_C > \frac{C_L}{(n-1)} \\ \frac{(n-1)I_1}{C_L} = \frac{(n-1)I_{TOT}}{(n+1)C_L} & \text{se } C_C < \frac{C_L}{(n-1)} \end{cases}$	
$SR^-_{\text{con carico}} = SR^-_{\text{senza carico}} \simeq \frac{I_1}{C_C} = \frac{I_{TOT}}{(n+1)C_C}$	

<b>GENERATORE DI CORRENTE</b>	
$\alpha \triangleq \frac{AE_{Q2}}{AE_{Q1}}$	RAPPORTO AREE DI EMETTITORE BJT (E.P. 15)
$R = \frac{V_T \ln \alpha}{I_{BIAS}}$	RESISTENZA (E.P. 16)
$\begin{cases} W_A = W_C = W_D = W_{MIR} \\ L_A = L_C = L_D = L_{MIR} \end{cases}$	FATTORI DI FORMA MOS (E.P. 17)

**Tabella 1.1** Equazioni di Progetto

<b>DIMENSIONAMENTO M1, M3, M6, C<sub>C</sub>, n (M5, M7)</b>	
$MF = f(C_C)$	$C_C \nearrow$
$SR = f(n, C_C)$	$C_C \searrow n ?$
$GBW = f(n, W_1, C_C)$	$W_1 \nearrow C_C, n \searrow$
$A_{v0} = f(n, W_1, W_6)$	$W_1, W_6, n \nearrow$

**Tabella 1.2** Indicazioni per il rispetto delle specifiche progettuali

Quest'ultima tabella fornisce importanti indicazioni per la prossima fase della progettazione. In particolare, si può osservare come sia conveniente scegliere i fattori  $W_1$ - $W_6$  piuttosto grandi, per aumentare il guadagno e il  $GBW$ , e il rapporto di correnti  $n$  piccolo per massimizzare la banda (il guadagno ne risente poco per via degli elevati fattori di forma  $W_1$  e  $W_6$ ). Lo *slew rate* e il margine di fase dipendono soprattutto dal valore della capacità di compensazione. Il  $CMR$  infine non costituisce un vincolo particolarmente stringente e può pertanto essere tralasciato in questa prima fase di valutazione.



## 1.9 Implementazione delle Equazioni di Progetto

Con riferimento alle equazioni tabulate nel paragrafo precedente, si procede con il dimensionamento di tutti gli elementi circuitali, con l'ausilio dell'ambiente di simulazione *LTspice*. Il dimensionamento del generatore di corrente è dato dalle E.P. 15-16-17 con tre gradi di libertà sui parametri di  $W_{MIR}$ ,  $L_{MIR}$  e  $\alpha$ . Per questo progetto si sono fatte le seguenti scelte:

$$W_{MIR} = 10 \mu m \quad L_{MIR} = 4 \mu m$$

Il rapporto delle aree di emettitore deve essere maggiore dell'unità per non avere una resistenza risultante nulla, pertanto si è scelto un rapporto di 1:2 in modo da non eccedere nella grandezza del resistore da realizzare.

$$\alpha = 2 \Rightarrow R \simeq 1.7 \text{ k}\Omega$$

Data la grande accuratezza con cui deve essere realizzato questo componente, si sceglie di utilizzare un resistore in silicio *poly*, la cui resistenza è legata alla geometria dall'equazione:

$$R = \frac{50 L_R}{W_R - 2.5 \times 10^{-7}}$$

Per minimizzare l'area occupata si prende un valore minimo per  $W_R$  e si sceglie un valore opportuno di  $L_R$  tale da soddisfare la relazione sopra riportata. È stato ottenuto il seguente dimensionamento:

$$W_R = 1 \mu m \Rightarrow L_R \simeq 25.5 \mu m$$

Per ricavare il valore esatto di  $L_R$  si effettua un'analisi *.step*, il cui risultato è visibile in *Figura 1.11*. Il dimensionamento finale ottenuto è:

$$W_R = 1 \mu m \Rightarrow L_R = 29.4 \mu m$$

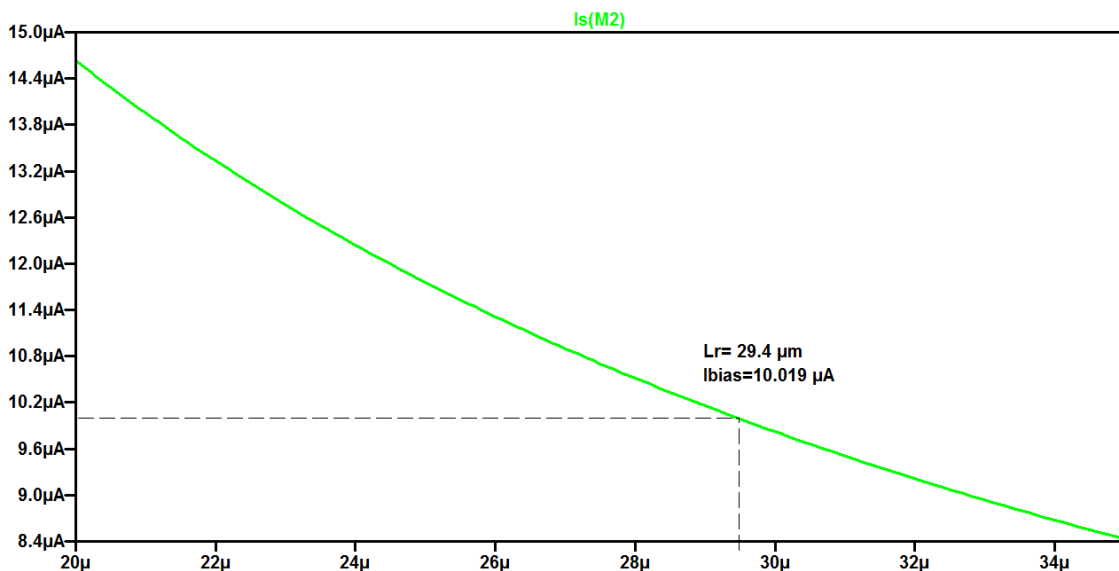


Figura 1.11 Grafico ( $L_R$ ,  $I_{BIAS}$ ) per il dimensionamento del generatore di corrente

Una volta dimensionato correttamente il generatore, si deve terminare la rete di polarizzazione. Per fare questo è necessario scegliere il fattore  $n$ , che determinerà il dimensionamento di  $M5$  ed  $M7$  come da E.P. 1. Il valore di  $n$  può essere ricavato a fronte di alcune considerazioni di massima:

- il guadagno  $A_{v0}$  non costituisce un vincolo stringente (si può ottenere agevolmente un valore elevato dal dimensionamento di  $M1$  ed  $M6$ );
- la larghezza di banda (dipendendo solo dalla radice di  $W_1$ ) risulta maggiormente influenzata dalla scelta di  $n$ ;
- lo *slew rate* dipende, oltre che dal valore di  $n$ , anche dalla capacità di compensazione e da quella carico.

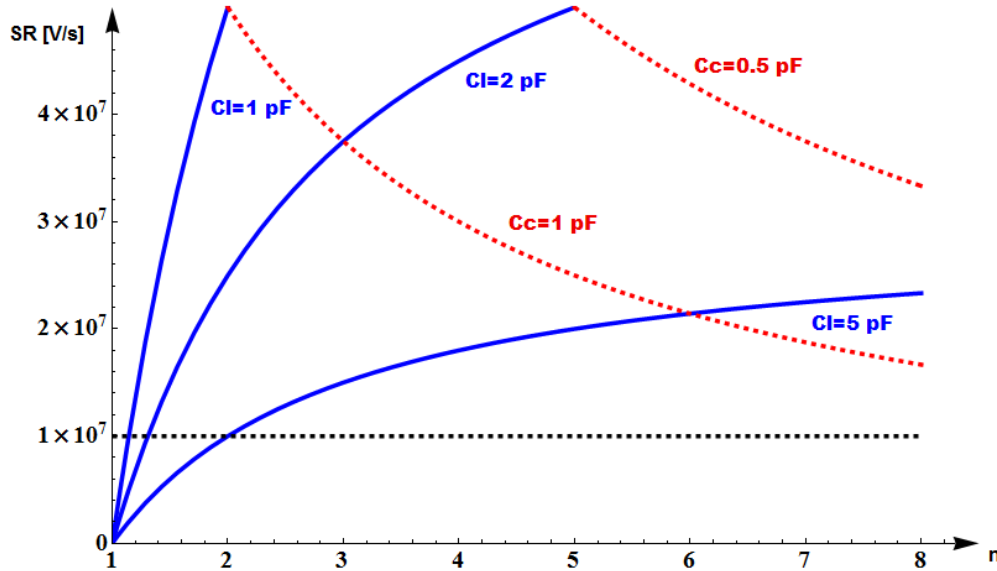


Figura 1.12 Slew Rate in funzione del rapporto di correnti  $n$

Ipotizzando valori della capacità di compensazione compresi tra  $0.5 \text{ pF}$  e  $1 \text{ pF}$  (da verificare a posteriori) e della capacità di carico compresi tra  $1 \text{ pF}$  e  $5 \text{ pF}$ , si può dedurre dal grafico sopra riportato che valori di  $n$  superiori a 2 soddisfano la specifica sullo *slew rate*. Per non penalizzare eccessivamente la banda si sceglie un valore di  $n$  minimo.

$$n = \frac{W_7}{W_5} = 2$$

In questo caso lo *slew rate* più lento sarà quello del fronte di salita, determinato dalla capacità di carico.

$$SR^+ \simeq \frac{(n-1) I_{TOT}}{(n+1) C_L} = \frac{I_{TOT}}{3 C_L} \quad SR^- \simeq \frac{I_1}{C_C} = \frac{I_{TOT}}{3 C_C}$$

La tensione di polarizzazione dell'uscita è legata alla compensazione dell'offset sistematico (E.P. 11) che, a sua volta, condiziona il dimensionamento di  $M3$ . Risulta quindi evidente che tutte le grandezze in gioco sono legate da molteplici interdipendenze, che devono essere considerate al fine di ottenere un dimensionamento ottimale.

Per semplificare le cose, si decide innanzitutto di legare tra loro due quantità che, entro i limiti, devono essere massimizzate per rispettare le specifiche di progetto:

$$W_1 = W_6$$

Il passo successivo è quello di dimensionare opportunamente  $M1$  ( $M6$ ) ed  $M3$  in modo da compensare l'offset sistematico. Per facilitare questa operazione si effettua una doppia simulazione *.step* su  $W_1$  e  $W_3$  osservando la tensione di uscita.

Per  $n=2$  si ottengono i risultati riportati in *Tabella 1.3*, dove vengono indicati i valori di  $W_3$  che consentono di minimizzare l'offset sistematico.

$W_1(\mu m)$	60	80	100	120	140	160	180	200
$W_3(\mu m)$	15.1	20.1	25.15	30.25	35.3	40.4	45.45	50.55
$V_{OUT}(V)$	1.69393	1.60938	1.6177	1.66859	1.64679	1.66571	1.64003	1.64767
$A_{v0}(dB)$	98.48	100.061	101.09	101.79	102.38	102.83	103.22	103.51
$R_Z(k\Omega)$	3.5	3.5	4	4	4.5	4.5	5	5
$MF(^{\circ})$	80.92	76.10	73.48	68.43	63.16	59.04	52.84	49.95
$GBW(MHz)$	67.30	73.96	84.92	86.3	94.84	93.11	98.17	94.84

**Tabella 1.3** Risultati della simulazione *.step* su  $W_1$  e  $W_3$  ( $C_C=0.61$  pF)

Per ottenere un guadagno di  $100$  dB è sufficiente avere  $W_1 \geq 80 \mu m$  e, per quanto riguarda la compensazione dell'offset sistematico, la soluzione migliore risulta essere quella con

$$\boxed{W_1 = 140 \mu m \quad W_3 = 35.3 \mu m}$$

In base a questa scelta si ricava, attraverso un opportuno *tuning*, un valore della capacità di compensazione che assicuri un margine di fase  $MF \geq 60^{\circ}$  e un valore del resistore  $R_Z$  tale da realizzare la *cancellazione polo-zero*. La frequenza a guadagno unitario, infine, risulta abbondantemente oltre la specifica di  $10$  MHz richiesta.

La compensazione è stata realizzata con una *CPOLY* di forma quadrata (si vedrà in seguito perché conviene utilizzare questa geometria) con una relazione che lega la capacità alle dimensioni data da:

$$C_C = 0.86 * 10^{-3} * AREA + 0.086 * 10^{-9} * PERIMETRO = \\ = 0.86 * 10^{-3} * l^2 + 0.086 * 10^{-9} * 4l$$

Il valore di  $l$  che permette di ottenere la compensazione è di  $26.5 \mu m$  e corrisponde ad una capacità pari a circa  $0.61$  pF. Con questo valore si dovrebbero ottenere, secondo la teoria sviluppata in precedenza, i seguenti valori di *slew rate*:

$$\begin{cases} SR^+_{senza\ carico} = SR^-_{senza\ carico} = SR^-_{con\ carico} \approx \frac{I_{TOT}}{3 C_C} \approx 81.97 V/\mu s \\ SR^+_{con\ carico} = \frac{I_{TOT}}{3 C_L} \approx 10 V/\mu s \quad (con C_L = 5 pF) \end{cases}$$

dove si ritiene che la condizione  $C_C < C_L$  risulti praticamente sempre verificata.

Per completare il dimensionamento è infine necessario provvedere alla sostituzione del resistore  $R_Z$  con un transistor polarizzato in regione lineare ( $V_{DS9} \ll V_{DD}$ ). Mantenendo  $L_9 = L$ , si effettua un'analisi *.step* su  $W_9$  ( $1\mu m - 2\mu m - 3\mu m$ ) al fine di ottenere il risultato (*cancellazione polo-zero*) che si aveva precedentemente. Come si può vedere in *Figura 1.13*, il valore ottimale per  $W_9$  risulta essere  $2\mu m$ .

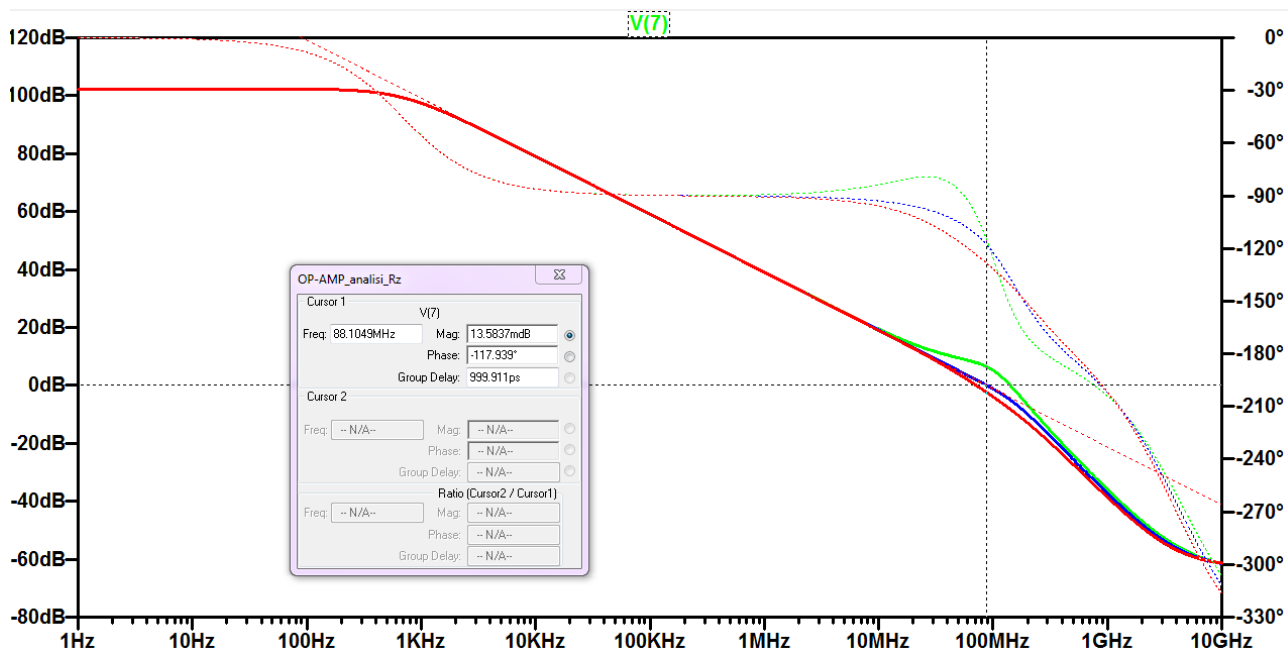


Figura 1.13 Analisi .AC per il dimensionamento di  $M9$

I valori di dimensionamento ottenuti fino a questo momento sono riportati nella seguente tabella.

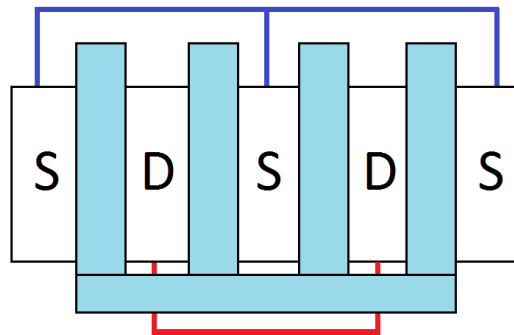
$W_{MIR} \equiv W_8 = 10 \mu m$		GENERATORE DELLA CORRENTE DI RIFERIMENTO
$L_{MIR} = 4 \mu m$		
$W_R = 1 \mu m$	$R \approx 1.7 k\Omega$	
$L_R = 29.4 \mu m$		
$n = 2$		SPECCHIO DI POLARIZZAZIONE
$W_5 = 50 \mu m$		
$W_7 = 100 \mu m$		
$W_1 = W_2 = W_6 = 140 \mu m$		I° e II° STADIO
$W_3 = W_4 = 35.3 \mu m$		
$l_{C_C} = 26.5 \mu m$ [ $C_C \approx 0.61 pF$ ]		$C_C$ (COMPENSAZIONE)
$W_9 = L_9 = L = 2 \mu m$ [ $R_Z \approx 4.5 k\Omega$ ]		$R_Z$ (CANCELLAZIONE POLO-ZERO)

Tabella 1.4 Valori di dimensionamento

## 1.10 Aree e Perimetri di S/D e Transistori Multifinger

Nei sistemi ad alta velocità gli elementi parassiti diventano un fattore predominante del quale bisogna necessariamente tener conto in fase di progettazione.

I transistori a singolo gate solitamente non trovano largo impiego in quanto sono penalizzanti in termini di area occupata e capacità parassite. La realizzazione *multifinger*, al contrario, consente di occupare meno area all'interno del chip e, allo stesso tempo, di diminuire l'effetto delle capacità parassite legate al dispositivo, migliorandone il comportamento in frequenza. Come si può osservare in *Figura 1.14* la struttura *multifinger* è caratterizzata dalla presenza di più contatti di gate tra i quali vengono interposte le diffusioni di source e drain. Solitamente si predilige una soluzione con *numero di gate pari*, in modo da minimizzare le capacità parassite legate alle diffusioni di drain.



**Figura 1.14** Transistor *Multifinger* con 4 gates

Il calcolo di aree e perimetri di source e drain, necessari al simulatore circuitale per determinare correttamente le capacità parassite, deve essere eseguito considerando che, nel caso di realizzazione *multifinger*, le diffusioni “interne” hanno un'estensione differente rispetto a quelle “esterne”. In particolare, per la tecnologia utilizzata, si ha:

$plidif = 1 \mu m$       diffusione interna

$plodif = 0.85 \mu m$       diffusione esterna

I parametri geometrici da utilizzare in fase di simulazione, possono essere calcolati attraverso le seguenti formule:

$$AD_{MG} = numid * W_{eff} * plidif + numod * W_{eff} * plodif$$

$$AD_{MG} = numid * W_{eff} * plidif + numod * W_{eff} * plodif$$

$$PD_{MG} = numid * 2 (W_{eff} + plidif) + numod * 2 (W_{eff} + plodif)$$

$$PS_{MG} = numis * 2 (W_{eff} + plidif) + numos * 2 (W_{eff} + plodif)$$

$W_{eff} = W/ng$       larghezza effettiva di canale (con  $ng$  = numero di gate)

$num_s, num_d$       numero totale di diffusioni di source e drain

con:

$numos, numod$       numero di source e drain esterni

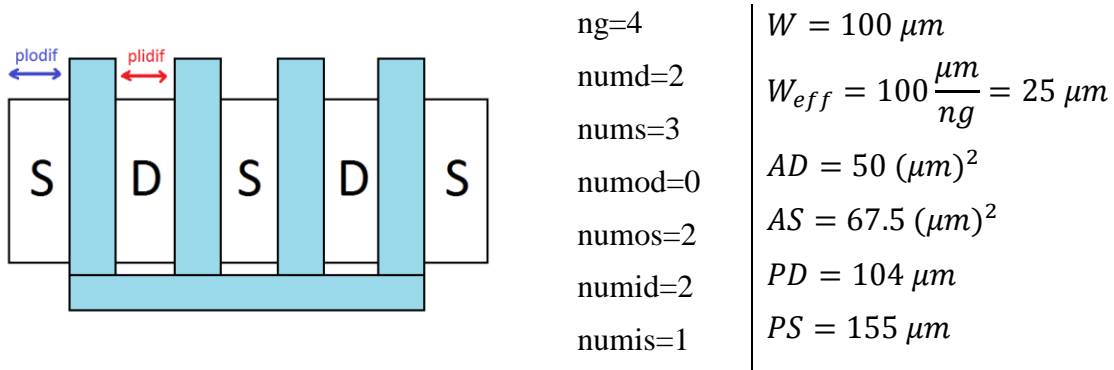
$numis, numid$       numero di source e drain interni

## Amplificatore Operazionale

Nel caso si abbia un numero di gate pari, valgono inoltre le seguenti relazioni:

$numd = ng/2$	numero totale di drain
$nums = numd + 1 = ng/2 + 1$	numero totale di source
$numod = 0$	numero di drain esterni
$numos = 2$	numero di source esterni
$numid = numd = ng/2$	numero di drain interni
$numis = nums - numos = ng/2 - 1$	numero di source interni

In Figura 1.15 viene mostrato un esempio con  $ng$  (number of gates)=4.



**Figura 1.15** Transistor *Multifinger* a 4 gates

Nel caso di realizzazione a singolo gate (SG), le formule per il calcolo dei parametri geometrici possono essere ricavate dalle precedenti tenendo conto che valgono le seguenti relazioni:

$$W_{eff} = W$$

$$nums = numd = 1$$

$$numos = numod = nums = numd = 1$$

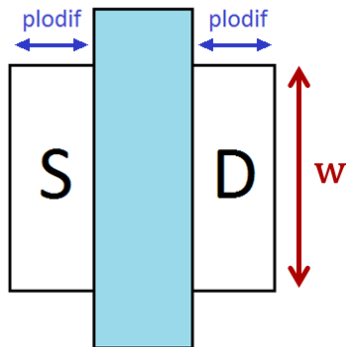
$$numis = numid = 0$$

Si ottiene quindi:

$AD_{SG} = numod * W * plodif = 0.85 * W * 10^{-6} [m^2]$ $AS_{SG} = numos * W * plodif = 0.85 * W * 10^{-6} [m^2]$ $PD_{SG} = numod * 2 (W + plodif) = 2 * (0.85 * 10^{-6} + W) [m]$ $PS_{SG} = numos * 2 (W + plodif) = 2 * (0.85 * 10^{-6} + W) [m]$
--

(E.P. 18)

A titolo di esempio, di seguito viene riportato il calcolo esplicito. Si noti, in particolare, l'aumento dell'area di drain rispetto alla realizzazione a gate multipli.



$$W = 100 \mu m$$

$$AD = AS = 0.85 * W * 10^{-6} = 85 (\mu m)^2$$

$$PD = PS = 2 * (0.85 * 10^{-6} + W) = 201.7 \mu m$$

**Figura 1.16** Transistor a singolo gate

I transistor *multigate* dovrebbero ridurre i problemi legati alle capacità parassite dei dispositivi e provocare un miglioramento più o meno apprezzabile della banda dell'amplificatore. Sarebbe interessante confrontare le prestazioni dell'amplificatore realizzato con transistor a singolo gate e *multifinger* ma le librerie a disposizione non supportano quest'ultima modalità. La realizzazione a gate multipli rimane valida per l'ottimizzazione di un eventuale layout ma le simulazioni che seguono saranno eseguite utilizzando transistor a singolo gate.

NOTA: le formule per il calcolo di perimetri ed aree di source e drain sopra presentate sono di fondamentale importanza in quanto i simulatori circuitali, in assenza di valori specificati per queste quantità, stimano solamente le capacità di *overlap* (per unità di lunghezza) come  $C_{OV}' = \frac{\epsilon_{ox}}{t_{ox}} L_D$  dove con  $L_D$  viene indicata la lunghezza delle regioni di overlap. In questo modo gli effetti parassiti vengono sottostimati e si rischia di incorrere in pericolosi errori progettuali.

## 1.11 Caratterizzazione OP-AMP (Simulazioni SPICE)

Una volta stabilito il dimensionamento di tutti i componenti, si possono implementare gli schematici nel tool *LTSpice* ed eseguire le simulazioni che permettono di caratterizzare l'amplificatore operazionale.

### Generatore corrente di riferimento

Le prime analisi riguardano il generatore della corrente di riferimento e, in particolare, si riferiscono alla sensibilità nei confronti di variazioni di temperatura e tensione di alimentazione.

L'andamento in temperatura risulta pressoché lineare, con una pendenza di circa  $0.028 \mu A/^{\circ}C$  (intorno ad un valore di  $10.02 \mu A @ 27^{\circ}C$ ) mentre si ha una dispersione di circa  $1.22 \mu A/V$  per quanto riguarda perturbazioni sull'alimentazione.

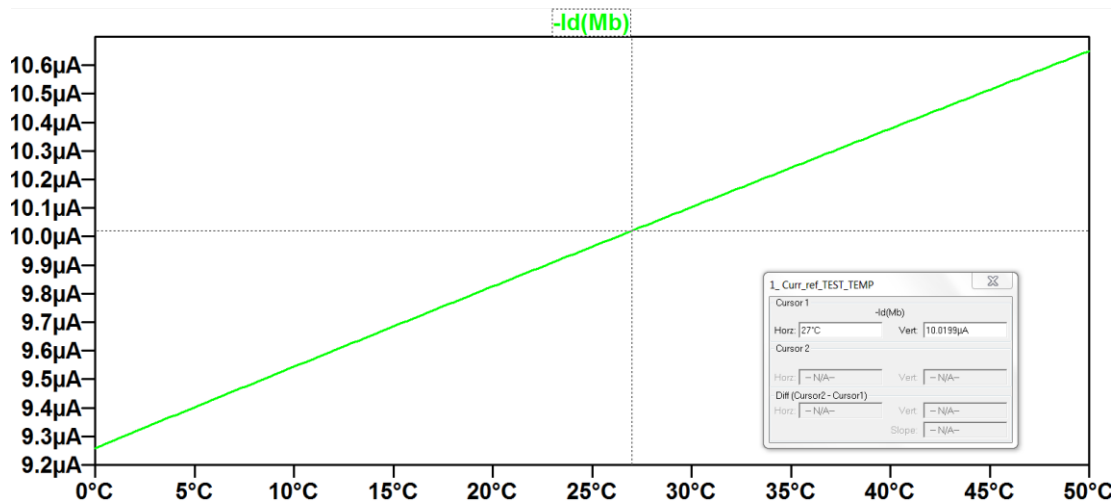


Figura 1.17 Sensibilità della corrente alle variazioni di temperatura

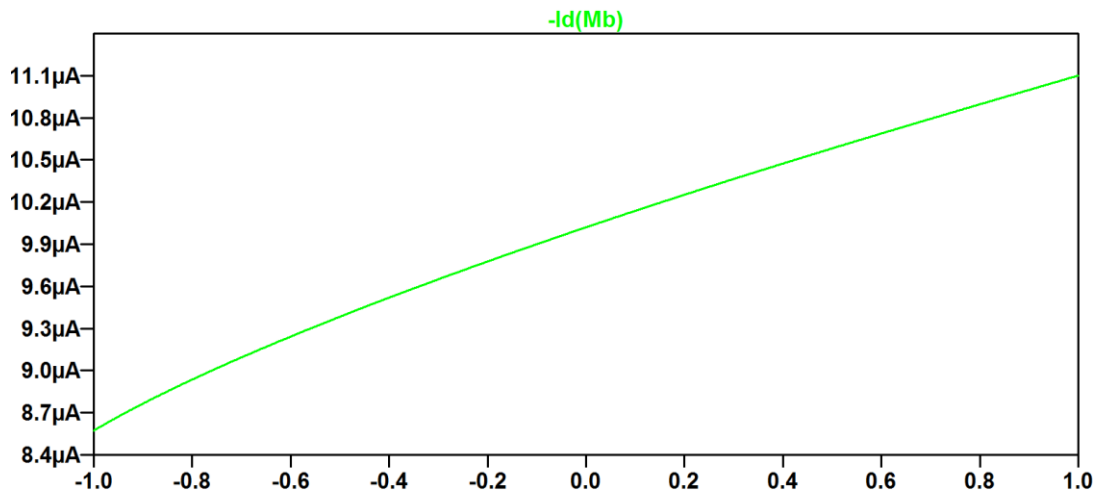
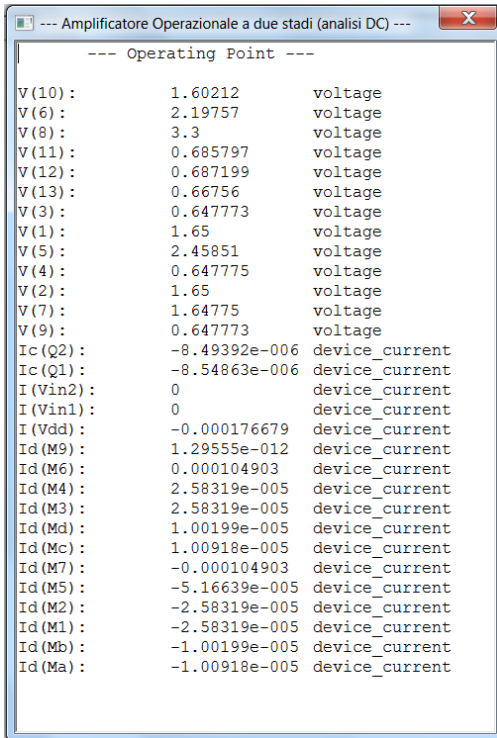


Figura 1.18 Sensibilità della corrente a perturbazioni sulla tensione d'alimentazione



## OP-AMP

Una volta caratterizzato il generatore di riferimento, si passa alla simulazione dei due stadi amplificatori. Per prima cosa viene eseguita l'analisi statica nel punto di riposo e si verificano i vincoli sulle correnti di polarizzazione.



Come si può notare dallo screenshot in *Figura 1.19*, si ha un leggero eccesso della corrente di polarizzazione.

$$I_1 \equiv -I_d(M5) \approx 51.66 \mu A \quad I_2 \equiv -I_d(M7) \approx 104.90 \mu A$$

$$\Rightarrow I_{TOT} \approx 156.56 \mu A \quad (+4.37\%)$$

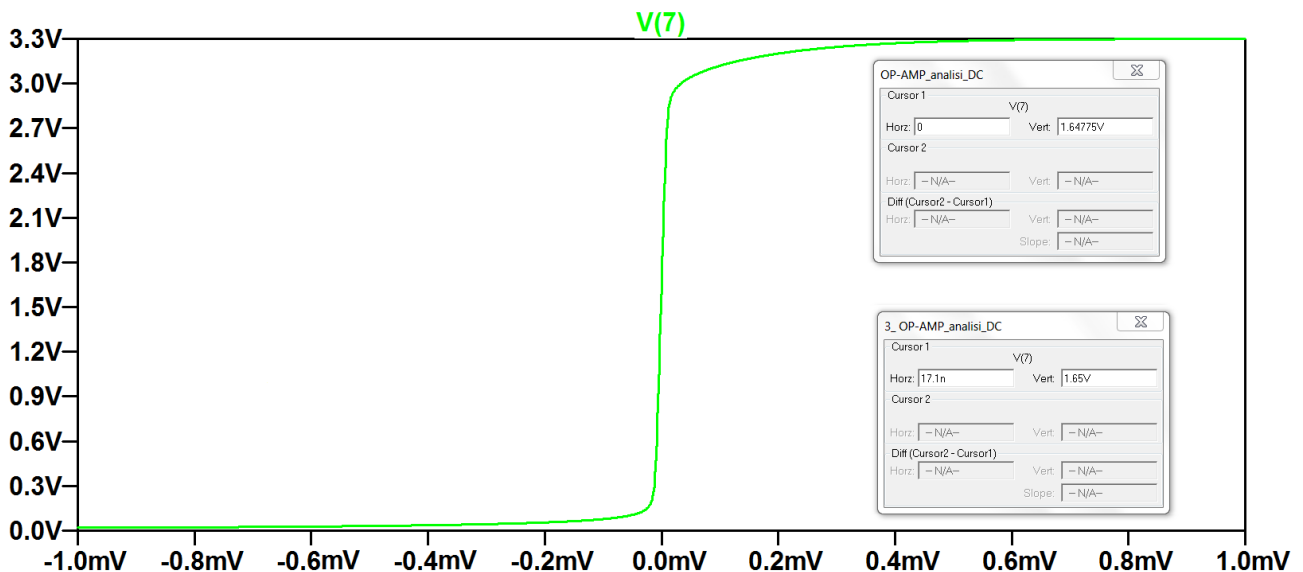
Tuttavia, con un leggero tuning dei parametri di dimensionamento, si può far rientrare questo vincolo in specifica.

In particolare, con  $W_7 = 96 \mu m$  e  $W_5 = 48 \mu m$  si ottiene

$$I_{TOT} \approx 150.28 \mu A \quad (+0.19\%)$$

Apportando questa modifica, si nota un sostanziale peggioramento della tensione di offset e quindi, poiché l'eccesso di corrente è comunque contenuto entro il 5%, si è deciso di mantenere il dimensionamento originale.

**Figura 1.19** Analisi Statica

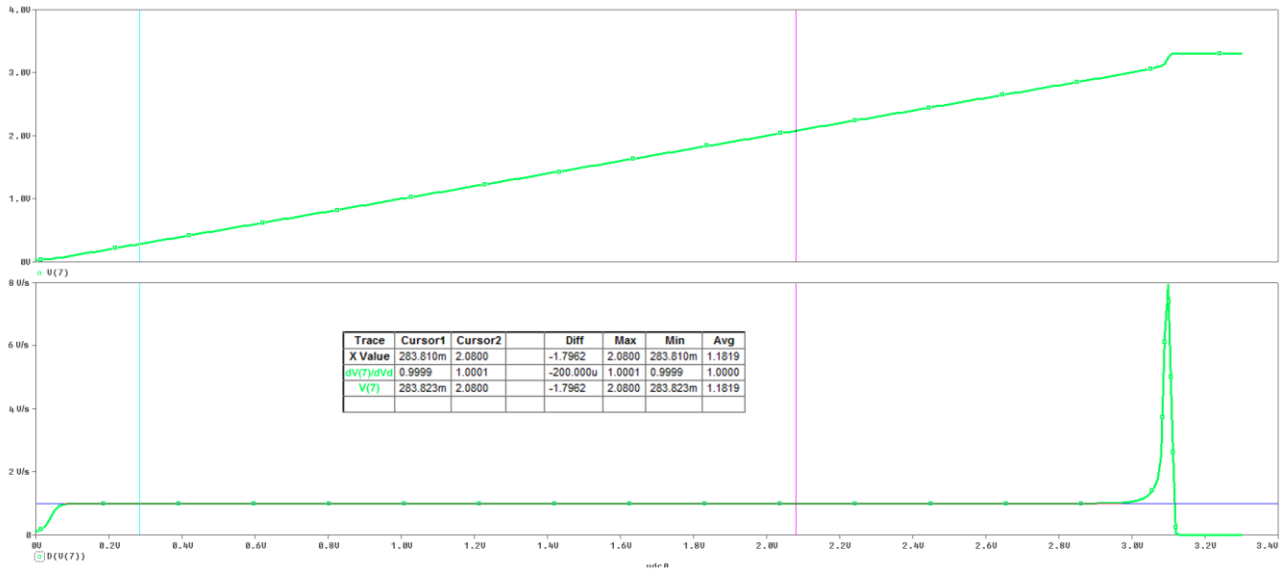


**Figura 1.20** Misura della tensione di offset

## Amplificatore Operazionale

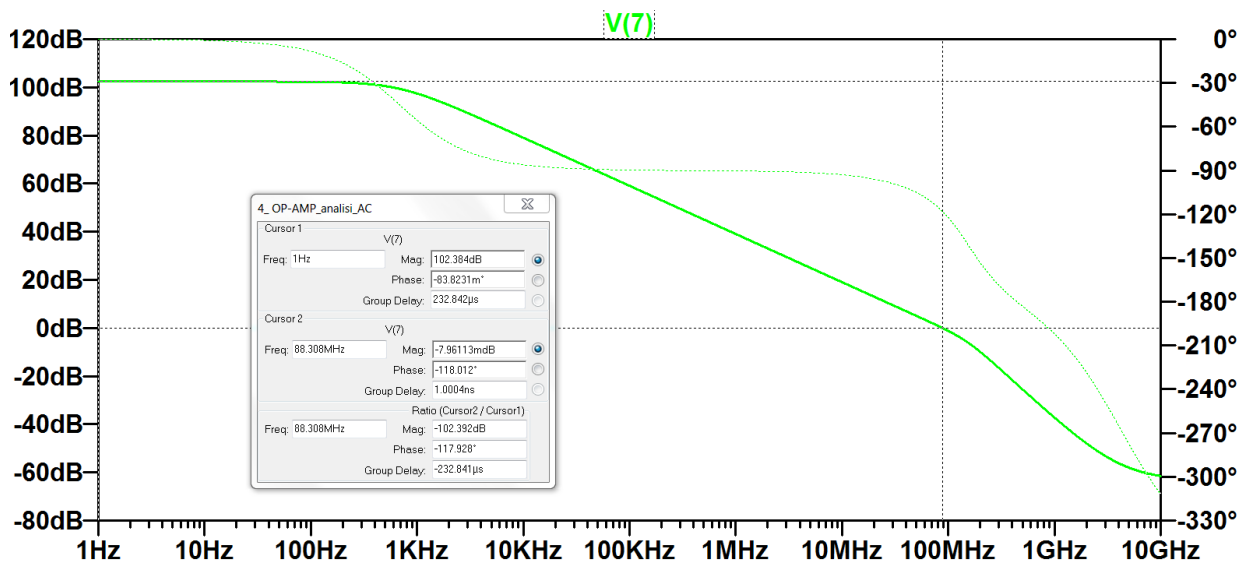
In *Figura 1.20* è riportato l'andamento della tensione di uscita per una tensione di ingresso differenziale compresa nel range  $[-1\text{ mV}, 1\text{ mV}]$ . Per il dimensionamento considerato si ottiene un offset riferito all'uscita pari a  $2.25\text{ mV}$ , cui corrisponde un offset di circa  $17.1\text{ nV}$  riportato all'ingresso.

Un altro parametro per la caratterizzazione dell'amplificatore operazionale è il *Common Mode Range*, che viene misurato collegando l'OP-AMP a inseguitore e facendo una simulazione *.dc* variando linearmente la tensione all'ingresso non invertente. Con questa configurazione si valutano le tensioni minima ( $CMR^-$ ) e massima ( $CMR^+$ ) per le quali il rapporto ingresso-uscita non ha più pendenza unitaria. Come si può osservare in *Figura 1.21*, il  $CMR^-$  è un valore prossimo allo zero, mentre il  $CMR^+$  assume un valore di circa  $2\text{ V}$  (in pieno accordo con i risultati teorici).



**Figura 1.21** Analisi CMR (tensione di uscita e sua derivata in funzione della tensione di ingresso)

Una volta conclusa l'analisi in continua, si passa alle analisi in frequenza (con uscita a vuoto) al fine di verificare le prestazioni dell'amplificatore operazionale in termini di guadagno differenziale, guadagno di modo comune e banda.



**Figura 1.22** Guadagno Differenziale

Si nota che il guadagno dell'amplificatore coincide quasi perfettamente con quello riportato in *Tabella 1.3*, mentre la banda risulta leggermente diversa. Ciò è dovuto principalmente al fatto che il resistore utilizzato per la cancellazione polo-zero è stato realizzato, per motivi di integrabilità, con il transistor *M9* polarizzato in regione lineare mentre per la precedente simulazione era stato utilizzato un resistore di tipo tradizionale (che non introduce capacità parassite). Si può infine osservare che la condizione di stabilità risulta verificata, con un margine di fase di circa  $62^\circ$ .

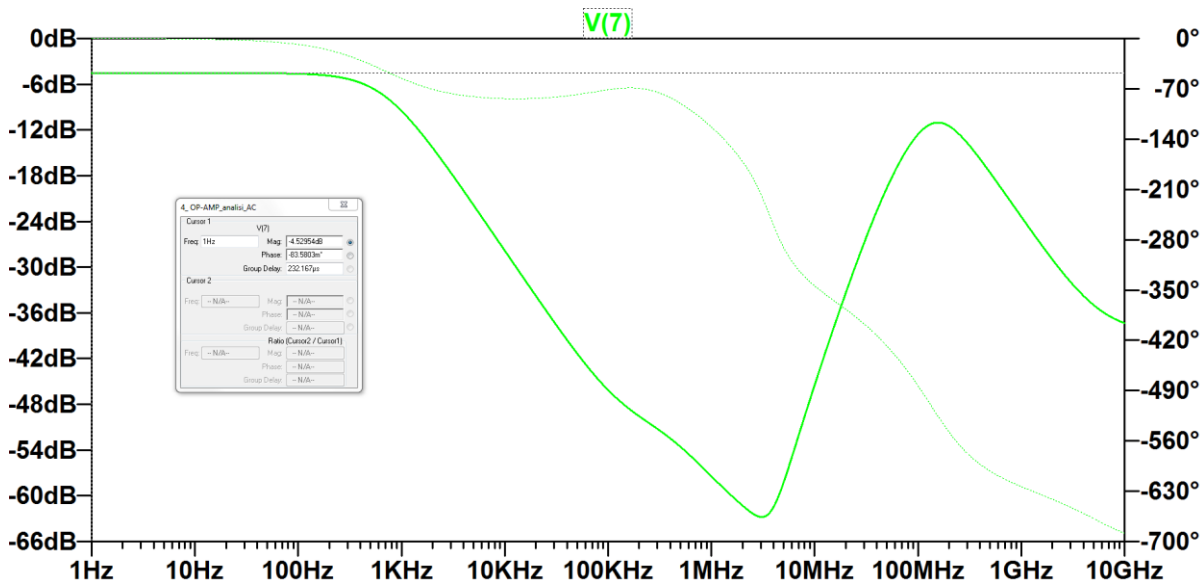


Figura 1.23 Guadagno di Modo Comune

Dai grafici su guadagno differenziale e di modo comune si può ricavare direttamente il *Common Mode Rejection Ratio*.

$$CMRR [dB] = A_{d0}[dB] - A_{c0}[dB] \approx 107dB$$

Si considera ora un'altra caratteristica importante per un amplificatore, cioè la insensibilità alle variazioni della tensione di alimentazione, sia per quanto riguarda il valore nominale che nel caso di piccolo segnale sovrapposto come disturbo. La quantità che definisce questa insensibilità prende il nome di *Power Supply Rejection Ratio (PSRR)* e rappresenta il reciproco della tensione di offset che dovrebbe essere applicata in ingresso al fine di produrre in uscita lo stesso effetto dovuto alla perturbazione sull'alimentazione.

$$PSRR = \frac{A_d}{\left| \frac{dV_o}{dV_{DD}} \right|}$$

Per la precisione, si possono distinguere due tipi di PSRR: un *DC-PSRR* che rappresenta la reiezione a variazioni statiche e un *AC-PSRR* che invece rappresenta la reiezione a disturbi a frequenza diversa da zero sovrapposti alla tensione di alimentazione. Il primo è un valore scalare espresso in dB e può essere estratto dal grafico in frequenza con il quale viene rappresentato l' *AC-PSRR* per frequenze prossime allo zero.

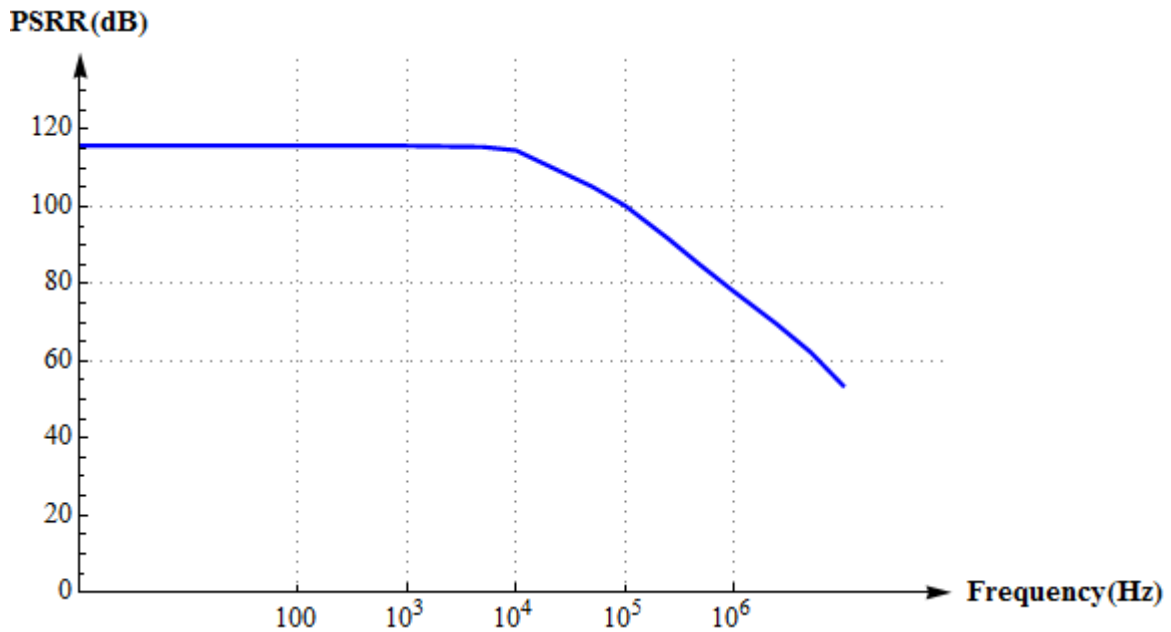


Figura 1.24 AC-PSRR

In *Figura 1.24* si può notare un andamento dell'*AC-PSRR* decrescente in frequenza dettato dal guadagno differenziale (nonostante la sensibilità dell'uscita a variazioni di  $V_{DD}$  diminuisca per frequenze elevate). Per frequenze inferiori al kHz si ottiene il valore del *PSRR* in continua.

$$DC-PSRR[dB] = A_{d0}[dB] - SVS|_{V_{DD}=3.3V}[dB] = A_{d0}[dB] - \left. \left| \frac{dV_0}{dV_{DD}} \right| \right|_{V_{DD}=3.3V} [dB]$$

$$\approx 102.38 \text{ dB} - (-13.43 \text{ dB}) \approx 115.8 \text{ dB}$$

dove *SVS* sta per *Supply Voltage Sensitivity*.

Da notare infine che, avendo i disturbi normalmente legati alle commutazioni nei circuiti di alimentazione frequenze comprese tra i 50 kHz e i 500 kHz (*AC-PSRR*  $\approx 105 \text{ dB} \div 84 \text{ dB}$ ), solitamente non si va molto oltre questi valori nell'analisi in frequenza del *PSRR*.

Per terminare la caratterizzazione dell'OP-AMP, si passa ad analizzare il comportamento ai grandi segnali in termini di *slew rate*. Una volta collegato l'amplificatore in retroazione unitaria si applica un'onda quadra in ingresso con i seguenti parametri:

$$t_R = t_F = 1 \text{ ns} \text{ (tempo di salita = tempo di discesa)}$$

$$A = 1 V_{PP}$$

$$T = 2 \mu s$$

$$Duty \text{ Cycle} = 50\%$$

In una situazione realistica l'uscita dell'amplificatore dovrà pilotare un altro circuito, pertanto risulta necessario applicare un carico in uscita per avere una misura realistica dello *slew rate*. Il carico viene supposto unicamente capacitivo (si trascurano le perdite) e stimato 5 pF.

Come si può vedere dai grafici in *Figura 1.25*, lo *slew rate in salita* risulta molto più evidente dello *slew rate in discesa*. Questo risultato era prevedibile in base alla teoria sviluppata poiché il transitorio di carica è vincolato dalla capacità di carico, mentre il transitorio di scarica ( $C_L$  si scarica attraverso  $M6$ ) è solo vincolato dalla capacità di compensazione (con  $C_L \gg C_C$ ).

Nel grafico sotto riportato si può notare come la derivata della tensione di uscita assuma valore pressoché costante in corrispondenza del fronte di salita, dove lo *slew rate* risulta chiaramente

visibile e pari a circa  $17.3 \text{ V}/\mu\text{s}$ . Non si può dire altrettanto dello *slew rate in discesa* poiché esso è legato alla scarica di una capacità di compensazione molto piccola ( $C_C \approx 0.61 \text{ pF}$ ).

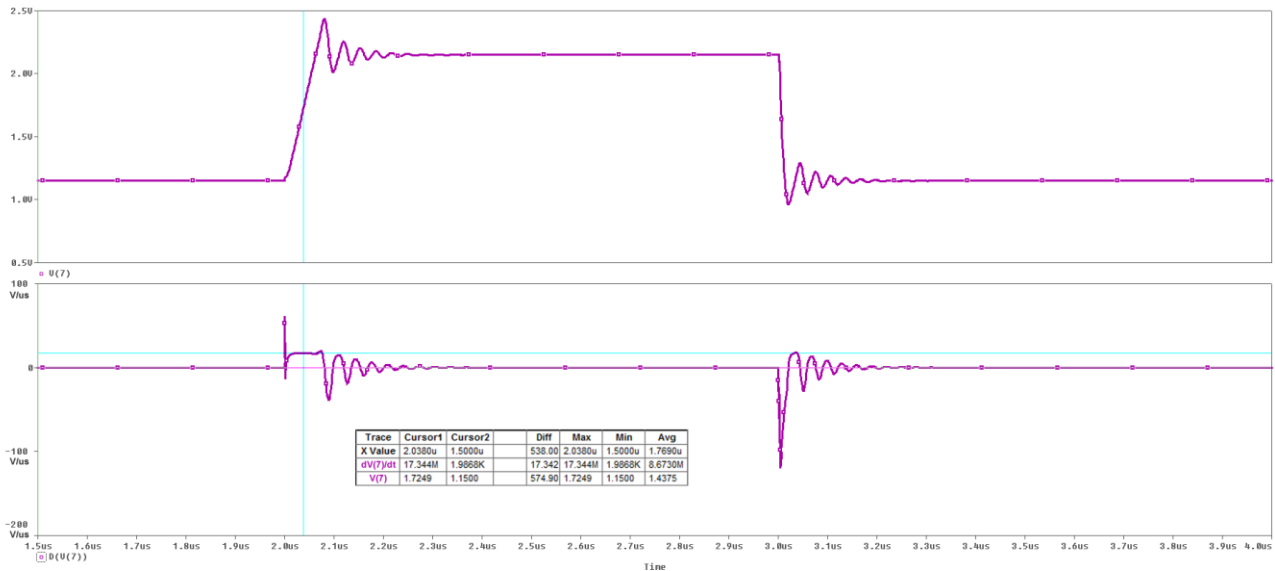


Figura 1.25 Analisi Slew Rate

Di seguito viene riportato un elenco completo dei risultati ottenuti dalle simulazioni.

<b>GENERATORE DI RIFERIMENTO</b>		
Reference Current @ 27°C	10.0199 $\mu\text{A}$	+0.199%
Temperature Coefficient	0.028 $\mu\text{A}/^\circ\text{C}$	
Supply Voltage Sensitivity	1.22 $\mu\text{A}/\text{V}$	
<b>OP-AMP (@ 27°C)</b>		
<b>- DC</b>		
Bias Current	156.56 $\mu\text{A}$	+4.37%
Input Offset Voltage	17.1 nV	
Output Offset Voltage	2.25 mV	
Common Mode Range	$CMR^- = 284 \text{ mV}$ $CMR^+ = 2.08 \text{ V}$	
DC-PSRR	115.8 dB	
<b>- AC</b>		
Differential Gain ( $A_{d0}$ )	102.38 dB	+2.38 dB
Common Mode Gain ( $A_{c0}$ )	-4.43 dB	
CMRR	107 dB	
Cut-Off Frequency ( $f_{-3dB}$ )	696 Hz	
Unity Gain Frequency ( $f_U$ )	88.31 MHz	+78.31 MHz
Phase Margin	61.99°	+1.99°
Slew Rate ( $SR^+$ ) [ $C_L = 5 \text{ pF}$ ]	17.3 V/ $\mu\text{s}$	+7.3 V/ $\mu\text{s}$

Tabella 1.5 Risultati caratterizzazione

Si rimanda all'Appendice B per consultare il codice Spice con il quale sono state effettuate le simulazioni.

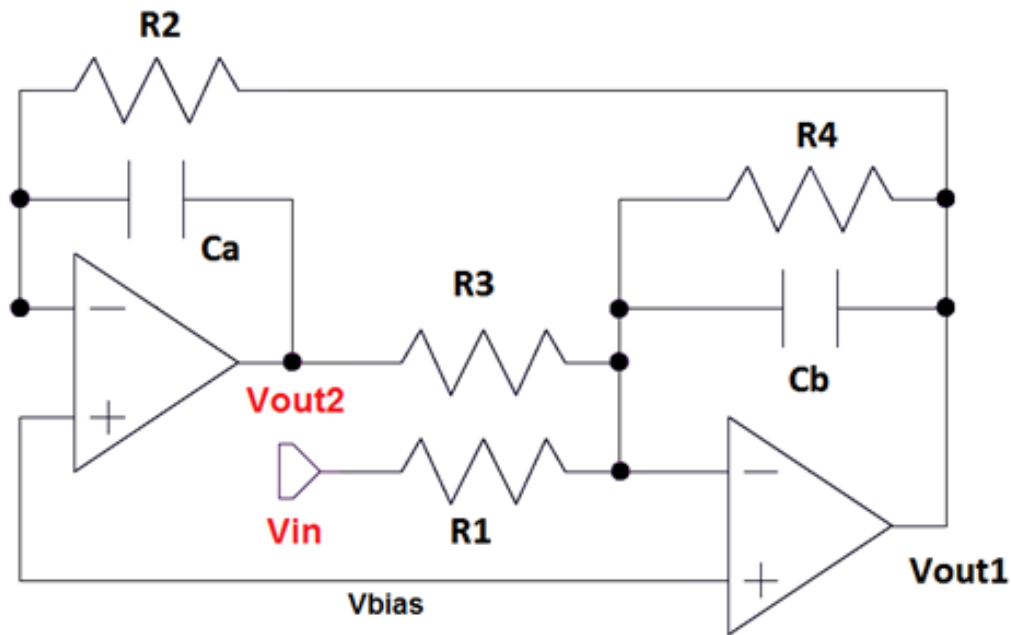


## 2. Capacità Commutate

In questo capitolo verranno fatte alcune considerazioni relative alla realizzazione di condensatori e resistori da utilizzare per il progetto di un filtro attivo integrato come quello in *Figura 2.1*. In particolare saranno analizzate le problematiche relative a integrabilità e accuratezza nella realizzazione dei componenti passivi ponendo l'accento su come quest'ultima sia un fattore fondamentale nel determinare la precisione del filtro risultante.

Si discuteranno diverse alternative tecnologiche e circuitali al fine di scegliere la soluzione più adatta al caso in esame e verranno fornite una serie di regole di massima per la realizzazione del layout.

Questa sezione si concluderà infine con alcune indicazioni sul dimensionamento (da correggere eventualmente in base ai risultati delle simulazioni circuitali) e sui limiti in frequenza da rispettare per un corretto funzionamento della tipologia di filtro scelta.

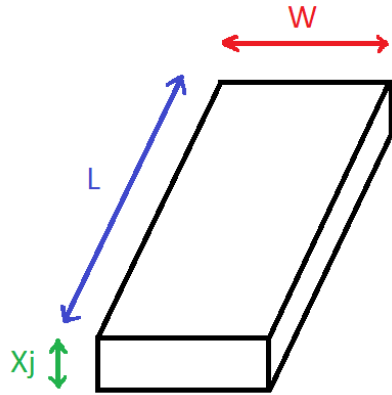


**Figura 2.1** Filtro attivo del secondo ordine

## 2.1 Resistore a Capacità Commutate

La prima idea che si può prendere in considerazione per realizzare un resistore è quella di sfruttare la resistività di aree che sono normalmente presenti nei circuiti integrati come diffusioni, piste di silicio policristallino o di metallizzazione, well, ecc.

In questo caso la resistenza associata si valuta nel modo “classico” come



$$R = \rho \frac{L}{S} = \rho \frac{L}{W \times X_j} = \rho_{\square} \frac{L}{W}$$

dove  $\rho_{\square} = \frac{\rho}{X_j}$  viene detta *resistenza di strato* [ $\Omega/\square$ ] e dipende dal “modo” in cui viene realizzato il resistore.

$\rho$ : resistività  
 $X_j$ : profondità di giunzione  
 $W, L$ : parametri di progetto

**Figura 2.2** Resistore in Si-Poly

Tuttavia, questo modo di realizzare i resistori porta però con sé una serie di cause di imprecisione non trascurabili

- la resistività delle diffusioni è nota con una precisione del 10%;
- in realtà  $W \simeq W_M + 0.8 X_j$  dove  $W_M$  (*dimensione di maschera*) è l'unica quantità nota. Se  $W_M \gg X_j \Rightarrow W \simeq W_M$ , ma questo implica una *difficoltà nel realizzare resistenze di valore elevato*;
- a causa della presenza dei contatti,  $L$  non è noto (solitamente si aggiunge  $1/2 \square$  per ciascun contatto).

Per realizzare resistenze di valore elevato si ricorre generalmente ad un *layout a serpentina*, nel quale risulta però necessario tenere conto dell'errore addizionale dovuto agli angoli, dove il flusso di corrente non è uniforme. Per ovviare al problema si definisce una nuova resistività  $\rho^{ANG} = \rho/0.6$  (ogni  $\square$  nell'angolo vale  $0.6 \square$ ).

In una *tecnologia convenzionale n-well* le diffusioni di source e di drain, il Si-Poly di gate e la well sono poco adatti per realizzare resistori in quanto, oltre ad avere un valore basso di  $\rho_{\square}$ , si riescono ad ottenere scarsi livelli di precisione.

In *tecnologia CMOS analogica*, tuttavia, si può realizzare un secondo strato di Si-Poly con alta resistività per quadro ( $\simeq 150 \Omega/\square$ ) e buona precisione ( $\simeq 1\%$ ).

Un'alternativa all'utilizzo del silicio policristallino è già stata vista durante la fase di progettazione dell'amplificatore e consiste nell'utilizzo di un transistore MOS polarizzato in regione lineare.

$$R_{eq} \simeq \frac{L}{\beta' W (V_{GS} - V_T)}$$



## Capacità Commutate

Anche in questo caso è necessario considerare le cause di imprecisione che possono intervenire, in particolare la tensione di soglia  $V_T$ :

a) può variare per *effetto body* secondo la relazione:

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|});$$

b) può subire un effetto di dispersione all'interno del chip (fino al 25%);

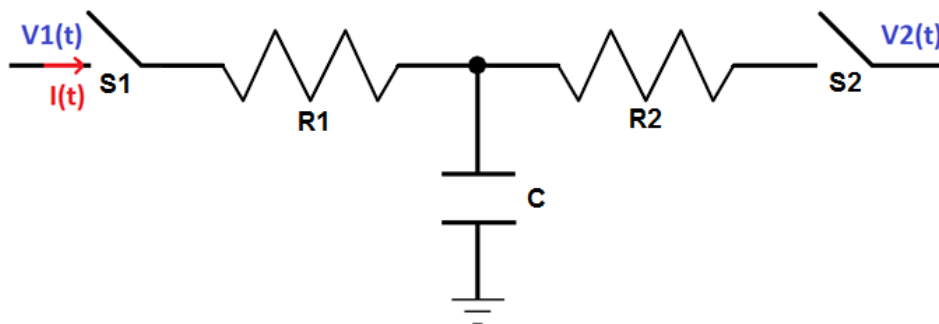
c) presenta una certa sensibilità (insieme a  $\beta'$ ) nei confronti della temperatura ( $TC \approx 0.5 \text{ \%}/^\circ\text{C}$ ).

In conclusione si può affermare che le soluzioni finora considerate presentano un *trade-off* tra precisione (maggiore con il *Si-poly*), occupazione d'area (minore con *MOS* in regione lineare) e *temperature coefficient* ( $\approx 0.5 \text{ \%}/^\circ\text{C}$  per il *MOS* e  $\approx 0.05 \text{ \%}/^\circ\text{C}$  per il *Si-poly*).

La prima soluzione adottata nel campo delle telecomunicazioni (fine anni '70) fu quella di utilizzare una *tecnologia ibrida*, dove i circuiti venivano in parte realizzati su chip (amplificatori) e in parte (resistori e condensatori) in *tecnologia a film sottile* o a *film spesso* (i valori di resistenza potevano essere tarati con estrema precisione tramite laser).

Questa soluzione portava però ad un eccessivo aumento di tempi e costi di produzione, non riuscendo comunque a risolvere il problema della stabilità in temperatura.

Un'idea innovativa per la realizzazione dei resistori nei circuiti integrati fu quella delle *capacità commutate*. Il principio di funzionamento consiste nel sostituire il resistore con un condensatore la cui armatura viene fatta commutare tra due morsetti. Si vedrà a breve che, sotto determinate ipotesi, la topologia circuitale rappresentata in *Figura 2.3* si comporta mediamente come un resistore.



**Figura 2.3** Esempio di Capacità Commutate

I resistori  $R1$  ed  $R2$  rappresentano le resistenze parassite degli interruttori (che verranno realizzati con transistori *MOS*).

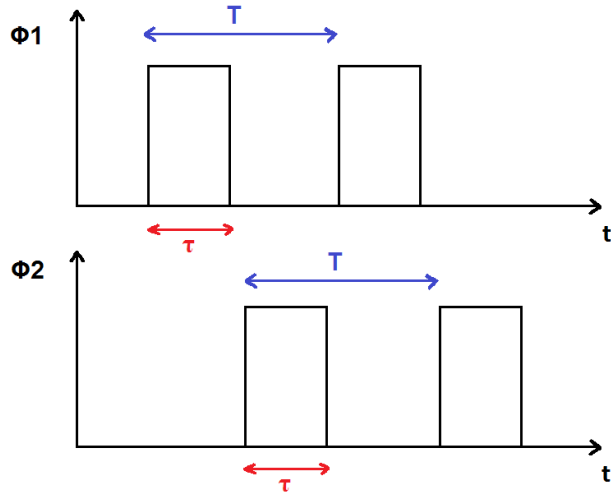
**Ipotesi fondamentali**

- 1) gli *switch* S1 ed S2 devono essere pilotati mediante un segnale di clock a 2 fasi NON sovrapposte;

$$\phi_1(t) \phi_2(t) = 0 \quad \forall t$$

- 2) All'atto delle commutazioni si possono considerare estinti i transitori di carica e scarica di C ( $V_1$  e  $V_2$  a bassa impedenza).

$$\tau \gg R_1 C \quad \tau \gg R_2 C$$



**Figura 2.4** Segnali di clock  $\Phi_1$  e  $\Phi_2$

- 3) Ipotesi di quasi stazionarietà di  $V_1(t)$  e  $V_2(t)$ .  $f_{clk} = \frac{1}{T} \gg f_{MAX} = \max(B_{V_1(t)}, B_{V_2(t)})$  dove con  $B$  si indica la larghezza di banda dei segnali ai morsetti. In questo modo si possono considerare  $V_1(t)$  e  $V_2(t)$  approssimativamente costanti in ciascun periodo perché la frequenza di commutazione risulta di gran lunga maggiore rispetto alla frequenza delle loro variazioni (sarà quindi verificata la condizione di Nyquist per la ricostruzione del segnale campionato  $f_{clk} > 2 f_{MAX}$ ).

**Analisi teorica del funzionamento**

Ipotesi:  $V_1 > V_2 \quad \forall t$

- 1)  $\phi_1$  alto  $\Rightarrow$  S1 chiuso ( $\phi_2$  basso  $\Rightarrow$  S2 aperto )  
 $\Rightarrow$  la capacità si carica alla tensione  $V_1$ , immagazzinando una carica  $Q_1 = C V_1$ .
- 2)  $\phi_2$  alto  $\Rightarrow$  S2 chiuso ( $\phi_1$  basso  $\Rightarrow$  S1 aperto )  
 $\Rightarrow$  la capacità si scarica alla tensione  $V_2$ , e la carica immagazzinata passa a  $Q_2 = C V_2$ .

Complessivamente, in un periodo  $T$ , vi sarà una variazione netta di carica sul condensatore pari a

$$\Delta Q = C(V_1 - V_2) = \int_0^T I(t) dt$$

Si può pertanto affermare che, in un periodo  $T$ , dal morsetto 1 al morsetto 2 fluisce una *corrente media*

$$\bar{I} = \frac{1}{T} \int_0^T I(t) dt = \frac{C}{T} (V_1 - V_2)$$

e, una volta posto

$$R_{eq} = \frac{T}{C} = \frac{1}{f_{clk} C} \tag{E.P. 19}$$

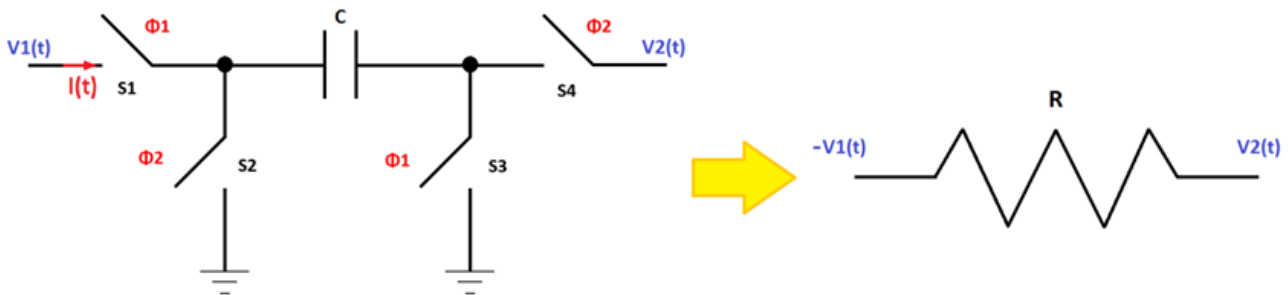
## Capacità Commutate

si ha  $\bar{I} = \frac{(V_1 - V_2)}{R_{eq}}$ , cioè il circuito a capacità commutate si comporta mediamente come un resistore di resistenza  $R_{eq}$ .

Si può inoltre osservare che tale relazione, oltre ad essere dimensionalmente corretta ( $[\Omega] * [F] = \left[ \frac{V}{A} \right] * \left[ \frac{C}{V} \right] = \left[ \frac{C}{A} \right] = [s]$ ), risulta valida anche dal punto di vista energetico.

Con un semplice bilancio della carica si può infatti osservare che, in virtù della supposizione fatta, la potenza dissipata da un due porte costituito da un resistore reale  $P_D^{RES} = \frac{(V_1 - V_2)^2}{R}$  equivale alla potenza media dissipata dal resistore a capacità commutate in un periodo  $\bar{P} = \frac{(V_1 - V_2)^2}{T/C}$ .

Una configurazione alternativa che può risultare utile in alcuni casi è costituita da 4 *switch* pilotati in controfase a due a due, in modo che la tensione ai capi della capacità risulti prima  $V_1$  (clock  $\phi_1$  attivo) e successivamente  $-V_2$  (clock  $\phi_2$  attivo).



**Figura 2.5** Configurazione alternativa resistore a capacità commutate

Attraverso considerazioni analoghe alle precedenti si può facilmente dimostrare che la nuova configurazione corrisponde ad una resistenza equivalente  $R_{eq} = \frac{T}{C}$  con una inversione della tensione  $V_1$ , come mostrato in *Figura 2.5*.

## Osservazioni

Grazie all'ipotesi numero 2 (transitori estinti prima della commutazione) è possibile trascurare la presenza delle resistenze parassite degli interruttori, che non sono note con grande precisione, in quanto corrispondono alle resistenze serie dei transistori che verranno impiegati per realizzare gli *switch*. Inoltre, grazie a questa tecnica è possibile ottenere valori di resistenza anche molto elevati ( $0.1 \div 10 M\Omega$  con  $C = 1 \div 100 pF$ ) e costanti di tempo dei filtri dipendenti dal rapporto di due capacità.

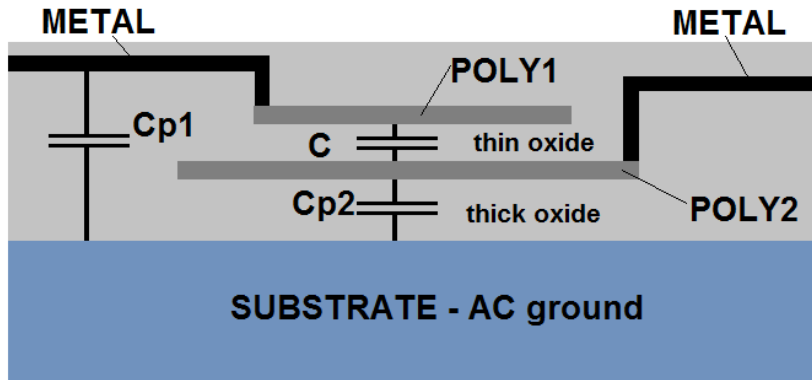
$$\tau = R_{eq}C = \frac{C}{f_{CLK} C_R} \Rightarrow \begin{cases} f_{CLK} \text{ stabile e precisa (oscillatori al quarzo)} \\ \frac{C}{C_R} \text{ rapporto di capacità} \Rightarrow \text{stabile e preciso} \end{cases} \Rightarrow \tau \text{ stabile e precisa}$$

Appurato che l'utilizzo delle capacità commutate per la realizzazione di resistori integrati porta notevoli vantaggi in termini di precisione e stabilità, si pone ora l'attenzione sui condensatori. In particolare si prenderanno in considerazione: metodi di realizzazione, cause di imprecisione e tecniche per la loro minimizzazione.

## 2.2 Condensatori nei Circuiti Integrati

In tecnologia bipolare le capacità vengono abitualmente realizzate utilizzando la giunzione base-collettore (polarizzata in inversa). Tuttavia, a causa della forte dipendenza dalla tensione applicata e della scarsa accuratezza, con questa tecnologia non si riescono a realizzare buoni condensatori.

In tecnologia *MOS*, invece, si riescono a realizzare buoni condensatori utilizzando due strati di silicio policristallino separati da un sottile strato di ossido di silicio ( $SiO_2$ ). Un ulteriore strato di ossido, questa volta molto spesso, viene utilizzato per isolare quanto più possibile l'armatura inferiore dal substrato.



$$C = \epsilon_0 \epsilon_{ox} \frac{W L}{t_{ox}}$$

$\epsilon_0$ : costante dielettrica del vuoto

$\epsilon_{ox}$ : costante dielettrica dell'ossido

$t_{ox}$ : spessore dell'ossido

$W, L$ : dimensioni delle armature

**Figura 2.6** Condensatore a due strati di *Si-Poly*

Le principali cause di imprecisione nella realizzazione dei condensatori integrati possono essere riassunte in due categorie:

- 1) *variazioni random dei bordi* dovute al processo litografico;
- 2) *variazioni isotrope dei bordi (errore di UNDERCUT)* dovute ad imprecisioni nei processi di *etching* e *alignment*<sup>1</sup>.

Nel primo caso le dimensioni  $L$  e  $W$  sono soggette a variazioni aleatorie  $\Delta L$  e  $\Delta W$  rispettivamente. La deviazione di queste dimensioni da quelle desiderate provoca un errore sul valore della capacità realizzata pari a

$$\Delta C = \frac{\epsilon}{t_{ox}} (\Delta W L + W \Delta L)$$

a cui corrisponde un errore relativo

$$\frac{\Delta C}{C} = \frac{\Delta W}{W} + \frac{\Delta L}{L}$$

Supponendo che  $\Delta W$  e  $\Delta L$  siano due variabili aleatorie statisticamente indipendenti con la medesima varianza  $\sigma_{\Delta L}$  si può ricavare la varianza dell'errore  $\Delta C$  come

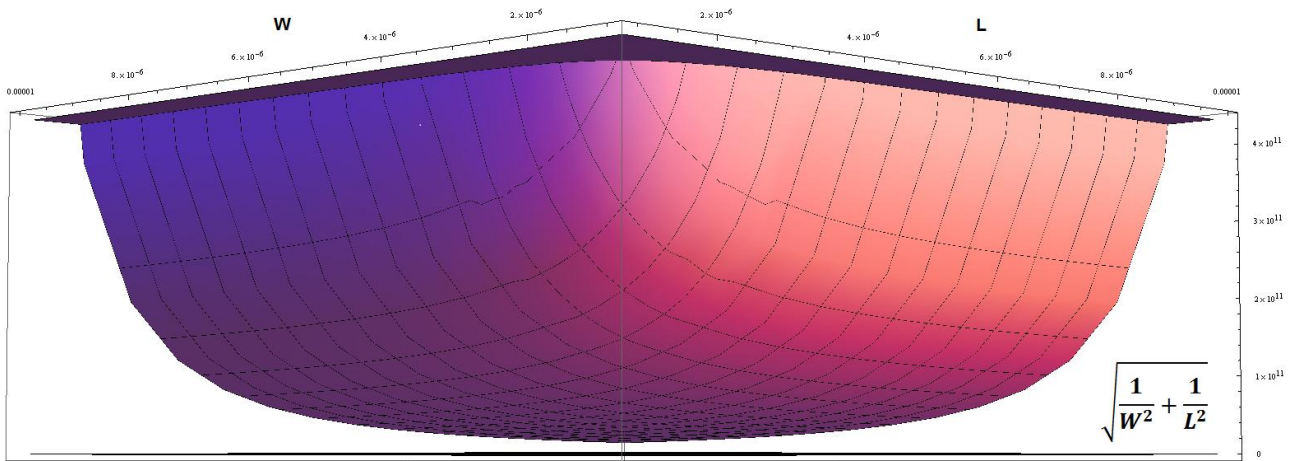
<sup>1</sup> Lo step di *etching* si effettua usando degli acidi. Una sovraesposizione dell'acido può intaccare un'area di *poly-Si* maggiore rispetto a quanto desiderato causando una significativa riduzione delle geometrie della capacità (e quindi del suo valore).

Lo step di *alignment* dipende dal processo foto-litografico usato per trasferire il pattern della capacità (la sua forma) sul die di silicio. Anche in questo caso se le maschere per il *Si-Poly* (che possono essere più di una per via delle diverse realizzazioni integrate delle capacità) non sono allineate ci può essere una variazione delle geometrie della capacità.

$$\sigma_{\Delta C} = \sqrt{\frac{C^2}{W^2} \sigma_{\Delta L}^2 + \frac{C^2}{L^2} \sigma_{\Delta L}^2} = C \sigma_{\Delta L} \sqrt{\frac{1}{W^2} + \frac{1}{L^2}}$$

$$\left(\frac{\sigma_{\Delta C}}{C}\right)^{MIN} = \frac{\sigma_{\Delta C}}{C} \Big|_{W=L} = \sqrt{2} \frac{\sigma_{\Delta L}}{L}$$

Come si può notare dal grafico in *Figura 2.7*, il minimo della varianza si ottiene esattamente sulla bisettrice  $W=L$ . Pertanto, si può concludere che *l'errore relativo minimo di capacità dovuto a variazioni random dei bordi si ottiene utilizzando condensatori di forma quadrata*.



**Figura 2.7** Individuazione punto di minimo della varianza  $\sigma_{\Delta C}$

Si può ragionare analogamente per quanto riguarda l'errore relativo al rapporto di due capacità.

Posto

$$\alpha = \frac{C_1}{C_2} = \frac{W_1 L_1}{W_2 L_2} > 1$$

l'errore relativo può essere calcolato come

$$\frac{\Delta \alpha}{\alpha} = \frac{C_2}{C_1} \left[ \frac{\Delta C_1}{C_2} - \frac{C_1}{C_2^2} \Delta C_2 \right] = \frac{\Delta C_1}{C_1} - \frac{\Delta C_2}{C_2} = \frac{\Delta W_1}{W_1} + \frac{\Delta L_1}{L_1} - \frac{\Delta W_2}{W_2} - \frac{\Delta L_2}{L_2}$$

Ipotizzando che le variabili aleatorie siano tra loro incorrelate e abbiano tutte la stessa varianza  $\sigma_{\Delta L}$ , si ottiene

$$\frac{\sigma_{\Delta \alpha}}{\alpha} = \sigma_{\Delta L} \sqrt{\frac{1}{W_1^2} + \frac{1}{L_1^2} + \frac{1}{W_2^2} + \frac{1}{L_2^2}}$$

che può essere minimizzato, analogamente al caso precedente, con la posizione

$$W_1 = L_1 = \sqrt{\alpha} W_2 = \sqrt{\alpha} L_2 \triangleq L \Rightarrow \left(\frac{\sigma_{\Delta \alpha}}{\alpha}\right)^{MIN} = \sqrt{2} \frac{\sigma_{\Delta L}}{L} \sqrt{1 + \alpha}$$

Per quanto riguarda invece *l'errore di undercut*, non si può operare nessuna compensazione sul singolo condensatore ma il rapporto di due capacità può esserne reso indipendente attraverso opportuni accorgimenti. Il rapporto tra le aree dei due condensatori  $\alpha_A$  (in precedenza chiamato  $\alpha$ ) a causa dell'errore di undercut si discosterà dal suo valore nominale secondo la relazione

$$\alpha_A^{eff} = \frac{(W_1 - \Delta x)(L_1 - \Delta x)}{(W_2 - \Delta x)(L_2 - \Delta x)} = \frac{W_1^{eff} L_1^{eff}}{W_2^{eff} L_2^{eff}}$$

Il grado di libertà che è possibile utilizzare per minimizzare questo errore litografico è il rapporto tra i perimetri

$$\alpha_P = \frac{W_1 + L_1}{W_2 + L_2}$$

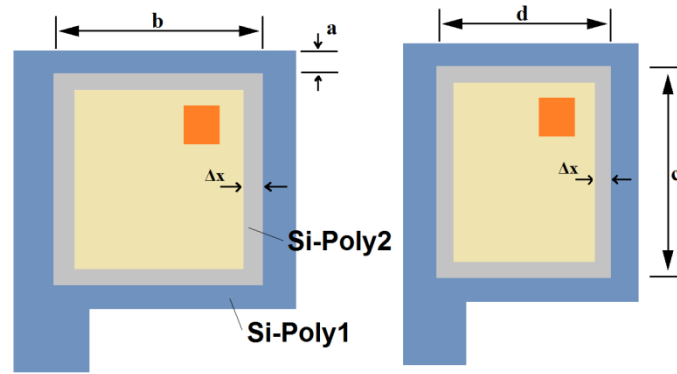
Per valori di  $\Delta x$  piccoli rispetto alle dimensioni dei condensatori si può considerare lo sviluppo in serie intorno al punto  $\Delta x = 0$ .

$$\alpha_A^{eff} = \alpha_A + \left. \frac{d\alpha_A^{eff}}{(\Delta x)} \right|_0 \Delta x + o(\Delta x)$$

Per effettuare una compensazione al 1° ordine dell'errore di undercut si pone  $\left. \frac{d\alpha_A^{eff}}{(\Delta x)} \right|_0 = 0$ .

$$\begin{aligned} \left. \frac{d\alpha_A^{eff}}{(\Delta x)} \right|_0 &= - \left. \frac{(W_1^{eff} + L_1^{eff})W_2^{eff}L_2^{eff} - (W_2^{eff} + L_2^{eff})W_1^{eff}L_1^{eff}}{(W_2^{eff}L_2^{eff})^2} \right|_0 \\ &= \frac{(W_1 + L_1)W_2L_2 - (W_2 + L_2)W_1L_1}{(W_2L_2)^2} = - \frac{(W_2 + L_2)(\alpha_P - \alpha_A)}{W_2L_2} = 0 \Leftrightarrow \alpha_P = \alpha_A \end{aligned}$$

Attraverso opportune **strategie di layout** sarà quindi possibile ridurre sia l'errore dovuto alle imperfezioni dei bordi (**condensatori quadrati**), sia l'*errore di undercut* (**stesso rapporto tra aree e perimetri**). Solitamente si prende la capacità più piccola del circuito come riferimento. Questa capacità, che verrà chiamata  $C_U$ , sarà realizzata con due livelli di *Si-poly*, un livello superiore di dimensioni  $b \times b$  (minimizza l'errore dovuto all'imprecisione dei bordi) e un livello inferiore di dimensioni  $(b+a) \times (b+a)$  dove  $a$  rappresenta la minima sovrapposizione tra i due livelli dettata dalla tecnologia utilizzata (*regola di layout*). Come si può vedere in *Figura 2.8*, si possono avere due casi a seconda che il rapporto tra la capacità da realizzare e  $C_U$  sia intero o meno.



**Figura 2.8** Condensatore di riferimento  $C_U$  e condensatore  $C_{1+\delta}$  (non proporzionale a  $C_U$ )

Caso 1)  $\frac{C_A}{C_U} = k, k \in \mathbb{Z}^+$

Il layout viene realizzato replicando  $k$  volte la capacità  $C_U$  ed effettuando una connessione in parallelo. In questo modo si riesce a compensare anche l'errore di undercut.

Caso 2)  $\frac{C_A}{C_U} = k + \delta, k \in \mathbb{Z}^+ e \delta < 1 \in \mathbb{R}$

Il layout viene realizzato replicando  $k-1$  volte la capacità  $C_U$  e dimensionando opportunamente una capacità di valore  $(1 + \delta)C_U$  ed effettuando sempre una connessione in parallelo.

Per minimizzare l'errore dei bordi sarà necessario avere una capacità quadrata con

$$c = d = \sqrt{\frac{(1 + \delta)C_U t_{ox}}{\epsilon}}$$

mentre se si vuole compensare l'errore di undercut si deve porre:

$$\frac{P_{1+\delta}}{P_U} = \frac{c + d}{2b} = \frac{A_{1+\delta}}{A_U} = \frac{c d}{b^2} = 1 + \delta$$

$$\Rightarrow c = b \left( 1 + \delta + \sqrt{\delta^2 + \delta} \right) \quad d = b \left( 1 + \delta - \sqrt{\delta^2 + \delta} \right)$$

In conclusione si può affermare che, applicando le strategie appena trattate è possibile fissare un rapporto di capacità con una precisione molto buona, inoltre tale rapporto risulta pressoché indipendente da variazioni di temperatura. Pertanto i filtri progettati seguendo questi accorgimenti risulteranno avere le caratteristiche auspiccate di *precisione e stabilità*.

Per completare la trattazione sulle capacità integrate si deve considerare un ultimo problema che, insieme alle imprecisioni nel processo tecnologico appena trattate, può alterarne il valore : gli *effetti parassiti*. Come si può vedere in *Figura 2.6*, si vengono a creare due *capacità parassite*  $C_{p1}$  e  $C_{p2}$  tra le armature e il substrato (tipicamente  $C_{p2} \gg C_{p1}$ ) che, in base ai nodi ai quali verranno connesse, potranno alterare o meno il valore della capacità  $C$ . Per esempio, qualora l'armatura inferiore del condensatore e il substrato siano connessi entrambi a massa, la capacità parassita  $C_{p2}$  sarà ininfluenza mentre il valore di  $C_{p1}$  andrà a sommarsi a quello di  $C$  poiché risultano connesse in parallelo. Nel capitolo successivo verrà effettuata un'analisi delle capacità parassite legate ai condensatori integrati in modo più specifico e approfondito in relazione alla topologia del filtro nel quale verranno inserite.

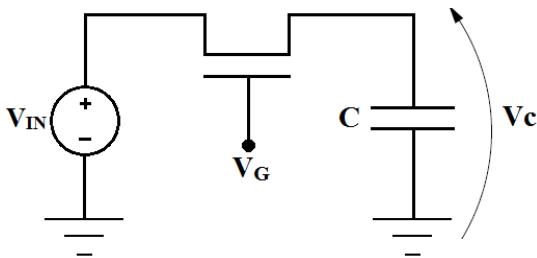
## 2.3 Transistore MOS come Interruttore

Lo *switch* analogico ideale è caratterizzato da resistenza nulla quando è chiuso ed infinita quando è aperto, ritardo pari a zero e può gestire segnali di ampiezza elevata. In realtà gli interruttori realizzabili in tecnologia integrata non soddisfano pienamente nessuna di queste caratteristiche ma, con opportuni accorgimenti, si possono ottenere ottime prestazioni.

### Pass Transistor

Il modo più semplice per realizzare un interruttore integrato consiste nell'utilizzo di un singolo transistor *MOS* che, in questo caso, prende il nome di *pass transistor*. Il transistor *MOS* è un dispositivo bilaterale, cioè può condurre corrente equivalentemente in entrambi i versi e, se polarizzato in regione triodo, il suo comportamento è assimilabile a quello di un resistore controllato in tensione. I *pass transistor* possono essere realizzati sia con un *MOS* a canale *n* che con un *MOS* a canale *p*.

Si considera il circuito rappresentato in *Figura 2.9*. Il condensatore rappresenta un generico carico capacitivo da pilotare (ad esempio il gate di una porta logica *CMOS*). Il segnale  $V_G$  rappresenta il segnale di controllo dell'interruttore mentre  $V_{in}$  è il segnale di ingresso. Nel caso di *pass transistor* di tipo *n*, un segnale  $V_G$  a livello alto ( $V_{DD}$ ) chiude l'interruttore, mentre un segnale a livello basso (0) lo apre.



1) CARICA

$$[\beta (V_{GS} - V_{Tn})]^{-1} < R_{ON}^r < \left[ \frac{\beta}{2} V_{DS}^2 \right]^{-1}$$

2) SCARICA

$$[\beta (V_{DD} - V_{Tn})]^{-1} < R_{ON}^f < \left[ \frac{\beta}{2} (V_{DD} - V_{Tn})^2 \right]^{-1}$$

**Figura 2.9** Pass Transistor

Si considerano distintamente il transitorio di salita e quello di discesa.

$$1) V_{C0} = V_C(t = 0) = 0, V_{in} = V_{in}^{HIGH} \text{ con } 0 \ll V_{in}^{HIGH} \leq V_{DD} - V_{Tn}$$

Ovviamente, finché  $V_G = 0$  il transistor è interdetto ed il condensatore resta scarico. Quando invece  $V_G$  passa a  $V_{DD}$  all'istante  $t_0 = 0$  si ha  $V_{S0}$  (*tensione di source*) =  $V_{C0} = 0$ ,  $V_{GS0} = V_{DD}$  e  $V_{DS0} = V_{D0} = V_{in}^{HIGH}$ . Il transistor pertanto si troverà in regione triodo e il condensatore si caricherà con una corrente

$$I_{DS} \approx \beta \left[ (V_{GS} - V_{Tn})V_{DS} - \frac{1}{2}V_{DS}^2 \right] (1 + \lambda V_{DS}) \approx \beta \left[ (V_{GS} - V_{Tn})V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

$$I_{DS} \approx \begin{cases} \beta (V_{GS} - V_{Tn})V_{DS} & V_{in}^{HIGH} \ll (V_{GS0} - V_{Tn}) \\ \frac{\beta}{2} (V_{GS} - V_{Tn})V_{DS} \approx \frac{\beta}{2} V_{DS}^2 & V_{in}^{HIGH} \approx (V_{GS0} - V_{Tn}) \end{cases}$$



In queste condizioni il transistor si comporta come un resistore di valore  $R_{ON}^r$ .

$$[\beta (V_{GS} - V_{Tn})]^{-1} < R_{ON}^r < \left[ \frac{\beta}{2} V_{DS} \right]^{-1}$$

Man mano che la capacità si carica le tensioni  $V_{GS}$  e  $V_{DS}$  decrescono ( $V_{GD} = cost \quad \forall t$ ) e la corrente che carica la capacità diminuisce. Il transitorio infine si estingue quando il transistor passa in regione di interdizione, ovvero quando  $V_{GS} < V_{Tn}$ , e la tensione a regime sulla capacità sarà  $V_C = V_D = V_{in}^{HIGH}$ .

$$2) V_{C0} = V_C(t = 0) = V_{DD} - V_{Tn}, V_{in} \approx 0$$

In questo caso, non appena si impone  $V_G = V_{DD}$  si ha  $V_{GS} \approx V_{DD}$  e  $V_{DS0} \approx V_{DD} - V_{Tn}$ , il transistor è di nuovo in regione triodo e la capacità si scaricherà con una corrente

$$I_{DS} \approx \beta \left[ (V_{GS} - V_{Tn})V_{DS} - \frac{1}{2}V_{DS}^2 \right] \approx \begin{cases} \frac{\beta}{2} (V_{GS} - V_{Tn})V_{DS} \approx \frac{\beta}{2} V_{DS}^2 & V_{DS}(t) \approx (V_{DD} - V_{Tn}) \\ \beta (V_{GS} - V_{Tn})V_{DS} & V_{DS}(t) \ll (V_{DD} - V_{Tn}) \end{cases}$$

La resistenza equivalente del MOS è minore per il transitorio di scarica.

$$[\beta (V_{DD} - V_{Tn})]^{-1} < R_{ON}^f < \left[ \frac{\beta}{2} V_{DD} - V_{Tn} \right]^{-1}$$

Man mano che il condensatore si scarica la tensione di drain si abbassa e il transistor continuerà a condurre fino a quando la scarica della capacità non sarà completata ( $V_{DS} = 0$ ). E' importante notare che il transitorio di scarica risulta più veloce perché, pur calando la tensione  $V_{DS}$ , la tensione di controllo rimane fissa a  $V_{DD}$ .

In generale, se ci si trova sufficientemente lontani dal bordo della saturazione, la resistenza equivalente del transistor MOS in regione lineare si può esprimere mediamente come

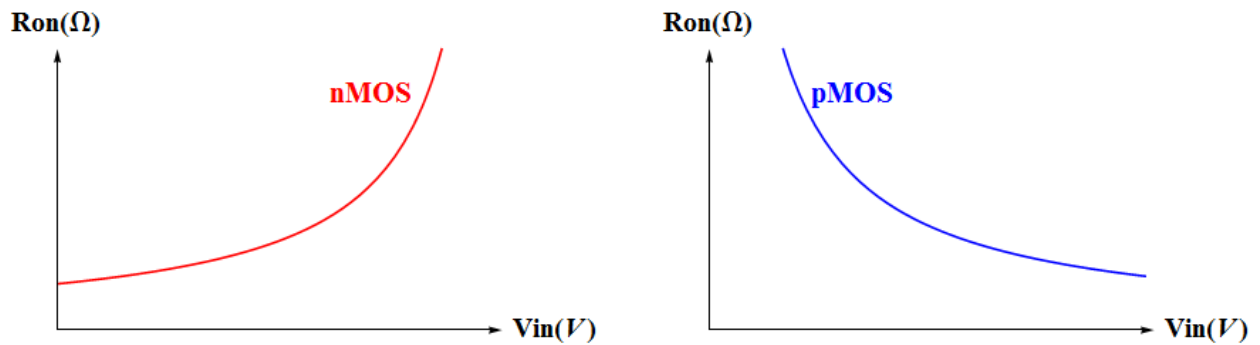
$$R_{ON}^n \approx [\beta (V_{GS} - V_{Tn})]^{-1}$$

Una trattazione analoga potrebbe essere condotta utilizzando come interruttore un transistor a canale p e i risultati ottenuti sarebbero del tutto simili.

$$R_{ON}^p \approx [\beta (V_{SG} - |V_{Tp}|)]^{-1}$$

I problemi principali dell'interruttore a pass transistor per applicazioni analogiche sono i seguenti:

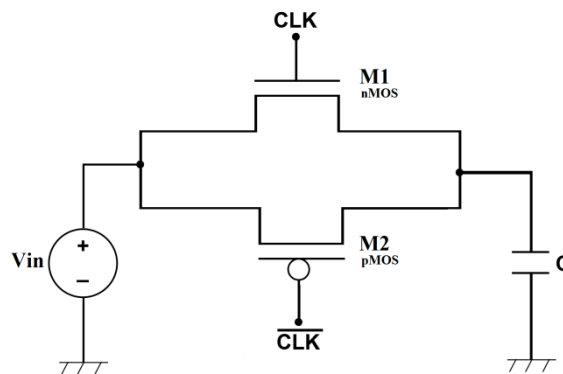
- la resistenza quando l'interruttore è chiuso assume valori significativamente maggiori di zero (quando è aperto è pressoché infinita);
- la resistenza dipende dal segnale di ingresso (Figura 2.10).



**Figura 2.10** MOS switch on-resistance al termine del transitorio di carica

### Transfer Gate

Per ovviare a questi problemi nasce l'idea di realizzare un dispositivo che approssimi il funzionamento di un interruttore ideale in modo più affidabile, anche al costo di una maggiore occupazione d'area. Per raggiungere questo obiettivo si utilizza la connessione in parallelo di due dispositivi, uno a canale *n* e uno a canale *p*, che viene chiamata *transmission gate* (o *transfer gate*).



**Figura 2.11** Transfer Gate switch

Ponendosi in un caso analogo a quello visto per il *pass transistor*, ovvero

$V_{C0} = V_C(t = 0) = 0, V_{in} = V_{in}^{HIGH}$  si possono distinguere due casi:

$$1) 0 \ll V_{in}^{HIGH} \leq V_{DD} - V_{Tn}$$

$$2) V_{DD} - V_{Tn} < V_{in}^{HIGH} \leq V_{DD}$$

Nel primo caso si ha:

$$V_{DS0} = V_{in} \leq V_{GS0} - V_{Tn} = V_{DD} - V_{Tn}$$

*nMOS* in regione triodo

$$V_{SD0} = V_{in} > V_{SG} - |V_{Tp}| = V_{in} - |V_{Tp}|$$

*pMOS* in saturazione  $\rightarrow$  regione triodo

Man mano che la capacità si carica, aumenta il potenziale sul drain del transistor a canale  $p$  che passa così in regione triodo (bassa impedenza) favorendo una carica più rapida della capacità ( $V_{SD} < V_{in} - |V_{Tp}|$ ).

Nel caso in cui il segnale di ingresso sia, per esempio, pari a  $V_{DD}$  (caso 2) si ha invece:

$$V_{DS0} = V_{DD} > V_{GS0} - V_{Tn} = V_{DD} - V_{Tn} \quad nMOS \text{ in saturazione}$$

$$V_{SD0} = V_{DD} > V_{SG} - |V_{Tp}| = V_{DD} - |V_{Tp}| \quad pMOS \text{ in saturazione} \rightarrow \text{regione triodo}$$

e i transistori presentano entrambi un'elevata resistenza (transitorio lento) fino a quando il  $pMOS$  non passa in regione triodo (transitorio più veloce). Quando la tensione  $V_{GS}$  diventa inferiore alla soglia l' $nMOS$  si spegne ma la carica della capacità può comunque essere completata grazie al suo complementare fino ad avere  $V_C = V_{in}^{HIGH}$  ( $V_{DS} = 0$ ).

Si pone ora l'attenzione sulla resistenza equivalente del *transfer gate*, che può essere vista come il parallelo delle resistenze dei singoli transistori. Si mette in evidenza che, nelle condizioni di caso peggiore (al termine del transitorio), si ha  $V_{GS}^{\infty} = V_{DD} - V_{in}$ .

$$R_{ON}^{TG} = R_{ON}^n // R_{ON}^p \leq \frac{1}{\beta'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_{in} - V_{Tn})} // \frac{1}{\beta'_p \left(\frac{W}{L}\right)_p (V_{in} - |V_{Tp}|)} =$$

$$= \frac{1}{V_{in} \left( \beta'_p \left(\frac{W}{L}\right)_p - \beta'_n \left(\frac{W}{L}\right)_n \right) + \beta'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_{Tn}) - \beta'_p \left(\frac{W}{L}\right)_p |V_{Tp}|}$$

Considerazioni del tutto analoghe si possono fare per il transitorio di discesa dove i ruoli dei transistori risultano invertiti.

La realizzazione dell'interruttore attraverso  $MOS$  complementari porta notevoli vantaggi in termini di resistenza equivalente. Come si vede dal grafico in *Figura 2.12*, la resistenza dell'interruttore  $CMOS$  risulta molto inferiore a quella dei singoli transistori (in virtù della connessione in parallelo) ma soprattutto, attraverso un opportuno dimensionamento può essere resa pressoché indipendente dalla tensione di ingresso.

$$\beta'_p \left(\frac{W}{L}\right)_p = \beta'_n \left(\frac{W}{L}\right)_n \Rightarrow R_{ON}^{TG} \leq \frac{1}{\beta'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_{Tn} - |V_{Tp}|)} \triangleq R_{ON}^{TGmax}$$

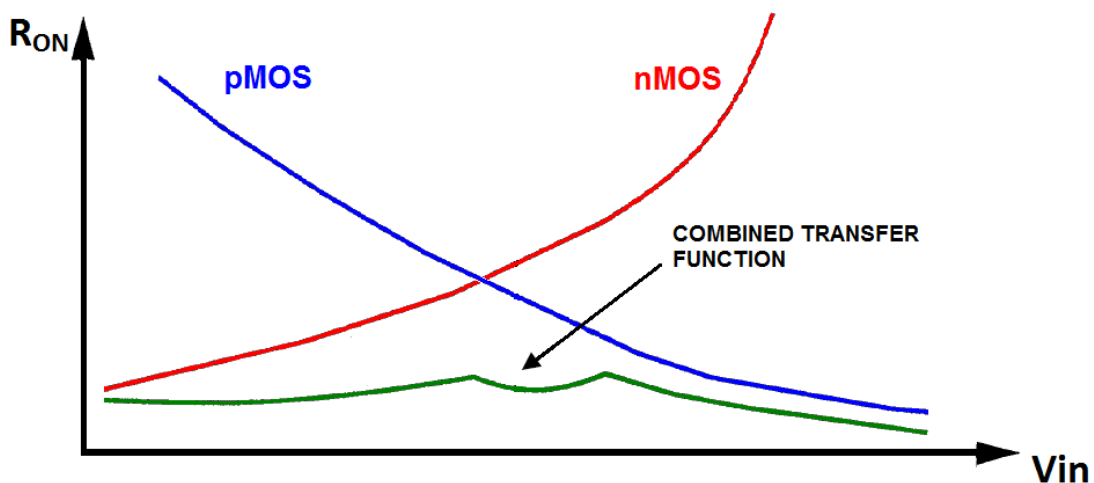
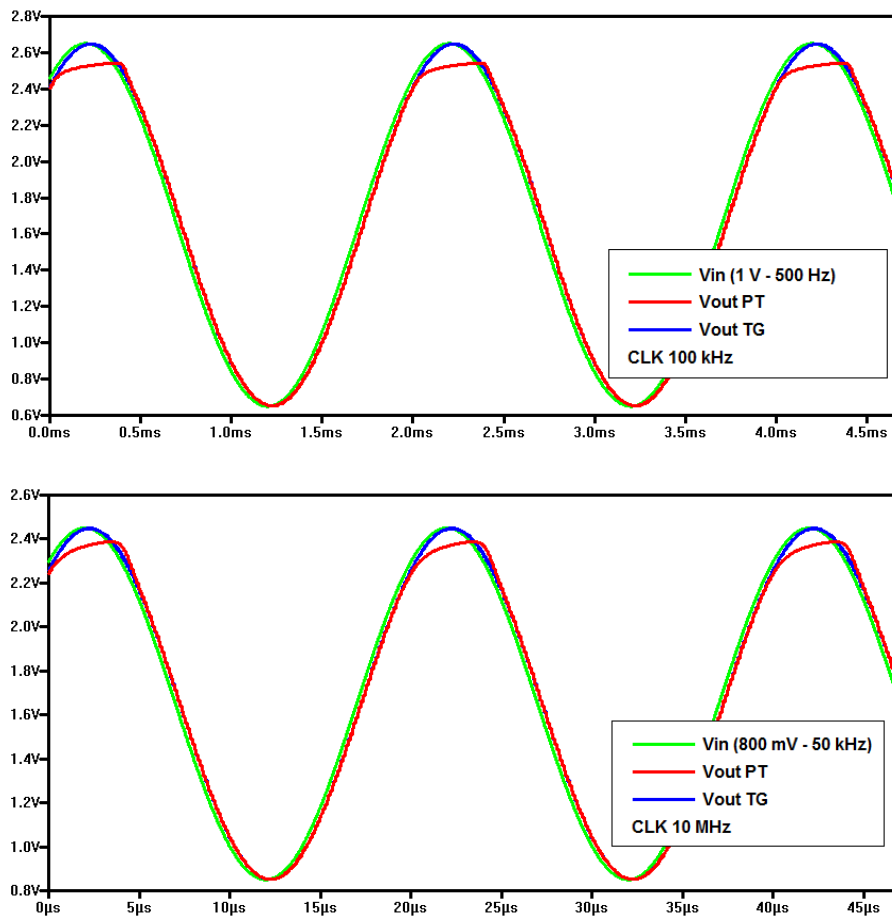


Figura 2.12 Resistenza equivalente *Transfer Gate*

I vantaggi dell'utilizzo del *transfer gate* come interruttore sono evidenziati dalle simulazioni *Spice* rappresentate in *Figura 2.13*. Le ipotesi fondamentali 1 e 3 per il funzionamento delle capacità commutate (clock a fasi non sovrapposte e quasi stazionarietà) sono ivi rispettate, ma non si può dire lo stesso per l'ipotesi sull'estinzione dei transistori (legata alla  $R_{ON}$  degli interruttori).

Infatti  $\frac{0.5}{f_{CLK}} \gg \tau = R_{ON} C$  risulta verificata per valori contenuti di  $R_{ON}$  e frequenza di clock non troppo elevata. Quando l'ingresso supera un valore limite di tensione, l'*nMOS* dell'interruttore a *pass transistor* passa in regione di saturazione e presenta una resistenza equivalente di valore piuttosto elevato, di conseguenza la tensione ai capi della capacità non raggiunge il valore asintotico in un ciclo di clock e l'uscita non riesce a seguire l'ingresso. Nel caso si utilizzi un interruttore a *transfer gate*, invece, quando l'*nMOS* entra in saturazione, la capacità viene caricata con l'ausilio del transistore *canale p* in parallelo ( $R_{ON}$  del parallelo molto inferiore) e, viceversa, quando entra in saturazione il *pMOS*. Considerazione del tutto analoga può essere fatta nel caso si decida di variare la frequenza di clock. In questa situazione, l'interruttore a *pass transistor* entra in saturazione per tensioni di ingresso di valore via via inferiore all'aumentare della frequenza di clock mentre la realizzazione a *transfer gate* non presenta alcun problema.



**Figura 2.13** Risposta *Pass Transistor switch* vs *Transfer Gate switch*

Considerando il transitorio estinto dopo un tempo pari a  $7\tau$ , si può ricavare il dimensionamento finale degli interruttori a *transfer gate*.

$$7\tau < \frac{0.5}{f_{CLK}} \Rightarrow R_{ON} < \frac{0.5}{7f_{CLK}C}$$

In generale è preferibile dimensionare gli *switch* con una lunghezza di canale pari alla minima lunghezza tecnologicamente realizzabile, in modo da ridurre effetti indesiderati legati alla commutazione come *clock feedthrough* e *charge injection* (trattati in modo più specifico nel Capitolo 3).

$$\frac{1}{\beta'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_{Tn} - |V_{Tp}|)} < \frac{0.5}{7 f_{CLK} C} \Rightarrow W_n^{TG} > \frac{14 f_{CLK} C L^{TG}}{\beta'_n (V_{DD} - V_{Tn} - |V_{Tp}|)}$$

Si può notare come il dimensionamento minimo degli interruttori sia direttamente legato alla frequenza  $f_{CLK}$ , ovvero più velocemente commuta il circuito più si dovranno sovradimensionare gli *switch* per rispettare i vincoli progettuali.

La scelta sulla frequenza di clock risulta pertanto particolarmente importante per questo genere di applicazione e va effettuata con molta attenzione. Nel caso in esame, con una frequenza di taglio a  $-3 \text{ dB}$  fissata ad  $1 \text{ kHz}$ , al fine di rispettare il vincolo di quasi stazionarietà (ipotesi fondamentale numero 3) può essere sufficiente prendere una frequenza di commutazione superiore di un paio di ordini di grandezza.

$$\boxed{f_{CLK} = f_C \times 10^2 = 100 \text{ kHz}} \quad (\text{E.P. 20})$$

Scelta come lunghezza di canale  $L^{TG} = L^{MIN} = 0.35 \mu\text{m}$ , con una capacità di carico di riferimento pari a  $10 \text{ pF}$  si ottiene  $W_n^{TG} > 0.02 \mu\text{m}$ . Questo calcolo di massima fornisce come unica indicazione quella di poter scegliere un valore di  $W$  per i *transfer gate* “piccolo a piacere” ma non si deve dimenticare che, nel caso di frequenza di commutazione via via più elevata, questo vincolo diventa sempre più stringente.

In questo caso si prende come riferimento iniziale di dimensionamento:

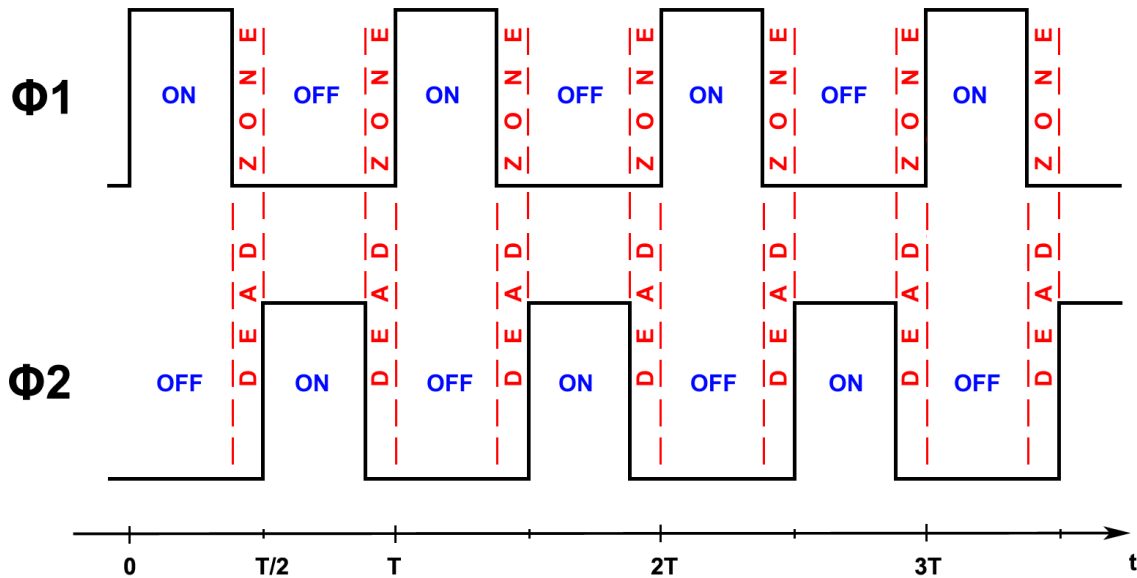
$$W_n^{TG} = 0.35 \mu\text{m} \Rightarrow W_p^{TG} = \frac{\beta'_n W_n^{TG}}{\beta'_p} \simeq 1.2 \mu\text{m}$$

Ricapitolando le relazioni generali ottenute per gli interruttori a *transfer gate* si ha:

$$\begin{cases} W_n^{TG} > \frac{14 f_{CLK} C L^{TG}}{\beta'_n (V_{DD} - V_{Tn} - |V_{Tp}|)} \\ W_p^{TG} = \frac{\beta'_n W_n^{TG}}{\beta'_p} \end{cases} \quad (\text{E.P. 21})$$

## 2.4 Generazione dei Segnali di Clock

Come visto in precedenza, una delle ipotesi fondamentali che devono essere verificate per il corretto funzionamento dei circuiti a capacità commutate è che gli *switch* siano pilotati da segnali di clock a due fasi non sovrapposte (*2-phase non-overlapping clock*). In altre parole, come si può vedere in *Figura 2.14*, ci possono essere istanti in cui entrambi i segnali di clock  $\phi_1$  e  $\phi_2$  sono bassi contemporaneamente ma non dovranno mai risultare alti simultaneamente in modo da evitare errori nella redistribuzione di carica (come si vedrà in dettaglio nel *Capitolo 3*).



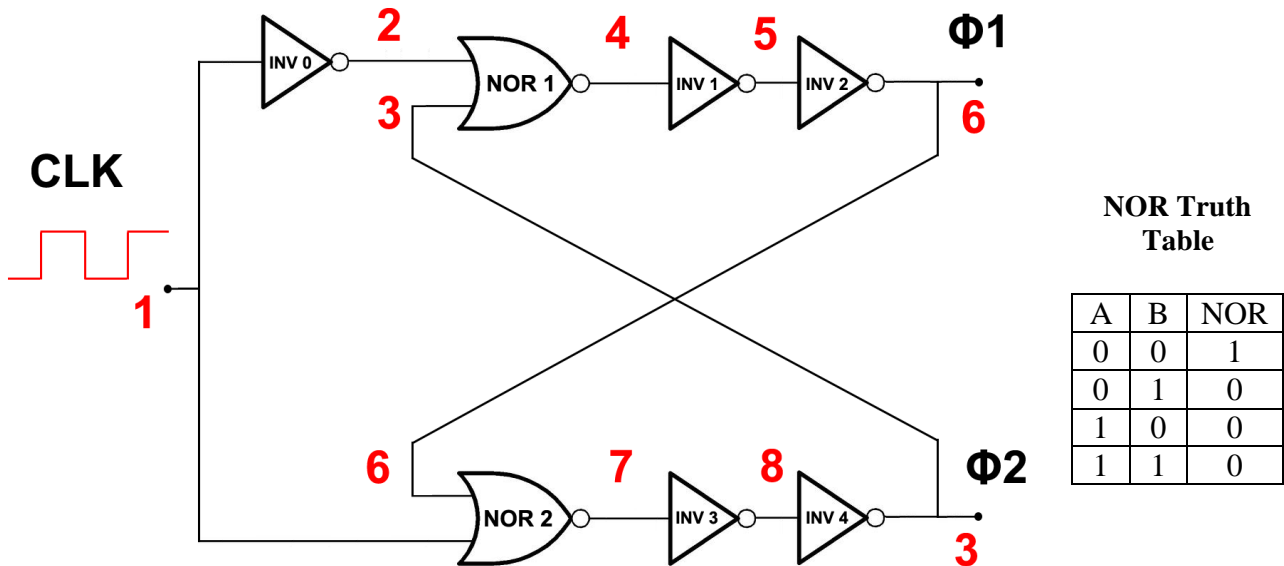
**Figura 2.14** Segnali di clock  $\Phi_1$  e  $\Phi_2$

Realizzare due segnali di clock separati che godano delle caratteristiche sopra illustrate e le mantengano stabili a fronte di variazioni di temperatura e invecchiamento dei componenti risulta tuttavia difficile. Per ovviare al problema si decide pertanto di generare i due segnali a fasi non sovrapposte a partire da un unico segnale di clock che viene elaborato da un circuito combinatorio retroazionato che fornisce in uscita due segnali sfasati con le caratteristiche desiderate.

Il circuito utilizzato per questo scopo è illustrato in *Figura 2.15*. L'analisi di questo circuito può essere condotta in modo piuttosto semplice. Si consideri, per esempio, una transizione del segnale di clock *CLK* in ingresso al nodo 1 da livello logico basso (0 V) a livello logico alto (3.3 V). Un istante prima della transizione le tensioni ai nodi, espresse in termini di livello logico, sono le seguenti (la terza riga indica l'ordine logico di lettura):

1	2=NOT(1)	3=NOT(8)	4=NOR(2,3)	5=NOT(4)	6=NOT(5)	7=NOR(1,6)	8=NOT(7)
0	1	1	0	1	0	1	0
[1]	[2]	[8]	[3]	[4]	[5]	[6]	[7]

Si pone  $\Delta T_1 = \text{ritardo invertitore}$  e  $\Delta T_2 = \text{ritardo NOR}$ , con  $\Delta T_2 < \Delta T_1$ . Una volta che il segnale al nodo 1 sale, il primo NOR a commutare è il *NOR 2* (passa da una configurazione "00" ad una configurazione "01" in ingresso), mentre il *NOR 1* mantiene uscita bassa.



**Figura 2.15** Architettura per la realizzazione dei segnali di clock

Propagandosi attraverso i due invertitori, il segnale commutato giunge in uscita al nodo 3 con un ritardo  $\Delta\phi_2 = 2 \Delta T_1 + \Delta T_2$  portando basso il valore di  $\phi_2$ . A questo punto si avrà la commutazione anche per il NOR 1 (passa da una configurazione “01” a una configurazione “00”) e, dopo un tempo complessivo pari a  $\Delta\phi_1 = 2(2 \Delta T_1 + \Delta T_2) = 2\Delta\phi_2$ , anche  $\phi_1$  sarà commutato a valore alto. In questo modo si può definire il tempo in cui entrambi i segnali di clock sono bassi:

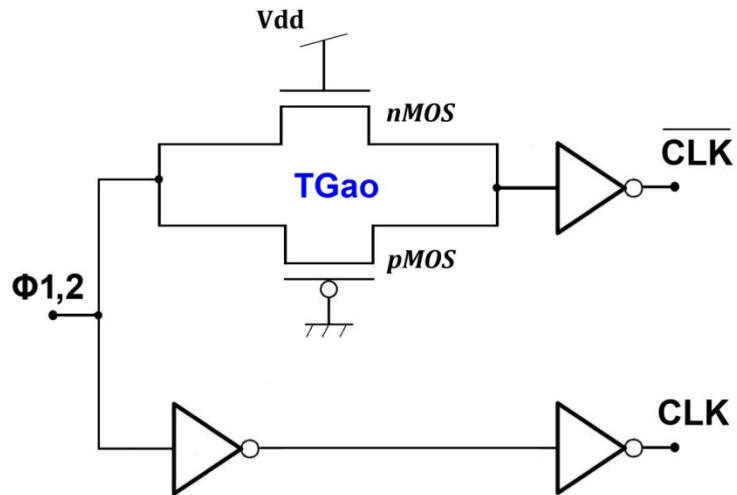
$$dead\ zone_{0 \rightarrow 1} = 2 \Delta T_1 + \Delta T_2$$

Con una trattazione del tutto analoga si può ricavare la relazione per il transitorio  $1 \rightarrow 0$ .

$$dead\ zone_{1 \rightarrow 0} = dead\ zone_{0 \rightarrow 1} = 2 \Delta T_1 + \Delta T_2$$

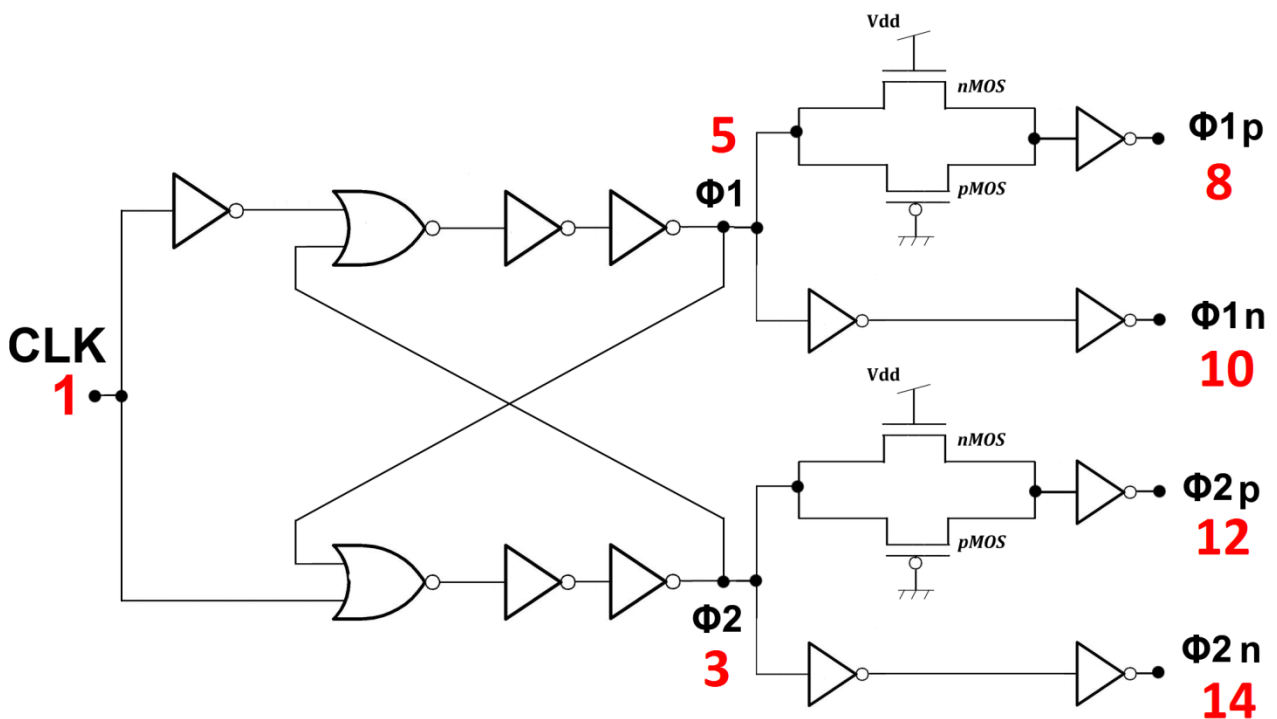
In entrambi i casi il ritardo introdotto dalla catena di invertitori permette di non avere mai i due segnali  $\phi_1$  e  $\phi_2$  alti nello stesso istante. Inoltre, la quasi perfetta simmetria topologica di questa implementazione permette di ottenere una certa robustezza nei confronti di imprecisioni di processo, dispersione dei parametri, invecchiamento dei componenti e variazioni delle condizioni di funzionamento.

Alla luce delle osservazioni fatte nel paragrafo precedente, si è deciso di realizzare gli interruttori utilizzando il *transfer gate*. Per segnali di ingresso a frequenza elevata, al fine di evitare errori di campionamento, è necessario che i transistori *nMOS* e *pMOS* si spengano “contemporaneamente”. Se, per esempio, l’*nMOS* si spegne  $\Delta t$  secondi prima rispetto al *pMOS*, la tensione di uscita tende a seguire l’ingresso per i rimanenti  $\Delta t$  secondi, ma con una costante di tempo maggiore (e dipendente dal livello di tensione in ingresso) provocando, nel peggiore dei casi, una distorsione della forma d’onda di uscita. Tuttavia questo problema, in virtù dell’ipotesi fondamentale di transistori estinti, non interessa in modo significativo la nostra applicazione. In *Figura 2.16* viene mostrata la circuiteria aggiuntiva necessaria per il pilotaggio degli *switch a transfer gate*. Si noti che l’utilizzo di un *transfer gate (TGao)* sempre acceso risponde alla necessità di avere due percorsi di ritardo bilanciati e offre ulteriori gradi di libertà qualora si volesse modificare lo sfasamento tra le due forme d’onda.



**Figura 2.16** Circuito per la generazione dei segnali di clock complementari

In *Figura 2.17* è rappresentato il circuito finale per la generazione del clock a fasi non sovrapposte destinato a pilotare gli interruttori a *transfer gate*.



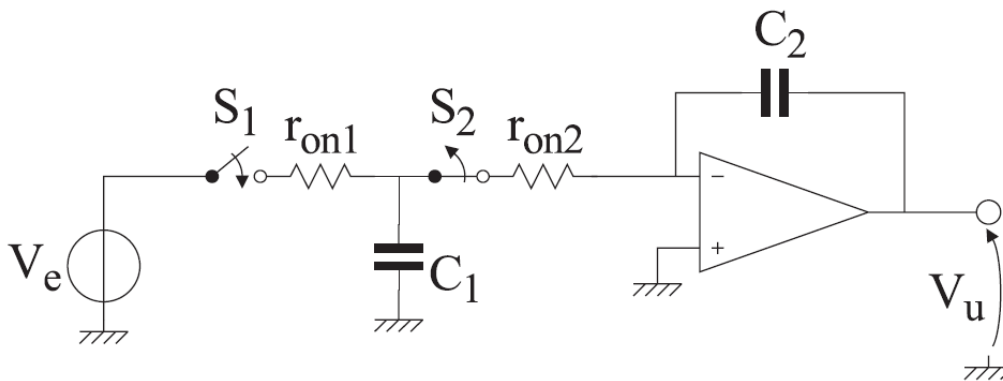
**Figura 2.17** Circuito completo per la generazione dei segnali di clock



## 2.5 Limiti della Frequenza di Clock

Come visto in precedenza, affinché i circuiti a istanti campionati funzionino correttamente devono essere verificate una serie di ipotesi, tra le quali la condizione di fasi non sovrapposte appena trattata e la quasi stazionarietà dei segnali rispetto alla frequenza di commutazione. Si è anche visto che esiste un *limite superiore* alla frequenza di clock dato dalle costanti di tempo del circuito. Per esempio, considerando un valore tipico per la resistenza  $R_{ON}$  degli interruttori a MOS pari a  $1\text{ k}\Omega$  e una capacità di valore  $1\text{ pF}$ , la carica del condensatore sarà regolata da una costante di tempo  $\tau = R_{ON} C_1 \approx 1\text{ ns}$ . Se si desidera ottenere una determinata precisione nel funzionamento del circuito, è necessario tenere presente tale costante di tempo che limita la velocità con cui si carica il condensatore, introducendo un limite alla frequenza di commutazione. Se si considera carico il condensatore quando il valore di tensione ai capi raggiunge il valore finale a meno di un fattore  $10^{-3}$  (quindi con un errore pari allo 0.1%), occorre mantenere chiuso l'interruttore per un tempo pari a circa 7 volte la costante di tempo ( $e^{-7} \approx 10^{-3}$ ) quindi devono trascorrere circa  $7\tau = 7\text{ ns}$  per raggiungere la tensione finale. In realtà, poiché il ciclo completo prevede la commutazione di due interruttori, la costante di tempo complessiva sarà doppia e quindi pari a circa  $14\tau = 14\text{ ns}$ . Questo pone un limite superiore alla frequenza di clock  $f_{clk}^{MAX} \approx 70\text{ MHz}$ . Nel caso si voglia prendere in considerazione l'utilizzo di capacità commutate per la realizzazione di un filtro attivo anche le caratteristiche di banda e di *slew rate* degli amplificatori operazionali devono essere tali da garantire il corretto funzionamento del circuito alla frequenza di commutazione degli interruttori.

Per quanto riguarda invece il *limite inferiore* alla frequenza di clock, risulta determinato prevalentemente dall'amplificatore operazionale e, in particolare, dalle correnti di polarizzazione degli ingressi.



**Figura 2.18** Connessione OP-AMP - capacità commutata

Con riferimento all'immagine di in *Figura 2.18*, la presenza di una seppur debole corrente di polarizzazione al morsetto invertente, se il periodo di clock è piuttosto ampio, può portare a un errore significativo sulla tensione ai capi del condensatore. Per fare un esempio si consideri una capacità di  $1\text{ pF}$  e una corrente che lo attraversi pari a  $1\text{ pA}$ . Se si è disposti a tollerare una variazione massima di tensione pari a  $1\text{ mV}$  si può ricavare il massimo intervallo di tempo in cui l'interruttore  $S_2$  può rimanere chiuso.

$$\Delta V_{C_1}^{MAX} = \frac{I_{BIAS}^-}{\Delta T C_1} \Rightarrow f_{clk}^{MIN} = \frac{1}{\Delta T} = \frac{C_1 \Delta V_{C_1}^{MAX}}{I_{BIAS}^-} = 10\text{ Hz}$$

## Capacità Commutate

Tuttavia bisogna sempre tenere presente la condizione imposta dalla frequenza del segnale di ingresso, che il più delle volte risulta maggiormente vincolante.

In generale si ha:

$$\max\left(2B, \frac{C_1 \Delta V_{C_1}^{MAX}}{I_{BIAS}^-}\right) < f_{clk} < (14 R_{ON} C_1)^{-1}$$

dove  $B$  rappresenta la banda massima occupata dal segnale di ingresso.

## 2.6 Conclusioni

In questo capitolo sono stati affrontati i problemi di integrabilità dei componenti “passivi” del filtro.

Per quanto riguarda i resistori è stata scelta una realizzazione a capacità commutate in quanto permette di ottenere una dipendenza dei parametri del filtro da soli rapporti di capacità (facilmente controllabili). Per un corretto funzionamento di questo tipo di circuiti devono essere rispettate 3 ipotesi fondamentali: clock di pilotaggio a fasi non sovrapposte, transistori estinti entro un semi-periodo, quasi stazionarietà del segnale di ingresso.

Successivamente sono state esaminate le principali cause di imprecisione nella realizzazione dei condensatori integrati e, a seguito di un’analisi teorica dettagliata, è stato ricavato che l’influenza degli errori di processo può essere minimizzata nel caso di capacità quadrate. La soluzione che consente di ottenere la massima precisione possibile nei rapporti capacitivi è quella di realizzare tutte le capacità del filtro come repliche, connesse in parallelo, di una capacità quadrata fondamentale presa come riferimento.

Come interruttori per le capacità commutate sono state prese in esame due possibili alternative: *pass transistor* e *transfer gate*. Dopo un’analisi di vantaggi e svantaggi la scelta è ricaduta sul secondo in quanto permette di ottenere resistenza nello stato ON molto inferiore e soprattutto indipendente dalla tensione di ingresso.

Infine è stato proposto e analizzato un apposito circuito per la generazione del segnale di clock a fasi non sovrapposte e sono stati discussi i limiti in frequenza entro i quali un filtro ad istanti campionati funziona correttamente.

A questo punto, fissata la frequenza di clock ( $f_{clk} = f_c \times 10^2 = 100 \text{ kHz}$ , ipotesi di quasi stazionarietà verificata) e fornite le equazioni di progetto per un dimensionamento di massima dei *transfer gate*, altro non rimane se non unire tutti i “pezzi” finora progettati per realizzare la funzione di filtraggio desiderata.

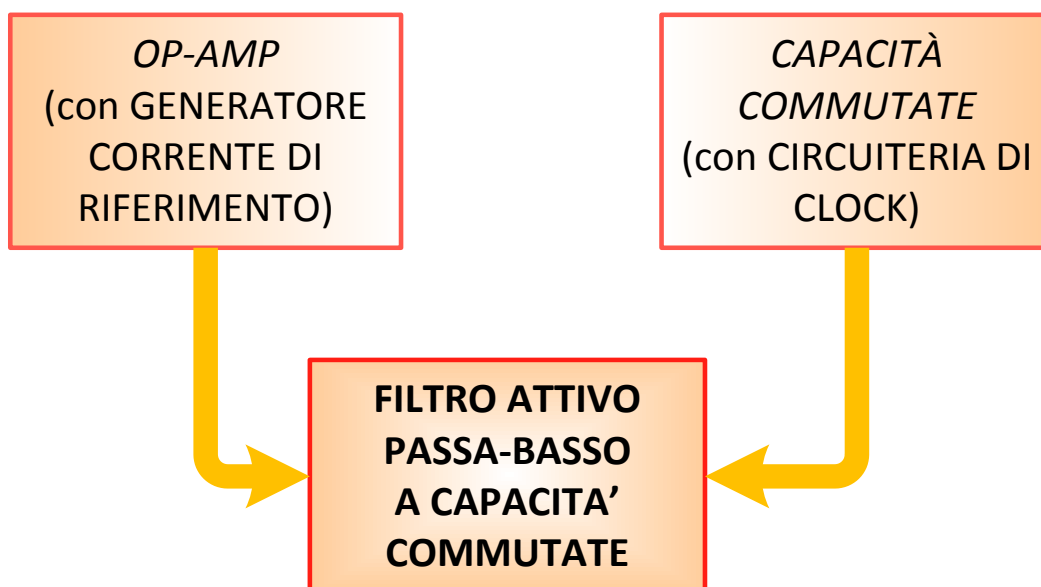


Figura 2.19 Flusso progettuale per la realizzazione del filtro

### 3. Filtro di Butterworth

Nell'ultima fase di progetto si utilizzeranno l'OP-AMP e le capacità commutate realizzati in precedenza per la sintesi di un filtro passa-basso del secondo ordine che sfrutta le proprietà del *polinomio di Butterworth*.

I filtri ideali sono caratterizzati da funzioni di trasferimento a modulo costante in banda passante, nullo in banda oscura e fase lineare. Poiché tali filtri non sono *causali*, essi possono essere soltanto "approssimati" da filtri fisicamente realizzabili. Il problema della realizzazione di filtri per una data applicazione non è quindi banale, e richiede almeno tre passi per la sua soluzione:

- 1) individuazione delle specifiche del filtro data la particolare applicazione;
- 2) determinazione della funzione di trasferimento di un filtro soddisfacente le specifiche individuate;
- 3) realizzazione fisica di un sistema la cui funzione di trasferimento coincida con quella determinata.

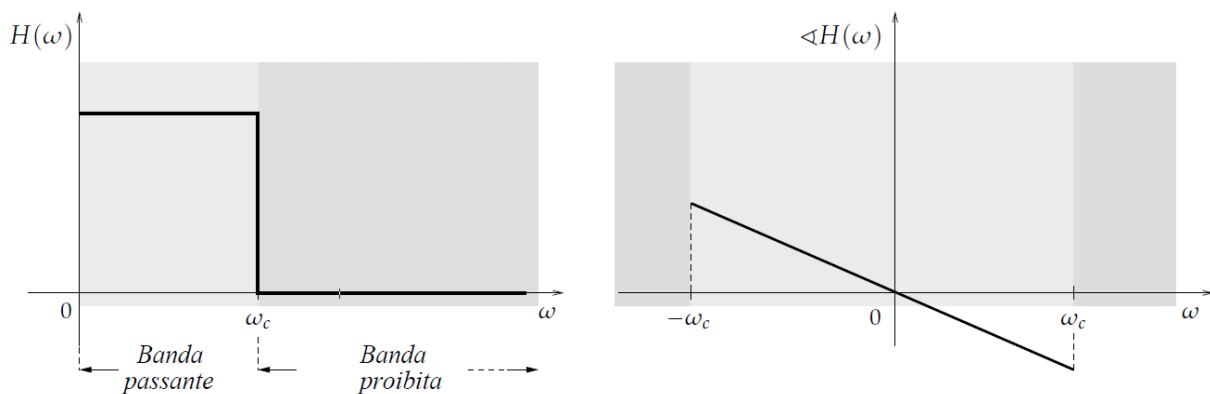
Al fine di descrivere le specifiche del filtro che si intende realizzare, è necessaria la conoscenza di parametri che permettano di valutare la qualità dell'approssimazione rispetto ad un filtro ideale, quali il *ripple in banda passante*, la *frequenza di taglio a 3 dB*, l'*ampiezza della banda di transizione*, la *frequenza di stop*, l'*attenuazione in banda oscura*, la *linearità della fase*.

L'individuazione del filtro viene effettuata selezionando la funzione di trasferimento di un filtro causale che soddisfi le specifiche assegnate; nel nostro caso si prenderà in considerazione una realizzazione alla *Butterworth*. L'ultima fase consiste nella realizzazione fisica del sistema di cui è nota la funzione di trasferimento, che coinvolgerà tutti i circuiti analizzati e dimensionati nei capitoli precedenti al fine di ottenere un *filtro passa-basso di Butterworth del secondo ordine a capacità commutate*.

### 3.1 Caratteristiche dei Filtri Analogici

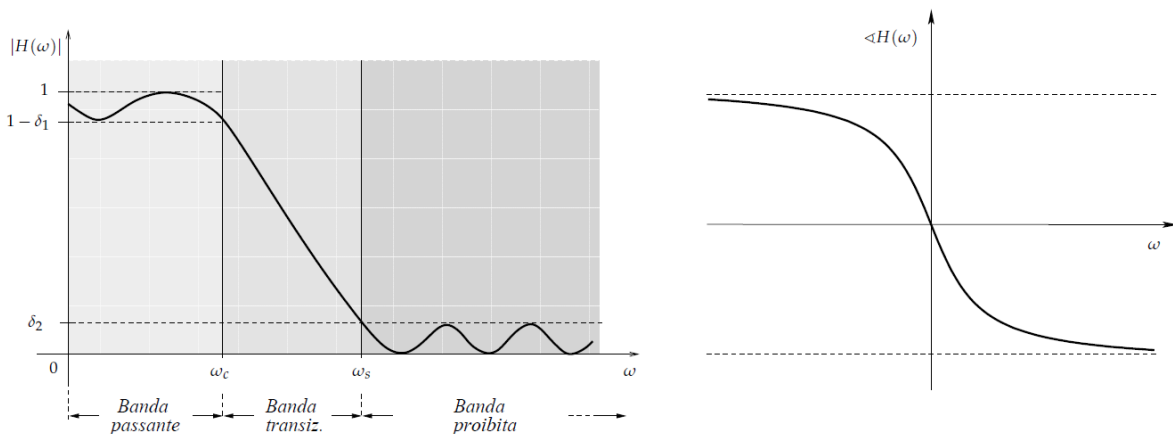
La funzione di trasferimento  $H(\omega)$  di un filtro ideale passabasso possiede le seguenti caratteristiche:

- 1)  $|H(\omega)|$  è costante nella banda passante ed è identicamente nullo nella banda oscura;
- 2) la banda passante e la banda oscura sono confinanti (separate dalla frequenza di taglio);
- 3) la risposta in fase  $\angle H(\omega)$  è lineare; questo significa che le componenti armoniche nella banda passante hanno tutte lo stesso ritardo temporale.



**Figura 3.1** Modulo e fase di una funzione di trasferimento passa-basso ideale

Purtroppo la risposta impulsiva di un sistema che realizza un filtro ideale è del tipo  $\text{sinc}(\omega_c t)$ ; essa assume valori differenti da 0 per  $t < 0$  e quindi tale sistema risulta essere non causale. Questo significa che ogni sistema realizzabile non potrà mai verificare contemporaneamente le caratteristiche 1), 2) e 3). Indicando con  $H(\omega)$  la funzione di trasferimento di un eventuale filtro passa-basso realizzabile, sappiamo che  $H(\omega)$  è completamente specificata dal suo modulo  $|H(\omega)|$  e dalla sua fase  $\angle H(\omega)$ .

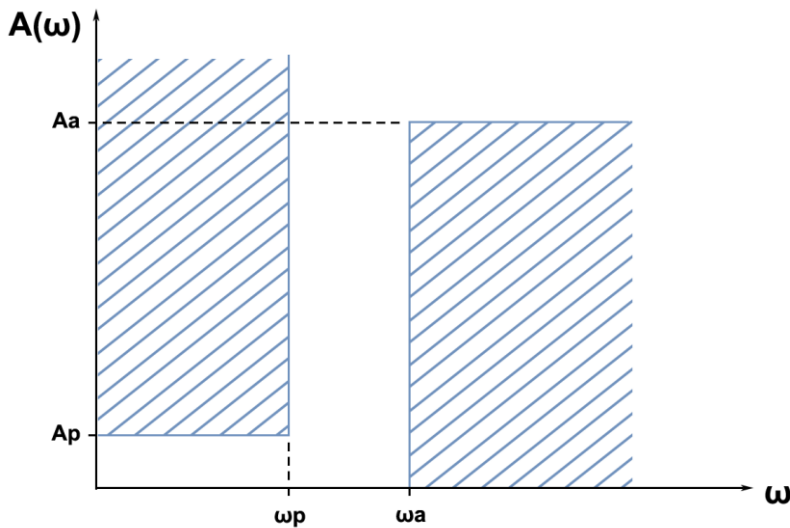


**Figura 3.2** Modulo e fase di una funzione di trasferimento passa-basso realizzabile

Rispetto ad un filtro ideale possiamo rilevare le seguenti differenze:

- 1) L'ampiezza  $|H(\omega)|$  non è costante nella banda passante e non è identicamente nulla nella banda oscura (o banda proibita); si possono rilevare inoltre oscillazioni (*ripple*) di ampiezza non trascurabile sia nella banda passante che in quella oscura. Parametri importanti sono l'ampiezza della massima oscillazione in banda passante  $\delta_1$  e in banda oscura  $\delta_2$ , o equivalentemente, le attenuazioni relative in decibel  $A_A[\text{dB}] = -20 \log(1 - \delta_1)$  dB e  $A_P = -20 \log \delta_2$  dB.
- 2) La banda passante e la banda oscura non confinano, ma sono separate da una banda detta banda di transizione. Parametri importanti sono la *frequenza di taglio*  $\omega_C$  a 3 dB, la *frequenza di stop*  $\omega_S$  e la *dimensione della banda di transizione*  $\omega_A - \omega_P$ .
- 3) La fase  $\angle H(\omega)$  non risulta essere lineare.

La prima fase di progetto consiste pertanto nel determinare i parametri che caratterizzano la *maschera del filtro*, in relazione alle specifiche desiderate per l'applicazione nella quale dovrà essere impiegato. La funzione di trasferimento del filtro dovrà quindi mantenersi entro i limiti imposti da questa maschera in termini di:



- Massima attenuazione in banda passante ( $A_P$ ),
- Ampiezza della banda di transizione ( $\omega_A - \omega_P$ ),
- Minima attenuazione in banda oscura ( $A_A$ ).

$$\text{Con } A(\omega) \triangleq \frac{1}{|H(\omega)|},$$

$$A(\omega_A) = A_A \text{ e } A(\omega_P) = A_P$$

**Figura 3.3** Maschera di un filtro di tipo passa-basso

### 3.2 Polinomio di Butterworth

Si è visto che un filtro ideale non è causale e quindi può essere soltanto approssimato con filtri realizzabili fisicamente. A questo riguardo sono stati introdotti parametri che denotano la bontà nell'approssimarne la caratteristica di ampiezza come la dimensione della banda di transizione, l'attenuazione, le oscillazioni, che definiscono la maschera di progetto.

La progettazione di un filtro è fortemente dipendente dall'applicazione; in certi casi (per esempio nei sistemi audio) è richiesta un'ottima risposta in fase. In altre applicazioni la linearità della fase è di scarso rilievo, mentre critica è l'accuratezza nell'approssimare il guadagno, e così via.

In aiuto al progettista, sono state introdotte e analizzate varie classi di filtri usualmente disponibili in sistemi di calcolo automatico per la progettazione, l'implementazione e la simulazione di filtri. Le principali famiglie sono quella dei filtri di *Butterworth*, di *Chebyshev*, di *Cauer* (o *ellittici*) e di *Bessel*. In *Tabella 3.1* vengono messi a confronto questi filtri (a parità di ordine) valutandone, in prima approssimazione, la qualità.

FILTRO	ACCURATEZZA CARATT. AMPIEZZA	LINEARITÀ DELLA FASE
Butterworth	Media	Media
Chebyshev	Buona	Cattiva
Ellittico	Ottima	Pessima
Bessel	Cattiva	Buona

**Tabella 3.1** Confronto caratteristiche delle principali famiglie di filtri

Nel nostro caso, per una serie di ragioni, la scelta ricade sull'approssimazione di *Butterworth*. I filtri di *Butterworth* costituiscono una famiglia di filtri che soddisfano bene i requisiti sul guadagno in banda passante ma presentano una banda di transizione piuttosto ampia. Sebbene non esibiscano una fase lineare in banda passante, l'approssimazione non è troppo cattiva e sono tra i più semplici filtri elettronici da realizzare. Per applicazioni *general purpose* risulta quindi conveniente sfruttare questo tipo di soluzione. Un filtro di *Butterworth* è caratterizzato principalmente da due parametri: l'ordine  $N$  e la frequenza di taglio  $\omega_c$  a 3 dB. Definita la funzione di perdita del filtro come:

$$L(\omega^2) \triangleq \frac{1}{|H(j\omega)|^2} = \frac{1}{H(j\omega)H(-j\omega)}$$

si assume che  $L$  sia polinomiale in  $\omega^2$ , e quindi della forma

$$L(\omega^2) = b_0 + b_1\omega^2 + \dots + b_N\omega^{2N}$$

La peculiarità del filtro di *Butterworth* consiste nell'aver una caratteristica di ampiezza “*massimamente piatta*” in banda passante e quindi i coefficienti  $b_i$  andranno opportunamente determinati in modo da garantire questo tipo di comportamento.

$$\lim_{\omega \rightarrow 0} L(\omega^2) = 1 \quad \text{in modo “massimamente piatto”}$$

Posto  $x = \omega^2$ , considerando lo sviluppo in serie di Taylor intorno a  $x_0 = 0$  ( $\omega_0 = 0$ ), si ha:

$$L(x)|_{x_0=0} = L(h) \simeq L(0) + \left. \frac{dL}{dx} \right|_{x_0} h + \dots + \left. \frac{d^k L}{dx^k} \right|_{x_0} \frac{h^k}{k!} + \dots \quad \text{dove } h = x - x_0.$$

## Filtro di Butterworth

Per ottenere le caratteristiche desiderate si dovranno imporre le seguenti condizioni:

- 1)  $L(0) = 1 \Rightarrow b_0 = 1$  (attenuazione nulla per  $\omega = 0$ )
- 2)  $\left. \frac{d^k L}{dx^k} \right|_{x_0} = 0$  con  $k \leq N - 1 \Leftrightarrow b_i = 0$  con  $1 \leq i \leq N - 1$  (banda massimamente piatta)

In questo modo l'espressione della funzione di perdita può essere ridotta a

$$L(\omega^2) = 1 + b_N \omega^{2N}$$

e rimane il solo coefficiente  $b_N$  da determinare. L'ultimo passaggio da effettuare è quello di imporre la *condizione di normalizzazione*, ovvero operando la sostituzione

$$\omega \rightarrow \frac{\omega}{\omega_c}$$

si deve avere

$$\sqrt{L\left(\left(\frac{\omega}{\omega_c}\right)^2\right)} \Big|_{\omega=\omega_c} = A(1) = \sqrt{2} \quad (3dB) \Leftrightarrow b_N = 1$$

In questo modo si ottiene la formulazione esplicita della funzione di perdita di *Butterworth* e quindi dell'attenuazione  $A(\omega)$  associata.

$$L(\bar{\omega}^2) = 1 + \bar{\omega}^{2N} \quad A(\bar{\omega})[dB] = 10 \log(1 + \bar{\omega}^{2N})$$

dove  $\bar{\omega}$  rappresenta la *pulsazione normalizzata* alla pulsazione di taglio  $\omega_c$ .

La *funzione di trasferimento del generico filtro di Butterworth di ordine N* può essere pertanto espressa come

$$H_N(j\omega) = \frac{1}{B_N(\bar{\omega})} = \frac{1}{\sqrt{L(\bar{\omega}^2)}} = \frac{1}{\sqrt{1 + \bar{\omega}^{2N}}}$$

e  $B_N$  prende il nome di *N-esimo polinomio di Butterworth*.

Tenendo presente la relazione che lega la pulsazione reale normalizzata  $\bar{\omega}$  alla corrispondente variabile  $\bar{s}$  nel dominio di *Laplace* si può scrivere la funzione  $L$  come

$$L(-\bar{s}^2) = \frac{1}{H(\bar{s})H(-\bar{s})} = \frac{D_H(\bar{s})D_H(-\bar{s})}{N_H(\bar{s})N_H(-\bar{s})} = 1 + (-1)^N \bar{s}^{2N} = \prod_{k=1}^{2N} (\bar{s} - \bar{s}_k)$$

L'insieme degli zeri della funzione  $L(-\bar{s}^2)$  sarà pertanto costituito dall'unione dei poli della funzione di trasferimento  $H(\bar{s})$  con i rispettivi complessi coniugati e possono essere esplicitati per valori pari o dispari di  $N$ .



**N pari**

$$L(-\bar{s}^2) = 1 + \bar{s}^{2N} = 0 \quad \forall \bar{s} = \bar{s}_k \text{ t.c. } (\bar{s}_k)^{2N} = -1 \Leftrightarrow \bar{s}_k = \sqrt[2N]{-1}, k = 1, 2, \dots, 2N$$

$$\bar{s}_k = e^{\frac{j(2k-1)\pi}{2N}}, \quad k = 1, 2, \dots, 2N$$

**N dispari**

$$L(-\bar{s}^2) = 1 - \bar{s}^{2N} = 0 \quad \forall \bar{s} = \bar{s}_k \text{ t.c. } (\bar{s}_k)^{2N} = 1 \Leftrightarrow \bar{s}_k = \sqrt[2N]{1}, k = 1, 2, \dots, 2N$$

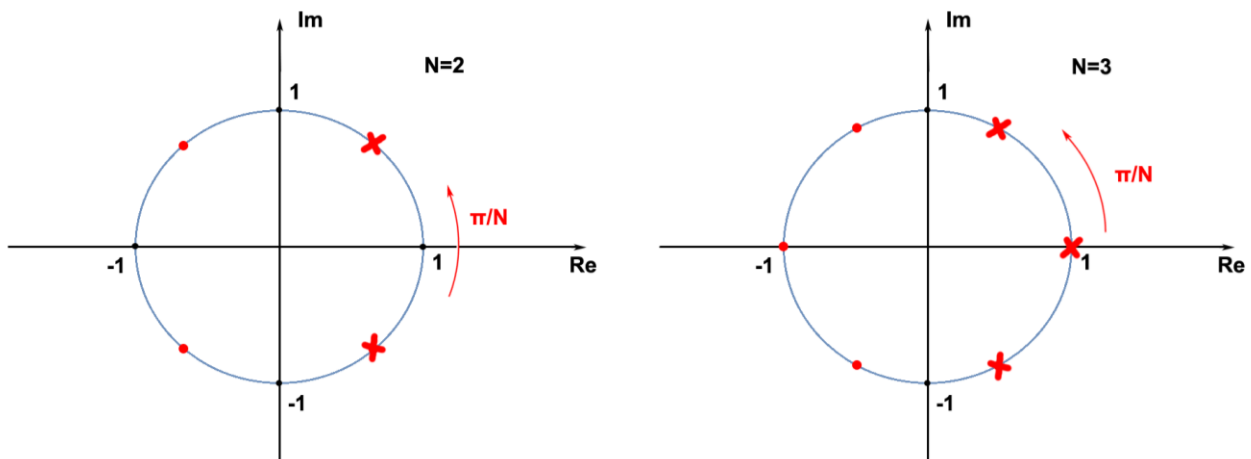
$$\bar{s}_k = e^{\frac{j2(k-1)\pi}{2N}} = e^{\frac{j(k-1)\pi}{N}}, \quad k = 1, 2, \dots, 2N$$

I poli della funzione di trasferimento normalizzata giacciono cioè sulla circonferenza unitaria nello spazio trasformato e sono equispaziati di un angolo  $\pi/N$ . Nel caso dispari si può considerare come riferimento iniziale l'intersezione tra la circonferenza unitaria e l'asse reale positivo mentre nel caso pari si può partire da  $\pi/2N$ , come si vede negli esempi di *Figura 3.4*. Affinché il filtro progettato sia stabile si devono scegliere come poli per  $H(\bar{s})$  solo gli zeri di  $L(-\bar{s}^2)$  a parte reale negativa, ovvero quelli posti nel semipiano sinistro. La generica funzione di trasferimento di grado  $N$  normalizzata può essere quindi espressa come

$$H_N(\bar{s}) = \frac{1}{\prod_{i=1}^{2N} (\bar{s} - \bar{p}_i)}$$

dove i poli  $p_i$  corrispondono a

$$\begin{aligned} \bar{p}_i &= e^{\frac{j(2i-1)\pi}{2N}} & i = N, \dots, 2N - 1 & \text{ per } N \text{ pari e} \\ \bar{p}_i &= e^{\frac{j(i-1)\pi}{N}} & i = N, \dots, 2N - 1 & \text{ per } N \text{ dispari.} \end{aligned}$$



**Figura 3.4** Poli funzione di trasferimento di *Butterworth*

## Filtro di Butterworth

Per ciascun polo si possono definire il *coefficiente di smorzamento*  $K_{N,i}$  e il *fattore di qualità*  $Q$ , legati dalla seguente relazione:

$$K_{N,i} \triangleq |Re[\bar{p}_i]| = \frac{1}{2Q}$$

Nel caso  $N = 2$  si hanno due poli complessi coniugati a  $\frac{3}{4}\pi$  e a  $\frac{5}{4}\pi$

$$\bar{p}_1 = -\frac{\sqrt{2}}{2} + j\frac{\sqrt{2}}{2} \quad \bar{p}_2 = -\frac{\sqrt{2}}{2} - j\frac{\sqrt{2}}{2}$$

Il polinomio del secondo ordine può essere calcolato come

$$(\bar{s} - \bar{p}_1)(\bar{s} - \bar{p}_2) = \bar{s}^2 + \sqrt{2}\bar{s} + 1$$

e la funzione di trasferimento può essere esplicitata come

$$H_{B2}(\bar{s}) = \frac{1}{\bar{s}^2 + \frac{\bar{s}}{Q} + 1} = \frac{1}{\bar{s}^2 + \sqrt{2}\bar{s} + 1} = \frac{\omega_c^2}{s^2 + \frac{\omega_c}{Q}s + \omega_c^2} = \frac{\omega_c^2}{s^2 + \sqrt{2}\omega_c s + \omega_c^2}$$

In generale si può dimostrare che i coefficienti dei polinomi di *Butterworth* sono simmetrici ( $a_{N,0} = a_{N,N-1}$ ,  $a_{N,1} = a_{N,N-2}$  ecc.) e calcolabili attraverso la seguente formula ricorsiva.

$$a_{N,k} = \frac{\cos\left[(k-1)\frac{\pi}{2N}\right]}{\sin\left[\frac{k\pi}{2N}\right]} a_{k-1} \quad \text{con } a_{N,0} = 1$$

In *Tabella 3.2* sono riportate le fattorizzazioni dei primi otto polinomi di *Butterworth* mentre in *Figura 3.5* è possibile osservare un confronto sulla risposta in ampiezza dei filtri corrispondenti per  $N = 1,2,3,8$ .

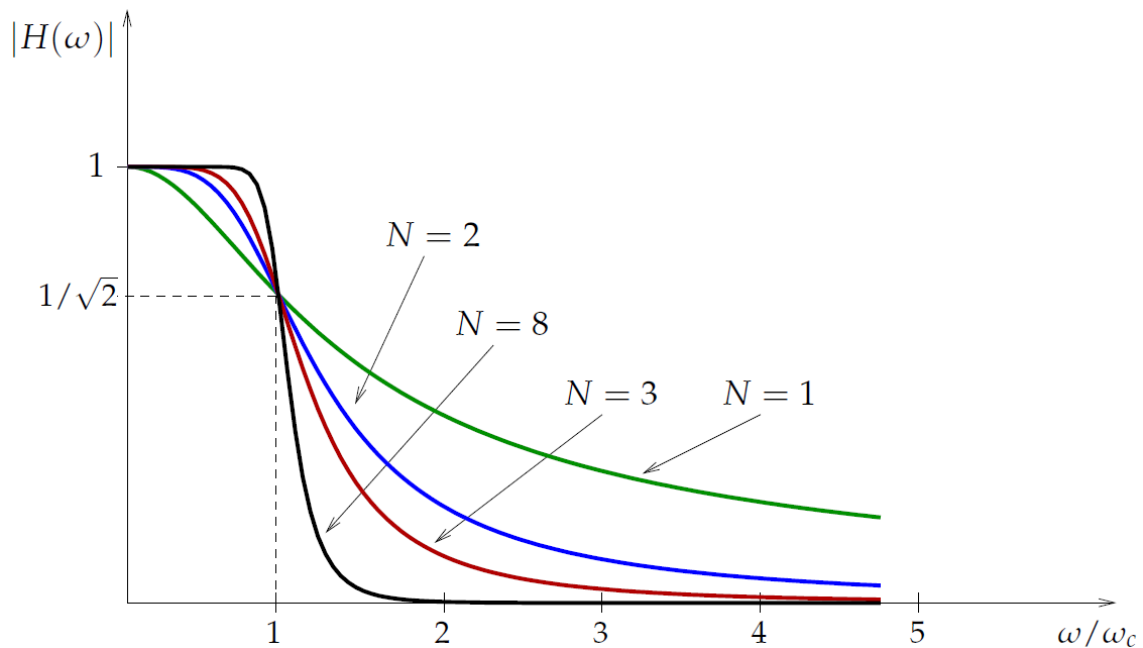
$B_1(\bar{s}) = \bar{s} + 1$
$B_2(\bar{s}) = \bar{s}^2 + \sqrt{2}\bar{s} + 1$
$B_3(\bar{s}) = (s + 1)(\bar{s}^2 + \bar{s} + 1)$
$B_4(\bar{s}) \simeq (\bar{s}^2 + 0.765\bar{s} + 1)(\bar{s}^2 + 1.848\bar{s} + 1)$
$B_5(\bar{s}) \simeq (s + 1)(\bar{s}^2 + 0.618\bar{s} + 1)(\bar{s}^2 + 1.618\bar{s} + 1)$
$B_6(\bar{s}) \simeq (\bar{s}^2 + 0.518\bar{s} + 1)(\bar{s}^2 + 1.414\bar{s} + 1)(\bar{s}^2 + 1.932\bar{s} + 1)$
$B_7(\bar{s}) \simeq (s + 1)(\bar{s}^2 + 0.445\bar{s} + 1)(\bar{s}^2 + 1.247\bar{s} + 1)(\bar{s}^2 + 1.802\bar{s} + 1)$
$B_8(\bar{s}) \simeq (\bar{s}^2 + 0.390\bar{s} + 1)(\bar{s}^2 + 1.111\bar{s} + 1)(\bar{s}^2 + 1.663\bar{s} + 1)(\bar{s}^2 + 1.962\bar{s} + 1)$

**Tabella 3.2** Primi otto polinomi di *Butterworth* fattorizzati

Riguardo alla caratteristica di ampiezza si possono fare le seguenti osservazioni:

- 1) la frequenza di taglio a 3 dB  $\omega_c$ , è indipendentemente dall'ordine  $N$  del filtro;
- 2) l'attenuazione nella banda oscura dipende da  $N$  in modo critico: risulta infatti un'attenuazione di  $20 N$  dB per decade;
- 3) non sono presenti oscillazioni né in banda passante né in banda oscura: il filtro di Butterworth è quello che presenta la maggior "piattezza" in banda passante.

In una tipica situazione di progetto, il parametro  $\omega_c$  è fissato essendo la frequenza di taglio desiderata, mentre l'ordine  $N$  viene scelto in modo tale da soddisfare la richiesta di attenuazione minima in banda oscura.

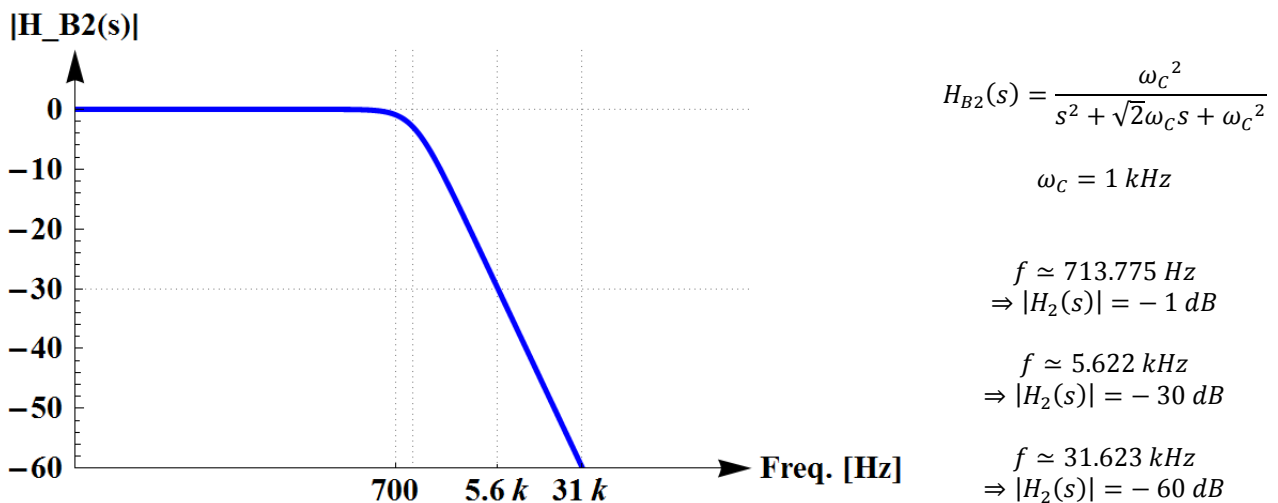


**Figura 3.5** Modulo della funzione di trasferimento di Butterworth al variare dell'ordine  $N$

### 3.3 Implementazione a Capacità Commutate

L'approccio di elaborazione del segnale a capacità commutate (*switched capacitors*) si basa sull'uso di OP-AMP, *switch* e condensatori per implementare filtri, amplificatori a guadagno programmabile ed altri dispositivi di elaborazione molto precisi. I valori in ingresso sono discretizzati nel tempo e rappresentano quindi successioni di valori (devono quindi essere trattati con la *trasformata Z*). L'uso delle capacità commutate permette di far dipendere i parametri del dispositivo (un filtro, nel nostro caso) non da valori assoluti di grandezze non omogenee tra loro (es.  $RC$ , prodotto di resistenza e capacità) ma da RAPPORTI di capacità, quindi di grandezze omogenee e molto ben controllabili. La frequenza di taglio di un filtro, per esempio, può essere realizzata con un margine di errore dello 0.1%, mentre nella realizzazione tempo-continua  $RC$  questo può arrivare fino al 20 – 30% .

Come evidenziato nel paragrafo precedente, la caratteristica del filtro di *Butterworth* è determinata univocamente una volta fissati l'ordine  $N$  del filtro e la frequenza di taglio  $\omega_c$  a 3 dB. Scegliendo convenzionalmente due valori significativi per le attenuazioni  $A_P$  e  $A_S$  si possono determinare i limiti di banda passante e banda oscura. Per questo progetto si prenderà in considerazione l'implementazione di un filtro del *secondo ordine* ( $N=2$ ) con *frequenza di taglio* pari ad 1 kHz.



**Figura 3.6** Diagramma di Bode della funzione di trasferimento di *Butterworth* del secondo ordine

Come si può vedere dal grafico della funzione di trasferimento del polinomio del secondo ordine ricavata per i parametri scelti, la funzione di *Butterworth* garantisce un'attenuazione di 1 dB intorno a 700 Hz, arriva a 30 dB intorno a 5.6 kHz e a 60 dB per una frequenza di circa 31 kHz.

Per implementare questa funzione filtrante si è scelta la topologia a doppio operazionale con capacità commutate mostrata in *Figura 3.7*. Come si può notare, questo filtro sfrutta tutti i componenti analizzati e dimensionati in precedenza, a partire dall'amplificatore operazionale, fino ad arrivare al generatore di clock a fasi non sovrapposte. Ogni elemento risulta fondamentale e la realizzazione finale del filtro non può prescindere da alcuno di essi. Una volta scelto il circuito non resta che verificare se le sue caratteristiche corrispondono a quelle necessarie per realizzare la funzione filtrante desiderata.

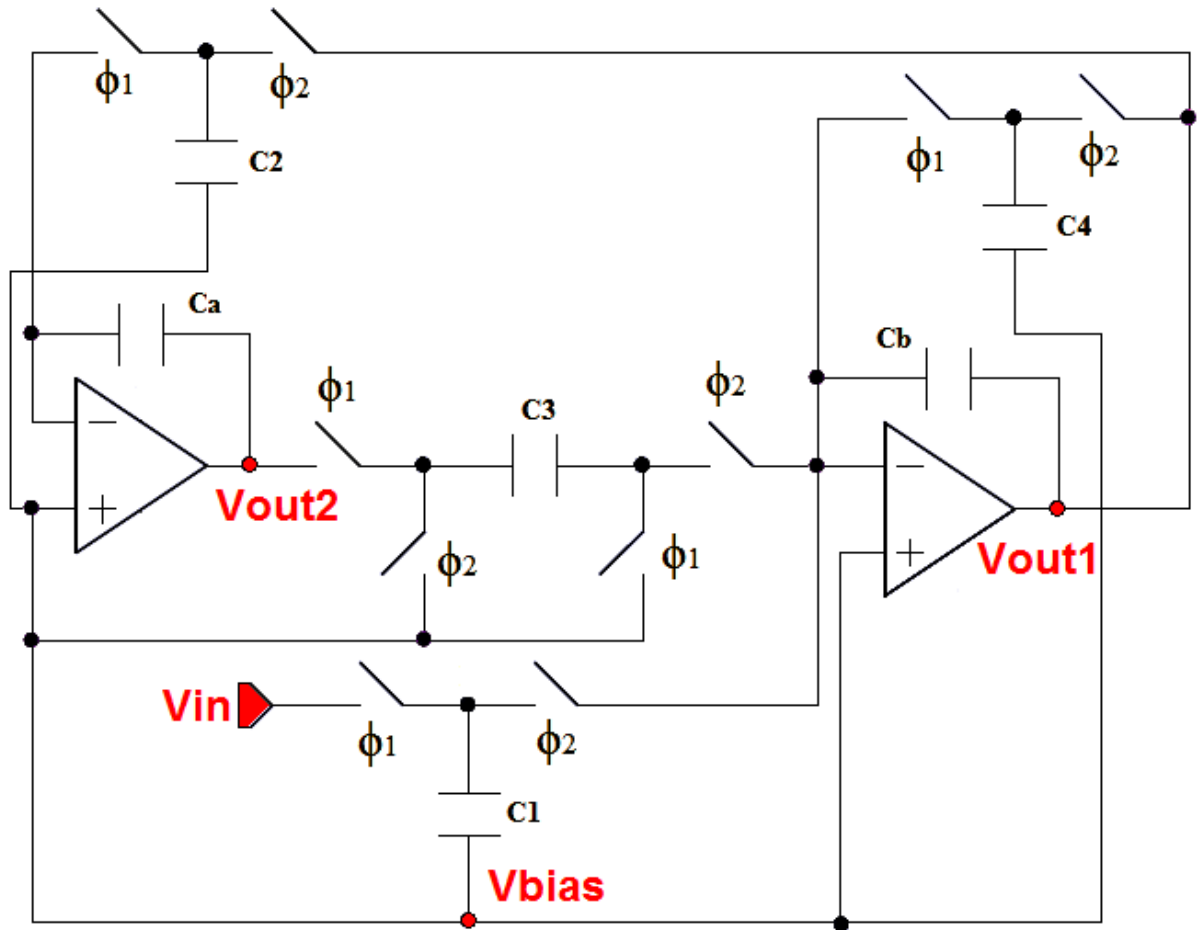


Figura 3.7 Topologia circuitale del filtro a capacità commutate

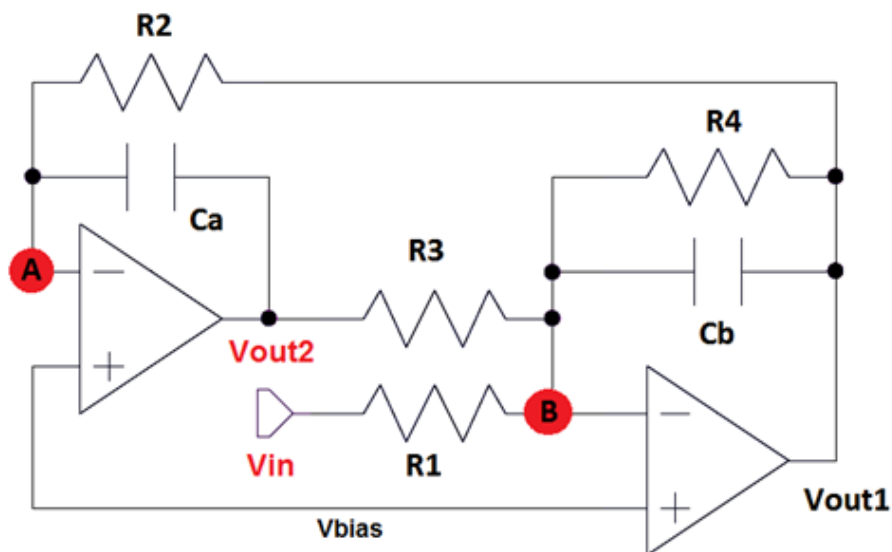


Figura 3.8 Filtro semplificato con capacità commutate sostituite dalle resistenze equivalenti

In prima approssimazione, si può effettuare un'analisi semplificata nel dominio trasformato di Laplace sostituendo le capacità commutate con i resistori equivalenti e considerando gli OP-AMP ideali, ovvero caratterizzati da guadagno infinito (corto circuito virtuale ai morsetti di ingresso) e corrente nulla assorbita (Figura 3.8). Sotto queste ipotesi (sistema lineare tempo-invariante) si possono scrivere le equazioni di Kirchoff delle correnti (KCL) ai nodi A e B, prendendo come riferimento la tensione di polarizzazione  $V_{BIAS}$ .

$$\begin{cases} \frac{V_{OUT1}}{R_2} + \frac{V_{OUT2}}{\frac{1}{sC_a}} = 0 \\ \frac{V_{IN}}{R_1} + \frac{V_{OUT1}}{\frac{1}{sC_b}} + \frac{V_{OUT1}}{R_4} + \frac{V_{OUT2}}{R_3} = 0 \end{cases} \quad \begin{cases} V_{OUT1} = -\frac{\frac{s}{R_1 C_b}}{s^2 + \frac{1}{R_4 C_b} s - \frac{1}{R_2 R_3 C_a C_b}} V_{IN} \\ V_{OUT2} = \frac{\frac{1}{R_1 R_2 C_a C_b}}{s^2 + \frac{1}{R_4 C_b} s - \frac{1}{R_2 R_3 C_a C_b}} V_{IN} \end{cases}$$

Osservando le funzioni di trasferimento ricavate si può notare che quella relativa all'uscita del secondo operazionale ha la forma adatta per realizzare il filtraggio passa-basso desiderato. L'unico problema da risolvere è il segno meno nel termine noto del polinomio a denominatore, che può essere ovviato inserendo la seconda tipologia di capacità commutata per realizzare il resistore  $R_3$ .

$$\frac{V_{OUT2}}{V_{IN}} = \frac{\frac{1}{R_1 R_2 C_a C_b}}{s^2 + \frac{1}{R_4 C_b} s + \frac{1}{R_2 R_3 C_a C_b}} \Leftrightarrow H_{B2}(s) = \frac{\omega_c^2}{s^2 + \sqrt{2}\omega_c s + \omega_c^2}$$

Risulta subito ovvio che la prima equazione di dimensionamento si può ricavare ponendo numeratore e termine noto del denominatore uguali tra loro.

$$\frac{1}{R_1 R_2 C_a C_b} = \frac{1}{R_2 R_3 C_a C_b} \Leftrightarrow R_1 = R_3 \Leftrightarrow C_1 = C_3$$

A questo punto si possono sostituire i valori delle resistenze con le espressioni corrispondenti per l'implementazione a capacità commutate. Si ottiene così:

$$\frac{V_{OUT2}}{V_{IN}} = \frac{\frac{C_1 C_2}{C_a C_b T^2}}{s^2 + \frac{C_4}{C_b T} s + \frac{C_1 C_2}{C_a C_b T^2}}$$

Il *matching* con la funzione di trasferimento di Butterworth del secondo ordine si ottiene se sono verificati i seguenti vincoli sul dimensionamento:

$$\begin{cases} C_1 = C_3 \\ \frac{C_1 C_2}{C_a C_b T^2} = \omega_c^2 \\ \frac{C_4}{C_b T} = \sqrt{2} \omega_c \end{cases}$$

Il sistema ottenuto è costituito da 3 equazioni in 6 incognite, ovvero si hanno 3 gradi di libertà per la scelta delle capacità. La strada più semplice da intraprendere è quella di porre uguali tra loro due coppie di capacità, per esempio:

$$C_2 = C_1 (= C_3) \quad C_b = C_a$$

Il sistema si può quindi semplificare nel modo seguente:

$$\begin{cases} C_1 = C_2 = C_3 \\ C_a = C_b \\ \left(\frac{C_1}{C_a T}\right)^2 = \omega_c^2 \\ \frac{C_4}{C_a T} = \sqrt{2} \omega_c \end{cases} \quad (\text{E.P. 22})$$

Sfruttando le appena citate uguaglianze la funzione di trasferimento può essere riscritta in forma definitiva come:

$$H_{CT}(s) = \frac{\left(\frac{C_1}{C_a T}\right)^2}{s^2 + \frac{C_4}{C_a T} s + \left(\frac{C_1}{C_a T}\right)^2}$$

L'ultimo grado di libertà rimasto è sulla scelta del valore di una capacità tra  $C_1$ ,  $C_4$  e  $C_a$ . La scelta più ovvia è quella di dimensionare  $C_1$ , dalla quale dipendono direttamente anche  $C_2$  e  $C_3$ , il cui valore viene scelto pari a 0.25 pF.

$$\boxed{C_1 = C_2 = C_3 = 0.25 \text{ pF}}$$

Da cui discende direttamente

$$C_a = C_b = \frac{C_1}{\omega_c T} \quad C_4 = \sqrt{2} C_a T \omega_c$$

Come trattato nel *Paragrafo 2.2*, la soluzione migliore per minimizzare l'influenza delle imprecisioni dovute al processo tecnologico è quella di fare capacità quadrate tutte uguali alla capacità più piccola presa come riferimento. Nel nostro caso la capacità di riferimento sarà  $C_1$ , e  $C_a$  verrà realizzata replicando un certo numero di volte  $C_1$  in parallelo mentre  $C_4$  avrà un suo specifico dimensionamento. La relazione che, per i condensatori integrati in polisilicio presenti nella libreria C35, lega il valore della capacità alle dimensioni fisiche è la seguente:

$$C = 0.86 \cdot 10^{-3} A + 0.086 \cdot 10^{-9} P \xrightarrow{W=L} 0.86 \cdot 10^{-3} L^2 + 0.344 \cdot 10^{-9} L$$

Per  $C_1$  si può direttamente ricavare il dimensionamento invertendo la formula mentre per  $C_4$  e  $C_a$  vanno prima rimarcate alcune considerazioni. Poiché i rapporti  $\frac{C_1}{C_a}$  e  $\frac{C_4}{C_a}$  non sono commensurabili non sarà possibile ottenere una minimizzazione di tutti gli errori di processo, pertanto si dovrà scegliere se privilegiare una soluzione che minimizzi l'errore dovuto all'imprecisione dei bordi piuttosto che l'errore di undercut. Nell'ipotesi di voler minimizzare l'errore sui bordi le capacità saranno tutte di forma quadrata. In particolare:  $C_4 < 2 C_1$  sarà realizzata con un unico condensatore secondo la formula di dimensionamento sopra riportata mentre, poiché  $\frac{C_a}{C_1} \approx 15.92$ ,  $C_a$  verrà realizzata connettendo 16 capacità uguali a  $C_1$  in parallelo.

Sviluppando i calcoli rimasti si trovano infine tutti i valori di dimensionamento, ricapitolati, insieme alle specifiche teoriche del filtro, in *Tabella 3.3*.

<b><math>N</math> (ordine del filtro)</b>	<b>2</b>	
<b><math>f_c</math> (<math>f_{-3dB}</math>)</b>	<b>1 kHz</b>	
<b><math>f_p</math> (<math>f_{-1dB}</math>)</b>	<b>714 Hz</b>	
<b><math>f_a</math> (<math>f_{-60dB}</math>)</b>	<b>31.6 kHz</b>	
<b><math>f_{clk}</math> (<math>1/T</math>)</b>	<b>100 kHz</b>	
<b>Dimensionamento 1</b>		
<b><math>C_1 = C_2 = C_3</math></b>	<b>0.25 pF</b>	<b>16.85 <math>\mu m</math></b>
<b><math>C_4</math></b>	<b>0.356 pF</b>	<b>20.15 <math>\mu m</math></b>
<b><math>C_a = C_b</math></b>	<b>4 pF</b>	<b>16 <math>C_1</math> in //</b>

**Tabella 3.3** Specifiche e dimensionamento del filtro



### 3.4 Analisi nel Dominio Z-Trasformato

Sebbene l'analisi del filtro nel dominio di *Laplace* risulti utile per ottenere un primo dimensionamento di massima si deve ricordare che in realtà stiamo parlando di un circuito a istanti campionati e la sostituzione delle capacità commutate con le resistenze medie equivalenti costituisce solamente un'approssimazione.

L'analisi di un circuito a capacità commutate richiede l'individuazione della sua funzione di trasferimento. Tale funzione è ricavata scrivendo le equazioni (tempo-discrete) che legano la carica immagazzinata nelle capacità alle tensioni ai nodi. Queste equazioni sono l'equivalente delle equazioni differenziali che portano all'identificazione della funzione di trasferimento di un sistema LTI mediante la *trasformata di Laplace*. Lo spazio più indicato per analizzare sistemi tempo-discreti è quello della *Z-trasformata*, che consente di ridurre equazioni alle differenze finite nel dominio del tempo a semplici equazioni algebriche nel *dominio Z*.

Per meglio distinguere l'ingresso e l'uscita del filtro si propone una versione "capovolta" dello schematico (*Figura 3.9*), che verrà utilizzata per le analisi seguenti.

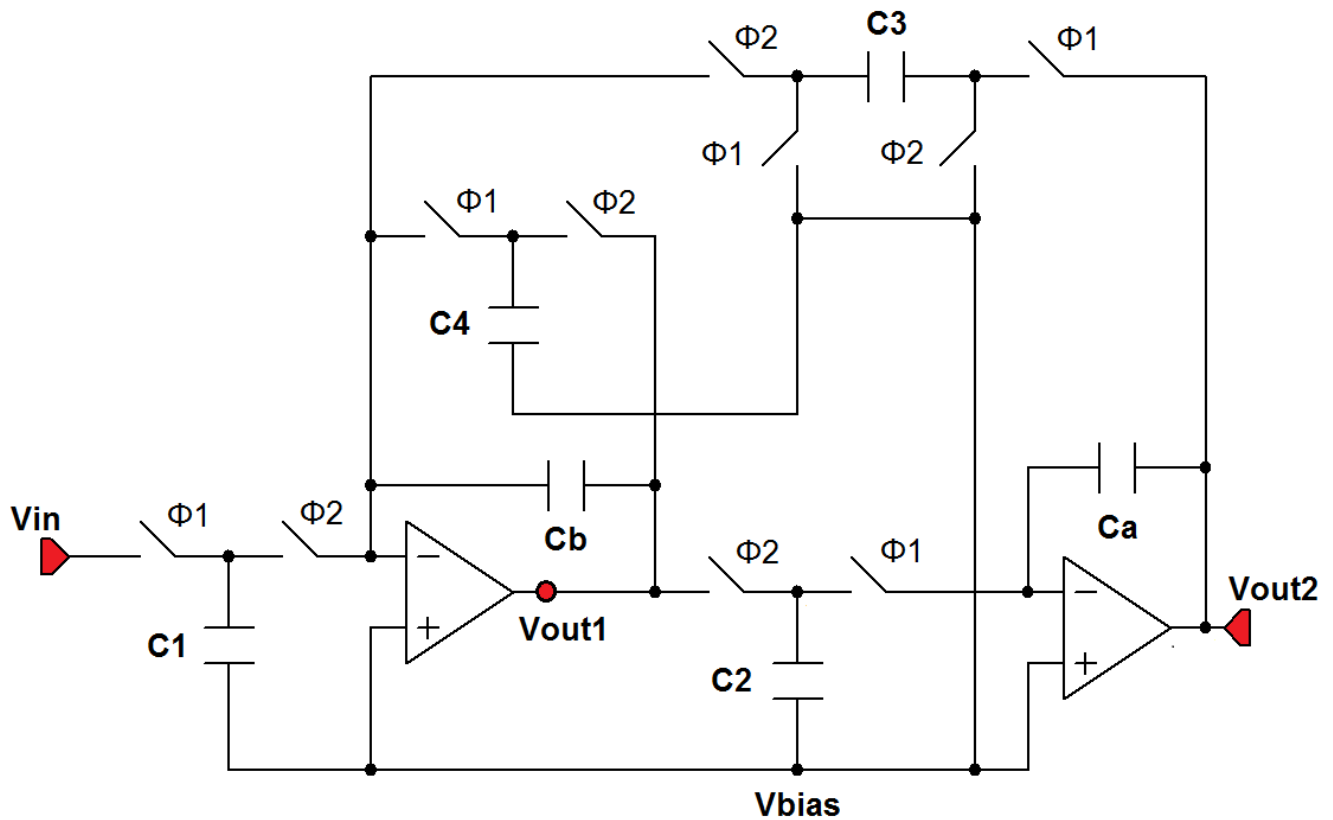
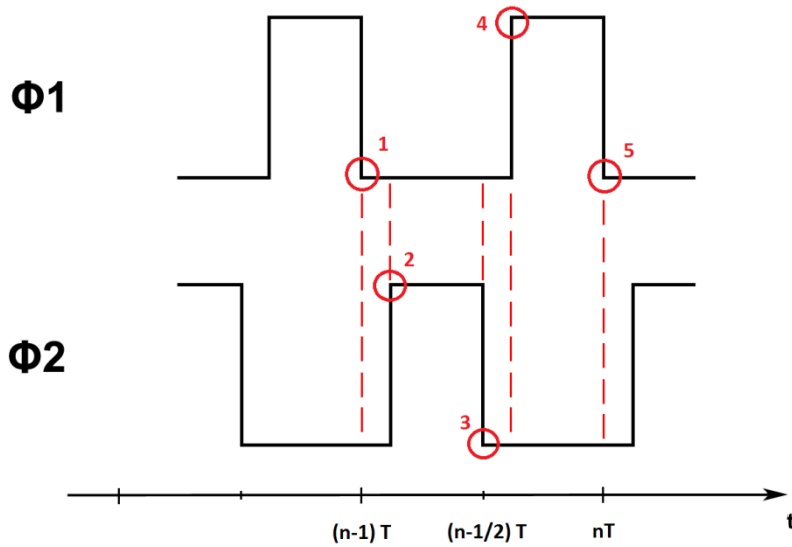


Figura 3.9 Filtro a capacità commutate (nuova disposizione)

Presupponendo che le ipotesi fondamentali per il funzionamento delle capacità commutate siano verificate, si analizza ora il circuito durante un intero periodo di clock al fine di ottenere le equazioni alle differenze finite necessarie per passare al *dominio Z*.

L'analisi si basa sul *principio di conservazione della carica*. I segnali di clock sono illustrati in *Figura 3.10*, dove il periodo preso in considerazione viene genericamente indicato come  $[(n - 1)T, nT]$ . Per semplicità di notazione si farà riferimento ai vari istanti temporali che caratterizzano i fronti di salita e di discesa attraverso una numerazione da 1 a 5, salvo poi riscrivere i risultati ottenuti in maniera più rigorosa in un secondo momento.



S1: interruttore pilotato da  $\Phi 1$

S2: interruttore pilotato da  $\Phi 2$

1) S1 appena aperto  
S2 aperto

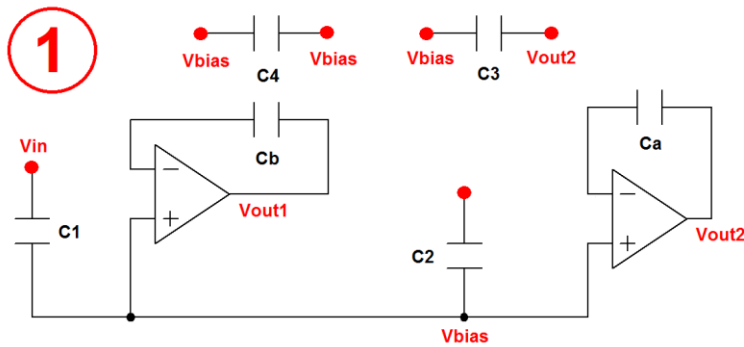
2) S1 aperto  
S2 appena chiuso

3) S1 aperto  
S2 appena aperto

4) S1 appena chiuso  
S2 aperto

**Figura 3.10** Segnali di clock con fronti di salita e discesa evidenziati

Scriviamo ora la carica immagazzinata su tutti i condensatori ad ognuno di questi istanti, ponendo il riferimento  $V_{BIAS} = 0 V$  (analisi alle variazioni).



$$Q_1(1) = V_{IN}(1) C_1$$

$$Q_2(1) = 0$$

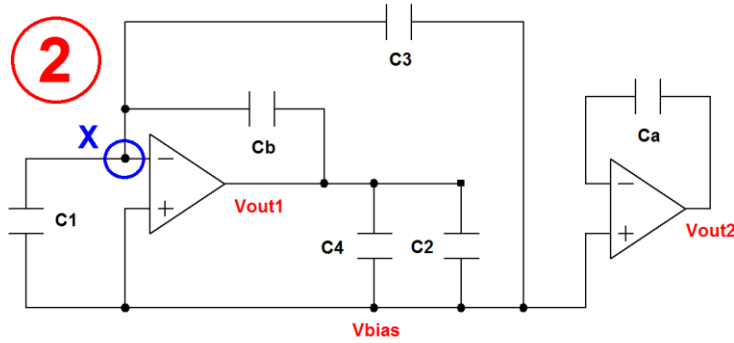
$$Q_3(1) = V_{OUT2}(1) C_3$$

$$Q_4(1) = 0$$

$$Q_a(1) = V_{OUT2}(1) C_a$$

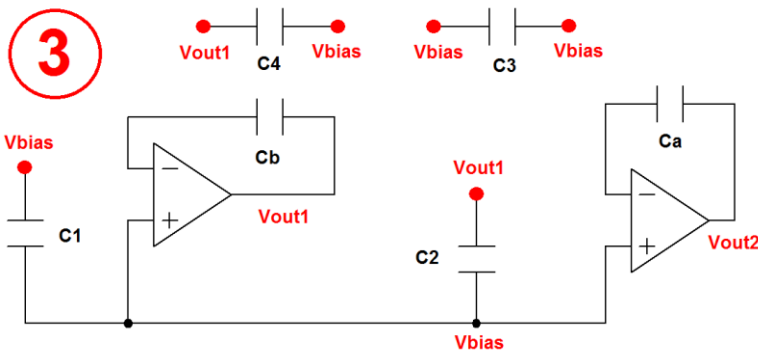
$$Q_b(1) = V_{OUT1}(1) C_b$$

Filtro di Butterworth



Inizia il transitorio, durante il quale ci sarà redistribuzione di carica tra i condensatori connessi al nodo isolato **X**.

$$Q_b \rightarrow Q_b(1) + Q_3(1) - Q_1(1)$$



$$Q_1(3) = 0$$

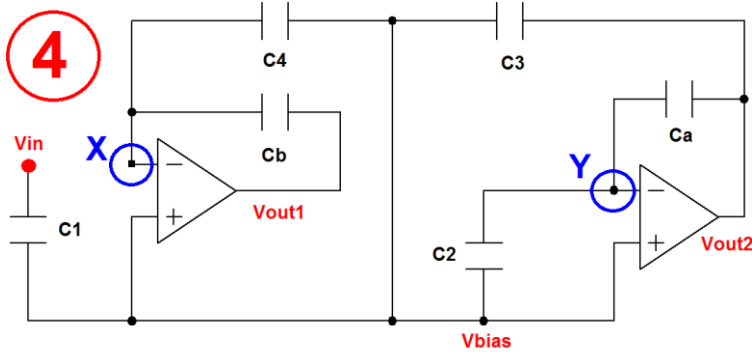
$$Q_2(3) = V_{OUT1}(3) C_2 = Q_b(3) \frac{C_2}{C_b}$$

$$Q_3(3) = 0$$

$$Q_4(3) = V_{OUT1}(3) C_4 = Q_b(3) \frac{C_4}{C_b}$$

$$Q_a(3) = Q_a(1)$$

$$Q_b(3) = Q_b(1) + Q_3(1) - Q_1(1)$$



Inizia il transitorio, durante il quale ci sarà redistribuzione di carica tra i condensatori connessi ai nodi isolati **X** e **Y**.

$$Q_a \rightarrow Q_a(3) - Q_2(3)$$

$$Q_b \rightarrow Q_b(3) - Q_4(3)$$

Al termine del transitorio la configurazione sarà del tutto analoga a quella all'istante 1 e, in particolare, si avrà:

$$Q_a(5) = Q_a(3) - Q_2(3) \quad \text{e} \quad Q_b(5) = Q_b(3) - Q_4(3)$$

Sviluppando le singole relazioni separatamente.

$$\begin{aligned}
 Q_a(5) &= V_{OUT2}(5) C_a = Q_a(3) - Q_2(3) = Q_a(1) - Q_b(3) \frac{C_2}{C_b} \\
 &= Q_a(1) - \frac{C_2}{C_b} [Q_b(1) + Q_3(1) - Q_1(1)] \\
 &= V_{OUT2}(1) C_a - \frac{C_2}{C_b} [V_{OUT1}(1) C_b + V_{OUT2}(1) C_3 - V_{IN}(1) C_1]
 \end{aligned}$$

$$\begin{aligned}
 Q_b(5) &= V_{OUT1}(5) C_b = Q_b(3) - Q_4(3) = Q_b(3) \left[1 - \frac{C_4}{C_b}\right] = \left[1 - \frac{C_4}{C_b}\right] [Q_b(1) + Q_3(1) - Q_1(1)] \\
 &= \left[1 - \frac{C_4}{C_b}\right] [V_{OUT1}(1) C_b + V_{OUT2}(1) C_3 - V_{IN}(1) C_1]
 \end{aligned}$$

Le tensioni  $V_{OUT1}$  e  $V_{OUT2}$  al tempo  $nT$  sono state scritte come combinazione lineare delle tensioni  $V_{IN}$ ,  $V_{OUT1}$  e  $V_{OUT2}$  al tempo  $(n-1)T$ .

Riformulando tutto un po' più rigorosamente si possono scrivere le *equazioni alle differenze finite* che derivano direttamente dall'applicazione del *principio di conservazione della carica* ai nodi isolati:

$$\begin{cases}
 V_{OUT1}(nT) = \left[1 - \frac{C_4}{C_b}\right] \left[ V_{OUT1}(nT-T) - V_{IN}(nT-T) \frac{C_1}{C_b} + V_{OUT2}(nT-T) \frac{C_3}{C_b} \right] \\
 V_{OUT2}(nT) = V_{OUT2}(nT-T) \left[1 - \frac{C_2 C_3}{C_a C_b}\right] + V_{IN}(nT-T) \frac{C_1 C_2}{C_a C_b} - V_{OUT1}(nT-T) \frac{C_2}{C_a}
 \end{cases}$$

A questo punto si possono *Z-transformare* entrambe le equazioni e risolvere rispetto alle variabili di interesse  $V_{OUT1}$  e  $V_{OUT2}$ .

$$\begin{cases}
 V_{OUT1}(z) = \frac{1}{z} \left[1 - \frac{C_4}{C_b}\right] \left[ V_{OUT1}(z) - V_{IN}(z) \frac{C_1}{C_b} + V_{OUT2}(z) \frac{C_3}{C_b} \right] \\
 V_{OUT2}(z) = \frac{1}{z} \left\{ V_{OUT2}(z) \left[1 - \frac{C_2 C_3}{C_a C_b}\right] + V_{IN}(z) \frac{C_1 C_2}{C_a C_b} - V_{OUT1}(z) \frac{C_2}{C_a} \right\}
 \end{cases}$$

In particolare è possibile ricavare la funzione di trasferimento in  $z$  riferita all'uscita  $V_{OUT2}$ .

$$H_{DT}(z) = \frac{C_1 C_2}{C_a C_b} \frac{z}{z^2 + \left( \frac{C_2 C_3 + C_4 C_a}{C_a C_b} - 2 \right) z + 1 - \frac{C_4}{C_a}}$$

### 3.5 Flusso Progettuale di un Filtro a Capacità Commutate

Come accennato nel paragrafo precedente, lo strumento più indicato per l'analisi di un circuito ad istanti campionati è la *trasformata Z*. Basare il dimensionamento unicamente sull'analisi del circuito nel dominio di *Laplace* potrebbe portare (nel caso di frequenza di campionamento non sufficientemente maggiore della frequenza di taglio) ad un errore non trascurabile nella funzione di trasferimento reale ottenuta. Considerando inoltre la motivazione principale dell'utilizzo di questo tipo di filtri al posto dei tradizionali *OPAMP-RC*, ovvero l'ottima precisione ottenibile grazie al rapporto di capacità integrate (fino allo 0.1%), la discrepanza tra risposta teorica tempo-continua e risposta reale tempo-discreta potrebbe non essere tollerabile.

Il progetto di un filtro a capacità commutate viene pertanto articolato nelle seguenti fasi:

- 1) scelta della funzione di trasferimento che si vuole realizzare nel dominio di *Laplace* (nel nostro caso si tratta di un filtro di *Butterworth* del secondo ordine, 3.2);
- 2) predistorsione delle frequenze critiche (nel caso del filtro di *Butterworth* solamente la frequenza di taglio) e sostituzione nella funzione di trasferimento in *s*;
- 3) analisi tempo-discreta del circuito (equazioni alle differenze finite) e calcolo della funzione di trasferimento nel dominio *Z*-trasformato (3.4);
- 4) passaggio dal dominio *Z* al dominio *s* attraverso la *trasformazione bilineare*;
- 5) *matching* tra le funzioni di trasferimento ottenute ai punti 2 e 4 per il dimensionamento delle capacità.

La predistorsione cui si fa riferimento al punto 2, viene introdotta per compensare un effetto (chiamato *warping*) di compressione dell'asse delle frequenze nel passaggio dal dominio *s* al dominio *Z* attraverso la *trasformazione bilineare* (detta anche di *Tustin*).

$$s = \frac{2}{T} \frac{z - 1}{z + 1} \Leftrightarrow z = \frac{\frac{2}{T} + s}{\frac{2}{T} - s}$$

Operando questa sostituzione si passa da un rapporto di polinomi in *z* ad un rapporto di polinomi in *s* e può essere dimostrato che, compensando l'effetto di *warping*, le proprietà di selettività e stabilità della funzione filtrante scelta vengono mantenute.

Come si può vedere in *Figura 3.11*, la funzione bilineare mappa l'asse *jω* sulla circonferenza unitaria nel piano *z* e il semipiano sinistro (destro) del piano *s* nella sua regione interna (esterna). Come risulta facile intuire mappando i punti di una retta (lunghezza infinita) su quelli di una circonferenza (lunghezza finita) si avrà per forza di cose un effetto di distorsione. Questa distorsione, posto  $z = e^{j\Omega T}$ , si dimostra essere esprimibile attraverso la *formula di pre-warping*

$$\omega = \frac{2}{T} \operatorname{tg} \left( \frac{\Omega T}{2} \right)$$

dove *T* rappresenta sempre il periodo di clock.

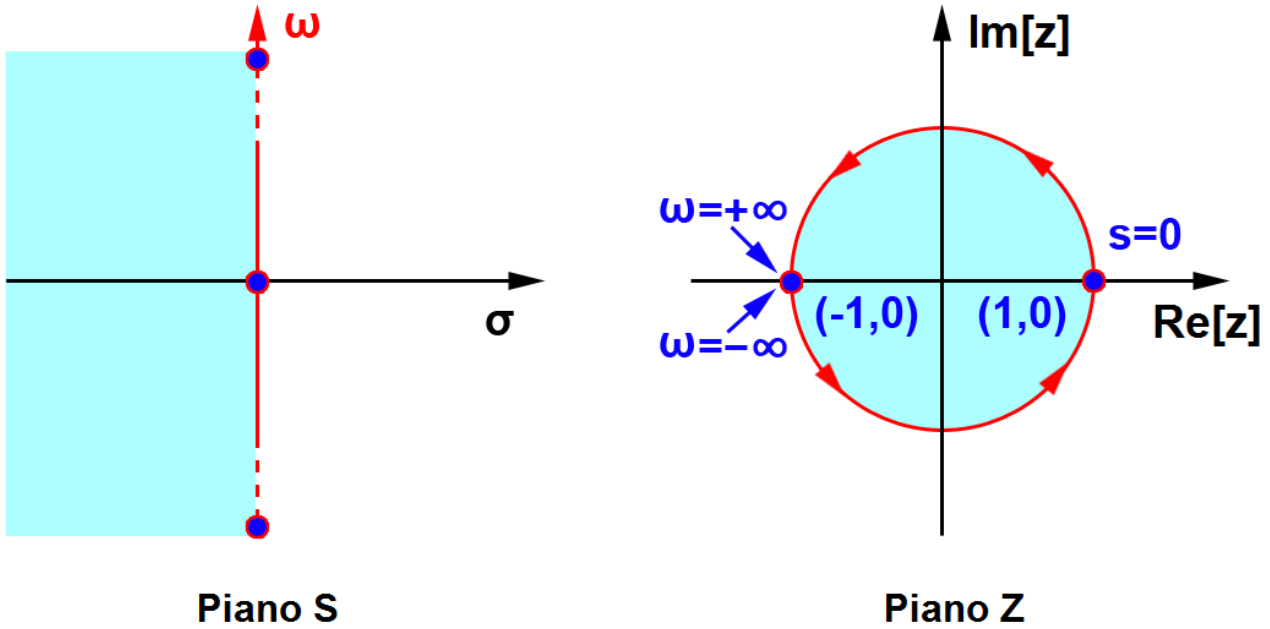


Figura 3.11 Mappatura dell'asse  $j\omega$  sulla circonferenza unitaria nel piano  $z$

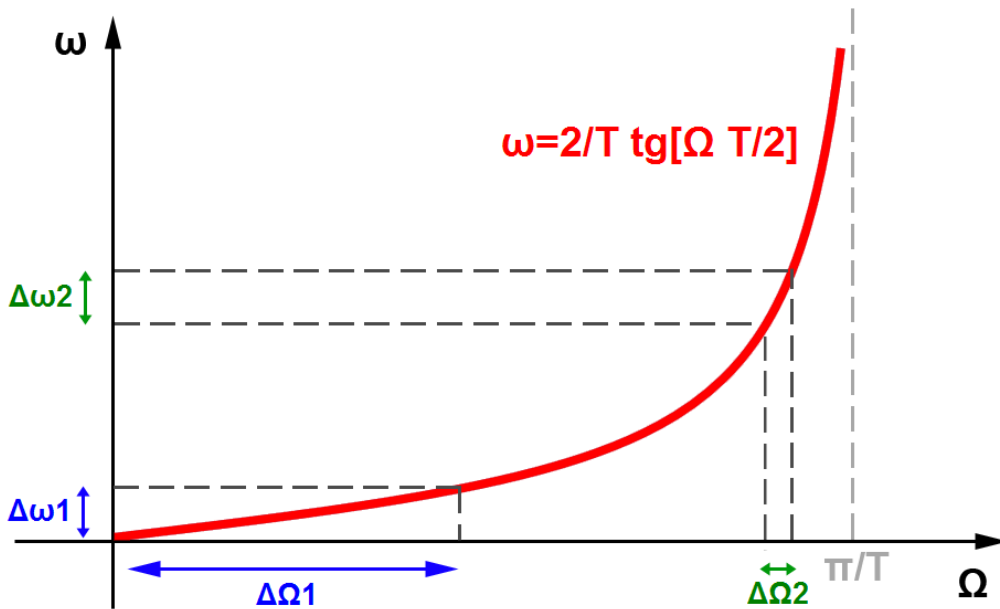


Figura 3.12 Effetto *warping*

Per valori di  $\Omega$  non troppo elevati la relazione con  $\omega$  è pressoché lineare e la distorsione non è apprezzabile, mentre per alte frequenze (ed in modo più marcato quando il periodo di clock non è sufficientemente piccolo) l'effetto di compressione non è più trascurabile. Nel caso preso in considerazione, avendo  $T = 10^{-5}$  e  $F_c = 1 \text{ kHz}$  (*oversampling factor*  $(F_c T)^{-1} = 100$ ), l'operazione di predistorsione porta al seguente risultato.

$$f_c = \frac{1}{\pi T} \operatorname{tg}(F_c \pi T) \approx 1000.33 \text{ Hz}$$

L'effetto *warping* provoca una discrepanza sulla frequenza di taglio inferiore allo 0.04%, molto più piccola rispetto all'errore medio introdotto dalle variazioni di processo ( $\sim 0.1\%$ ). Pertanto si deduce che l'operazione di *pre-warping* è pressoché irrilevante per il caso in esame ( $f_c \simeq F_c = 1 \text{ kHz}$ ).

Applicando ora la *trasformazione bilineare* si ricava la funzione di trasferimento tempo-discreta.

$$H_{DT}(z) = \frac{C_1 C_2}{C_a C_b} \frac{z}{z^2 + \left( \frac{C_2 C_3 + C_4 C_a}{C_a C_b} - 2 \right) z + 1 - \frac{C_4}{C_a}}$$

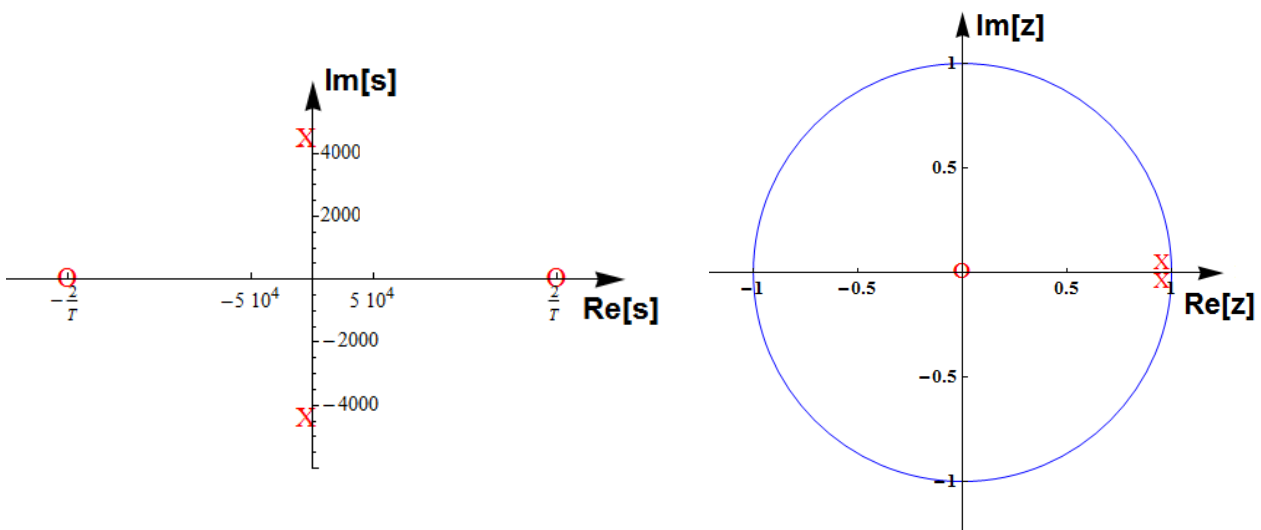
$$\begin{aligned} \text{trasf. bil.} \\ \Rightarrow H_{BL}(s) = \frac{\frac{C_1 C_2}{D} (sT + 2)(sT - 2)}{s^2 - \frac{4 C_4 C_b T}{D} s + 4 \frac{C_4 C_b - C_4 C_a - C_2 C_3}{D}} \end{aligned}$$

con  $D = T^2(C_2 C_3 + C_4 C_a + C_4 C_b - 4 C_a C_b)$

L'ultimo passo del flusso di progetto prevede il dimensionamento delle capacità ottenuto attraverso il *matching* tra coefficienti numerici e letterali. Nel caso in esame, le due funzioni di trasferimento presentano due polinomi di grado differente al numeratore e non risulta pertanto possibile seguire la procedura di dimensionamento standard appena descritta. Tuttavia è possibile introdurre un'approssimazione eliminando i due zeri  $z_1, z_2$  (a frequenza elevata).

$$z_{1,2} = \frac{2}{T} \rightarrow \simeq 31.8 \text{ kHz}$$

In *Figura 3.13* vengono mostrate le posizioni di poli e zeri delle fdt  $H_{DT}(z)$  e  $H_{BL}(s)$  nei rispettivi domini complessi.



**Figura 3.13** Zeri e poli delle funzioni di trasferimento  $H_{DT}(z)$  (a sinistra) e  $H_{BL}(s)$  (a destra)

Alla luce di queste considerazioni la funzione di trasferimento (per frequenze lontane da  $\frac{f_{CLK}}{2}$ ) può essere ridotta alla seguente:

$$H_{BL\_LF}(s) = - \frac{\frac{4 C_1 C_2}{D}}{s^2 - \frac{4 C_4 C_b T}{D} s + 4 \frac{C_4 C_b - C_4 C_a - C_2 C_3}{D}}$$

Le equazioni di *matching* si ottengono direttamente dal confronto con  $H_{B2}(s)|_{\omega_c}$ .

$$\left\{ \begin{array}{l} \frac{4 C_1 C_2}{D} = \omega_c^2 \\ 4 \frac{C_4 C_b - C_4 C_a - C_2 C_3}{D} = \omega_c^2 \\ - \frac{4 C_4 C_b T}{D} = \sqrt{2} \omega_c \end{array} \right. \quad (\text{E.P. 23})$$

Anche in questo caso, avendo un numero di incognite superiore al numero di equazioni, sarà necessario imporre alcuni vincoli sui valori delle capacità da dimensionare.

La relazione fondamentale che emerge dall'analisi delle equazioni sopra riportate fornisce un interessante punto di partenza:

$$C_1 = C_3 \Leftrightarrow C_a = C_b$$

Il nuovo dimensionamento è di seguito riportato in *Tabella 3.4*.

<b>Dimensionamento 2</b>		
$C_1 = C_2 = C_3$	<b>0.25 pF</b>	<b>16.85 <math>\mu m</math></b>
$C_4$	<b>0.346 pF</b>	<b>19.85 <math>\mu m</math></b>
$C_a = C_b$	<b>4.067 pF</b>	<b>(15 <math>C_1</math> in // ) // 19 <math>\mu m</math></b>

**Tabella 3.4** Dimensionamento ricavato dalla *trasformazione bilineare*



### 3.6 Dimensionamento con Capacità Multipli Interi della Capacità Fondamentale

Come descritto nel *Capitolo 2*, la soluzione migliore per minimizzare l'influenza degli errori di processo sulla risposta in frequenza di un filtro a capacità commutate (in accordo con l'alto grado di precisione richiesto) è realizzare tutte le capacità del circuito come repliche in parallelo di una capacità fondamentale presa come riferimento unitario. Come si può facilmente notare, i dimensionamenti fin ora considerati non rispettano pienamente questa metodologia progettuale.

Prendendo come esempio il *Dimensionamento 1 (Tabella 3.3)*, l'accuratezza con cui verrà realizzata la capacità  $C_4$  (non essendo essa riconducibile ad un parallelo di capacità fondamentali) determinerà direttamente la precisione del filtro risultante.

Un approccio di dimensionamento alternativo può consistere nel minimizzare l'errore nel *matching* dei coefficienti utilizzando capacità fondamentali in parallelo. Posto  $C_1 = C_3$  e  $C_a = C_b$ , considerando tutte le capacità come multipli di una capacità fondamentale  $C_U$  la funzione di trasferimento può essere riscritta come

$$H_{CT}(s) = \frac{\frac{K_1 K_2}{K_a^2 T^2}}{s^2 + \frac{K_4}{K_a T} s + \frac{K_1 K_2}{K_a^2 T^2}} \quad K_i \in \mathbb{N}^+ \quad i = 1, 2, 4, a$$

Con l'utilizzo di *Mathematica* si possono ricavare i coefficienti interi che minimizzano la somma degli errori percentuali sul valore dei coefficienti (vedi codice riportato in *Appendice C*).

$$K_1 = 2 \quad K_2 = K_4 = 4 \quad K_a = 45$$

Scelto il valore della capacità fondamentale pari a  $0.25 \text{ pF}$  si ottiene il dimensionamento riportato in *Tabella 3.5*.

<b>Dimensionamento 3</b>		
$C_U$	<b>0.25 pF</b>	<b>16.85 <math>\mu\text{m}</math></b>
$C_1 = C_3$	<b>0.5 pF</b>	<b>2 <math>C_U</math> in //</b>
$C_2 = C_4$	<b>1 pF</b>	<b>4 <math>C_U</math> in //</b>
$C_a = C_b$	<b>11.25 pF</b>	<b>45 <math>C_U</math> in //</b>

**Tabella 3.5** Dimensionamento con capacità multipli interi della capacità fondamentale  $C_U$  con *matching* dei coefficienti di  $H_{CT}(s)$

In modo del tutto analogo si può operare con i coefficienti della funzione di trasferimento  $H_{BL,LF}(s)$  ricavata nel paragrafo precedente attraverso la *trasformazione bilineare*. I risultati ottenuti sono mostrati in *Tabella 3.6*.

<b>Dimensionamento 4</b>		
$C_U$	<b>0.125 pF</b>	<b>11.85 <math>\mu m</math></b>
$C_1 = C_3$	<b>0.25 pF</b>	<b>2 <math>C_U</math> in //</b>
$C_2$	<b>1.625 pF</b>	<b>13 <math>C_U</math> in //</b>
$C_4$	<b>0.875 pF</b>	<b>7 <math>C_U</math> in //</b>
$C_a = C_b$	<b>10.375 pF</b>	<b>83 <math>C_U</math> in //</b>

**Tabella 3.6** Dimensionamento con capacità multipli interi della capacità fondamentale  $C_U$  con *matching* dei coefficienti di  $H_{BL\_LF}$  (s)

A partire dai 4 dimensionamenti ricavati è ora possibile confrontare le risposte in frequenza attese operando la sostituzione  $z \rightarrow e^{j\omega T}$  e graficando le funzioni di trasferimento con l'ausilio di *Mathematica*.

$$H_{DT}(\omega) = \frac{C_1 C_2}{C_a^2} \frac{e^{j\omega T}}{e^{2j\omega T} + \left( \frac{C_1 C_2}{C_a^2} + \frac{C_4}{C_a} - 2 \right) e^{j\omega T} + 1 - \frac{C_4}{C_a}} =$$

$$= [\dots] = \frac{C_1 C_2}{C_1 C_2 + C_a (2C_a - C_4) [\cos(\omega T) - 1] + j C_4 C_a \sin(\omega T)}$$

Nel grafico in *Figura 3.14* si può notare come la funzione di trasferimento del filtro a capacità commutate risenta dei due zeri a 30 kHz che ne provocano il progressivo scostamento dalla caratteristica ideale man mano che si tende alla frequenza di commutazione. In prima approssimazione non si notano particolari differenze tra i quattro dimensionamenti analizzati (in *Figura 3.14* viene rappresentato soltanto il primo dimensionamento in quanto gli altri risulterebbero praticamente sovrapposti) e, per frequenze non troppo elevate, si ha una coincidenza quasi perfetta con la funzione di trasferimento di *Butterworth* del secondo ordine.

Tuttavia risulta interessante focalizzare l'attenzione sul rapporto tra la funzione di trasferimento desiderata e quelle reali (in decibel) in modo da poter fare un paragone più raffinato tra i vari casi. Come visibile dai grafici in *Figura 3.14*, entrambi i dimensionamenti effettuati a partire dalla sostituzione delle capacità commutate con i resistori equivalenti (blu e verde) approssimano in maniera soddisfacente la funzione di trasferimento desiderata soltanto in un intorno limitato della frequenza di taglio e tendono a divergere rapidamente non appena si passa a frequenze più elevate. Come era lecito attendersi risultati migliori si ottengono con i dimensionamenti ricavati dal *matching* con la *trasformazione bilineare* (rosso e arancione). In particolar modo è interessante notare che esiste un *trade-off* tra la precisione dell'approssimazione introdotta (migliore quella ottenuta senza il vincolo di capacità multiple della fondamentale) e l'influenza delle variazioni di processo sulla realizzazione finale del filtro.

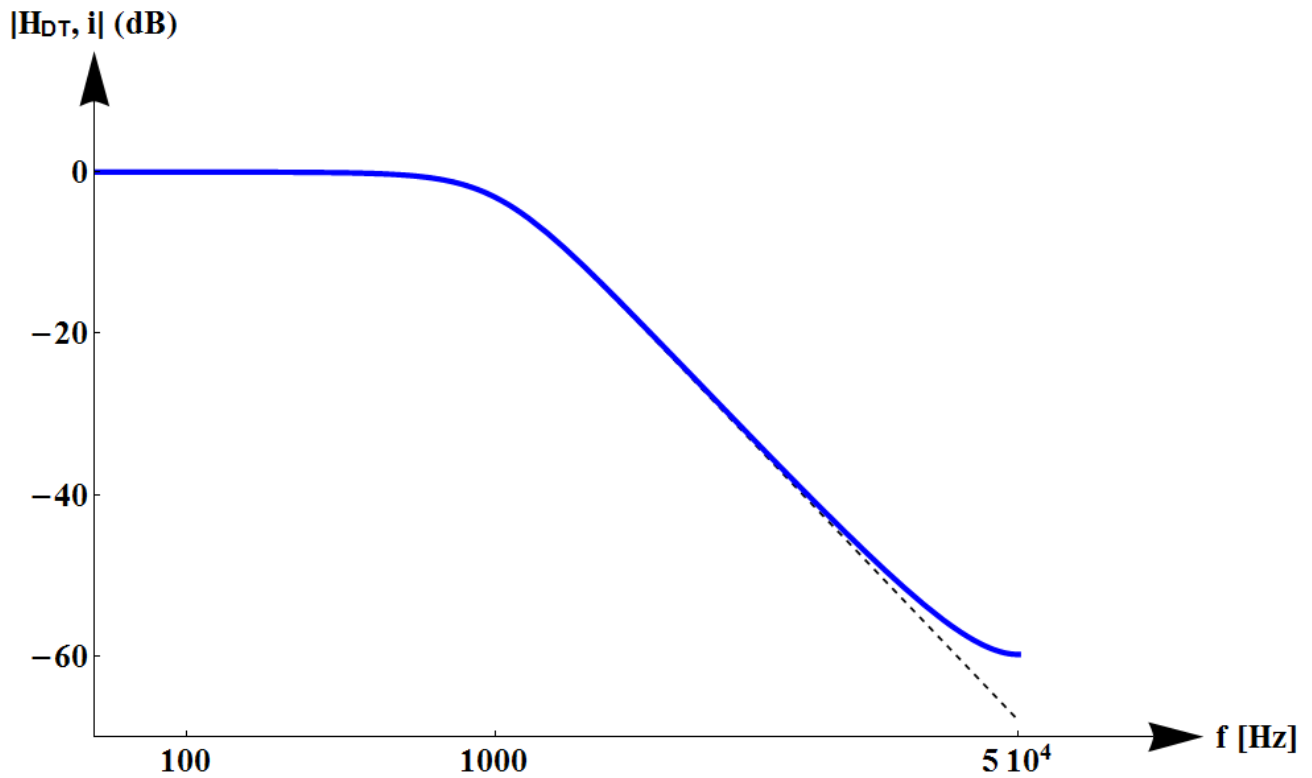


Figura 3.14 Confronto tra funzione di trasferimento di *Butterworth* (tratteggiata) e funzione di trasferimento del filtro

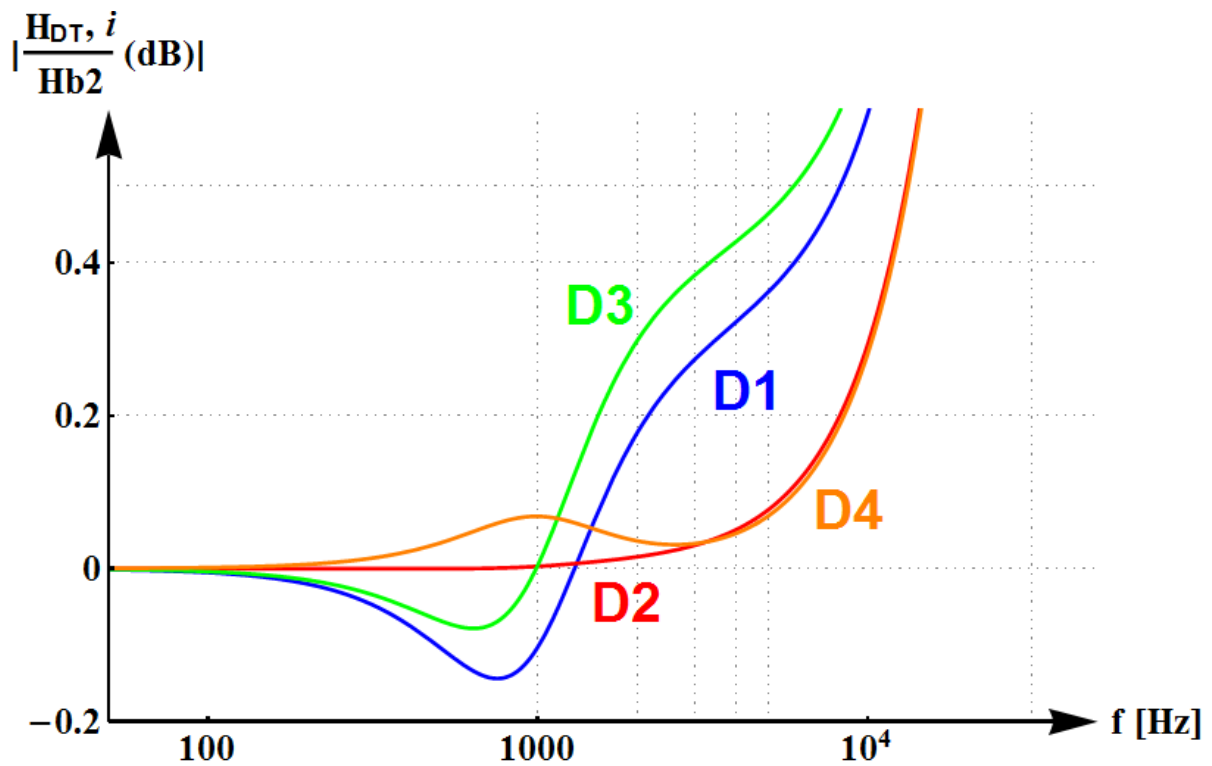


Figura 3.15 Confronto tra le funzioni di trasferimento del filtro rapportate alla fdt di *Butterworth* al variare del dimensionamento utilizzato

### 3.7 Aliasing e Magnitude Droop

Uno dei principali problemi dei circuiti ad istanti campionati è l'*aliasing*. Se il segnale di ingresso non rispetta il *teorema di Nyquist* ( $f_{MAX} < \frac{f_S}{2}$ ) l'effetto del campionamento sarà quello di produrre un segnale le cui componenti spettrali nella banda di interesse  $[0, \frac{f_S}{2}]$  ( $f_S$  frequenza di campionamento) vengono a sovrapporsi con le "code" delle ripetizioni periodiche centrate in  $n f_S$ ,  $n = 1, 2, 3 \dots$ . In questo modo non è più possibile recuperare il segnale originale a partire dai suoi campioni.

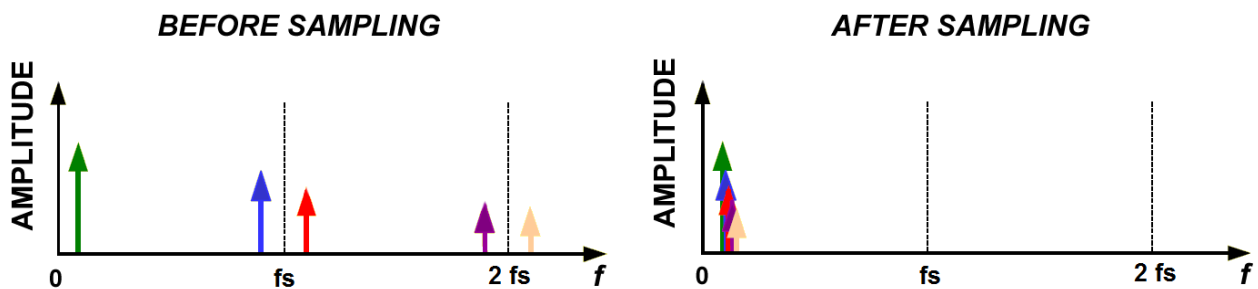


Figura 3.16 Problema dell'*aliasing*

Per evitare l'*aliasing* si sfruttano in genere due soluzioni:

- 1) aumentare la frequenza di campionamento (*oversampling*) in modo che tutte le componenti frequenziali del segnale di ingresso (comprese le componenti "parassite" o indesiderate) risultino comprese nella banda  $[0, \frac{f_S}{2}]$ ;
- 2) operare un pre-filtraggio iniziale in modo da eliminare le componenti frequenziali al di fuori della banda  $[0, \frac{f_S}{2}]$ .

In genere si preferisce utilizzare una combinazione dei due metodi, ovvero:

- 1) si effettua un pre-filtraggio per eliminare le componenti indesiderate ad alta frequenza;
- 2) si campiona ad una frequenza  $f_S > 2 B$ , dove  $B$  rappresenta la banda utile del segnale.

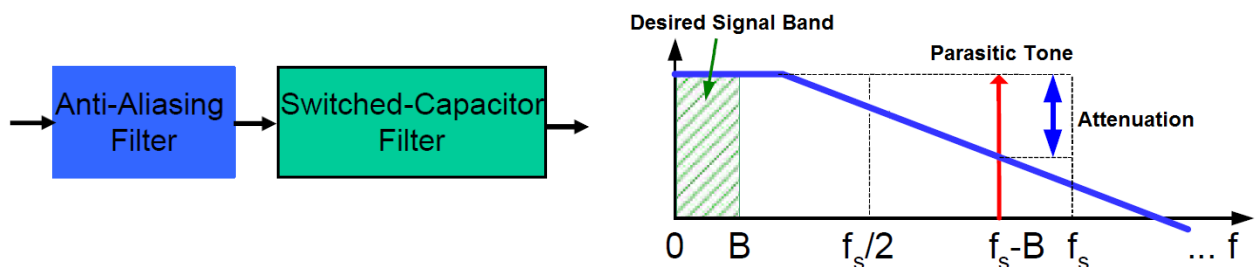
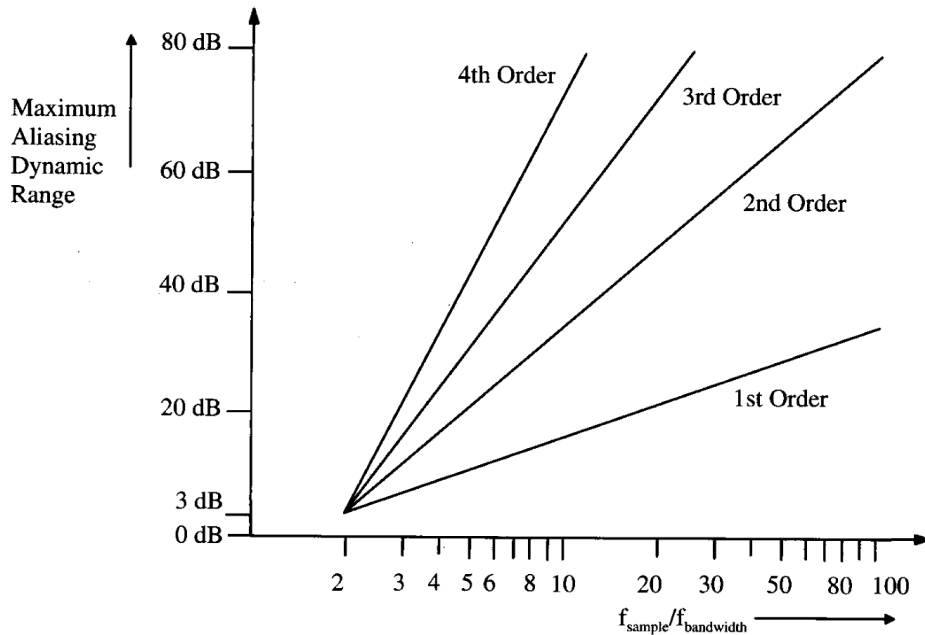


Figura 3.17 Filtraggio anti-aliasing

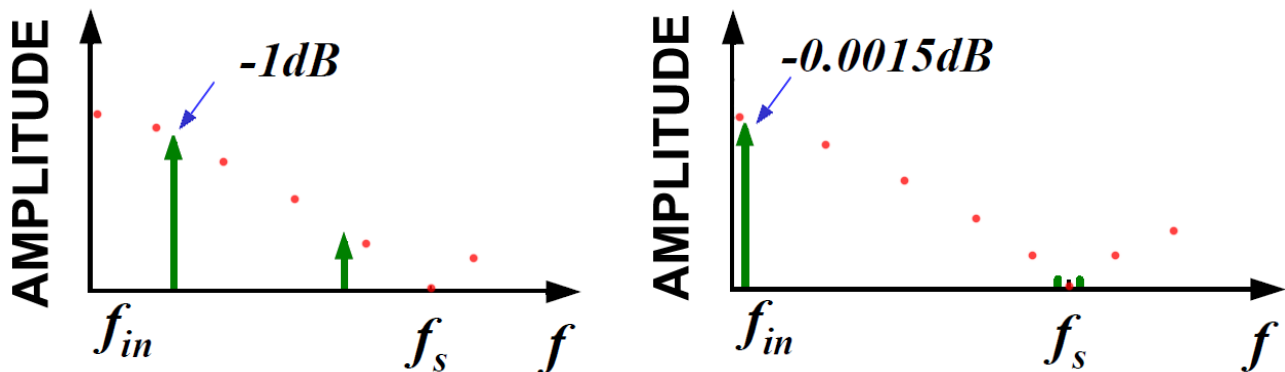
Campionare ad una frequenza leggermente più elevata offre diversi vantaggi, uno dei quali consiste nella possibilità di realizzare un filtro *anti-aliasing* con specifiche piuttosto rilassate (solitamente sono filtri tempo-continui realizzati all'interno dello stesso chip). Come si può facilmente intuire

esiste un *trade-off* tra frequenza di campionamento e ordine del filtro *anti-aliasing* come riportato nel grafico di *Figura 3.18*.



**Figura 3.18** Relazione tra ordine del filtro di *anti-aliasing*, *oversampling* e *maximum aliasing dynamic range*

Un ulteriore vantaggio nel campionare più velocemente è direttamente legato all'effetto del *sample & hold*. Quando si passa da un segnale tempo-continuo ad un segnale campionato e tenuto oltre all'effetto di *folding* delle frequenze visto in precedenza si deve far fronte anche ad una sagomatura a *sinc* dello spettro. Questo effetto provoca un abbassamento maggiore (*magnitude droop*) delle componenti a frequenza più elevata rispetto a quelle prossime allo zero. Aumentando l'*oversampling* il lobo principale del *sinc* si allarga rispetto alla banda del segnale utile, che in questo modo risente in modo minore dell'attenuazione introdotta.



**Figura 3.19** *Magnitude Droop*

### 3.8 Non Idealità

Prima di passare alla fase di simulazione del filtro, è opportuno fare alcune considerazioni sulle principali fonti di non idealità che ne influenzano il comportamento, riconducibili ad amplificatori operazionali e interruttori. Un OP-AMP ideale è caratterizzato da guadagno infinito e banda infinita; un interruttore ideale, come visto in precedenza, si comporta da cortocircuito nello stato ON e da circuito aperto in quello OFF, commuta istantaneamente e non presenta parassiti.

#### 3.8.1 OP-AMP

##### a) Guadagno finito

Questa caratteristica ha ripercussioni sul fattore di qualità risultante del filtro. A titolo di esempio si può considerare il circuito integratore a capacità commutate riportato in *Figura 3.20*. Considerando il guadagno dell'OP-AMP  $A_{v0}$  finito ma comunque elevato, si ottiene la seguente funzione di trasferimento:

$$H(s) = -f_s \frac{C_s}{C} \frac{1}{s + \frac{1}{A_{v0}} f_s \frac{C_s}{C}} = -\hat{f}_s \frac{1}{s + \frac{\hat{f}_s}{A_{v0}}}$$

con  $\hat{f}_s = f_s \frac{C_s}{C}$ ,  $f_s$  = frequenza di clock

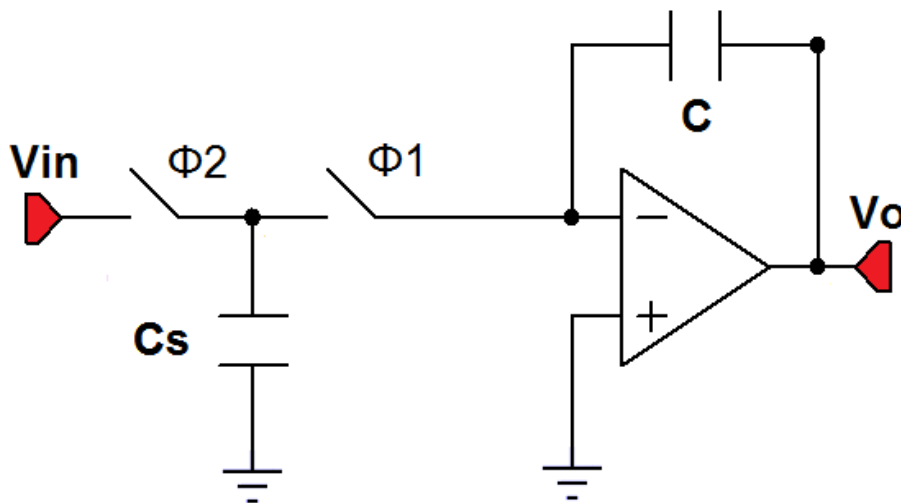
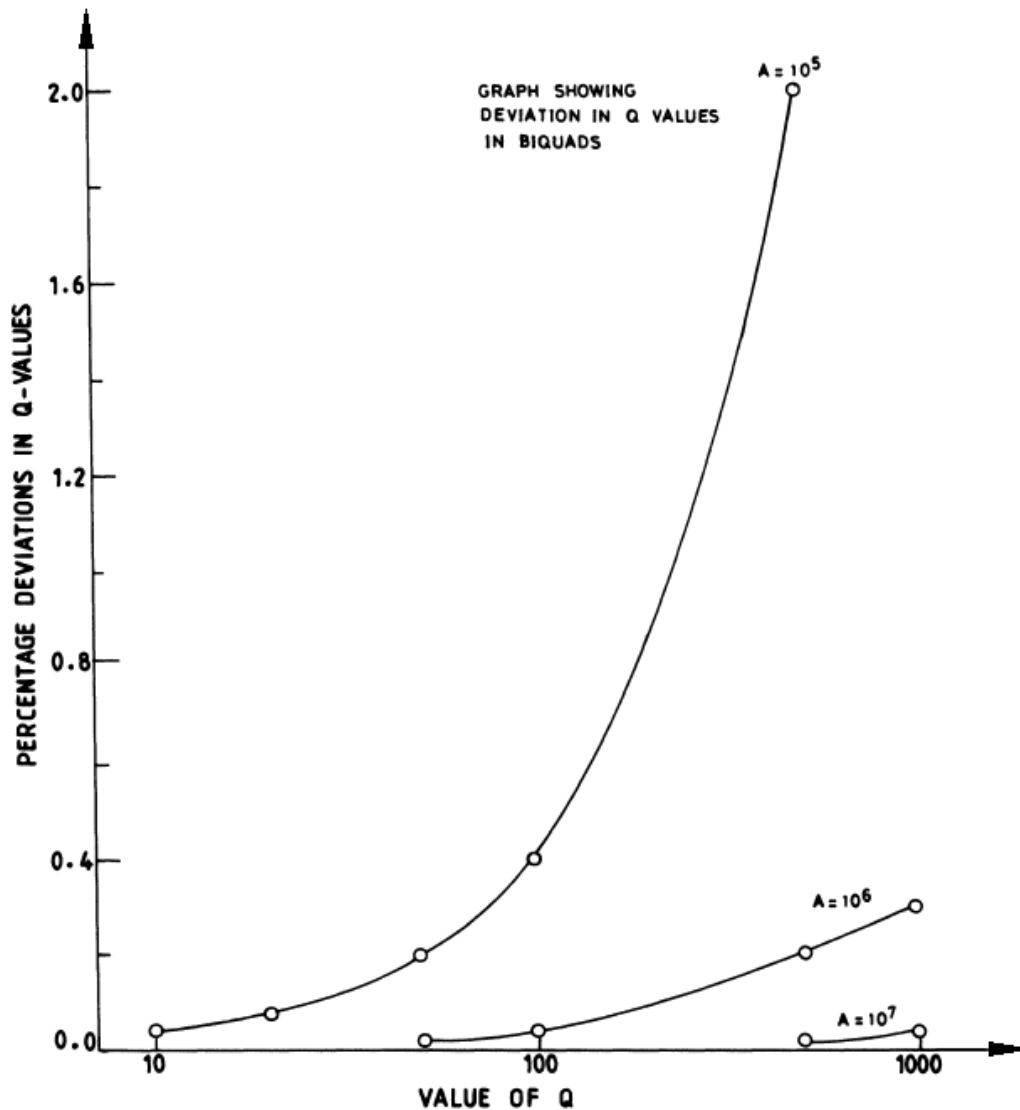


Figura 3.20 Integratore a capacità commutate

Il fattore di qualità  $Q$  di un filtro è definito a partire dalla sua fdt nella forma  $\frac{1}{R(f)+jX(f)}$  come  $Q = \frac{X(f)}{R(f)}$ ; nel caso in esame risulta:

$$Q = 2\pi \frac{f}{\hat{f}_s} A_{v0} \xrightarrow{A_{v0} \rightarrow \infty} \infty$$

È quindi evidente che il fattore di qualità del filtro è influenzato dal guadagno finito dell'OP-AMP. Questa considerazione può, in generale, essere estesa ad un qualsiasi filtro con operazionali.

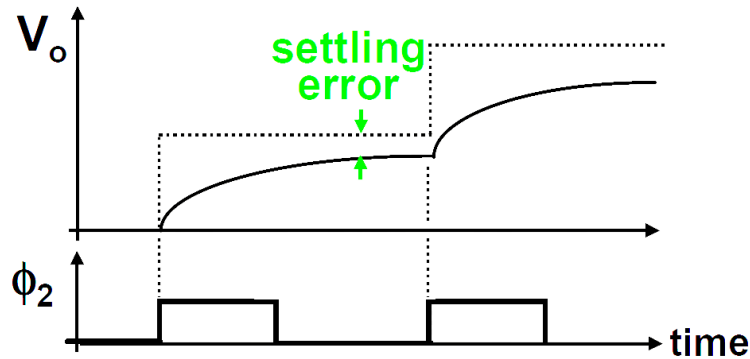


**Figura 3.21** Effetto del guadagno finito dell'OP-AMP sulla risposta in ampiezza del filtro

Il grafico riportato in *Figura 3.21* mostra la variazione percentuale del fattore di qualità  $Q$  in funzione del suo valore nominale al variare del guadagno dell'OP-AMP. Si può osservare che, la variazione percentuale è tanto più piccola quanto minore è il valore nominale di  $Q$  e quanto maggiore è il guadagno dell'operazionale. Nel caso del filtro di *Butterworth* del secondo ordine progettato si ha  $Q = \frac{1}{\sqrt{2}}$  e  $A_{v0} \approx 100 \text{ dB}$ , pertanto l'effetto sulla risposta in ampiezza può essere considerato del tutto trascurabile.

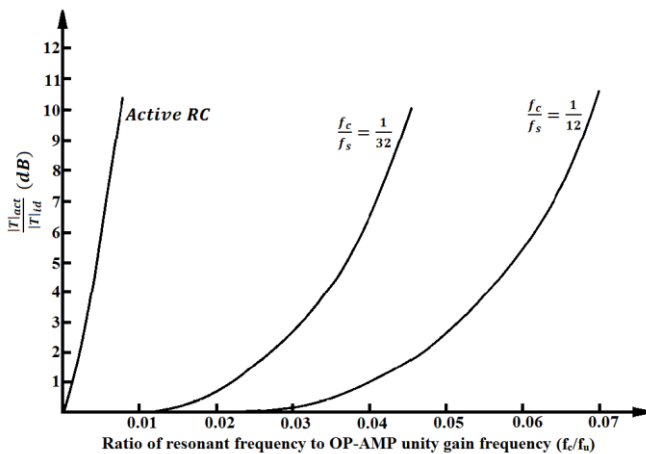
**b) Banda finita**

Per frequenze di clock piuttosto elevate, la banda finita dell'operazionale può provocare un errore nel dato campionato (in mezzo ciclo di clock le capacità non raggiungono il valore asintotico di tensione), che si riflette in un errore nella risposta in ampiezza del filtro (Figura 3.22).

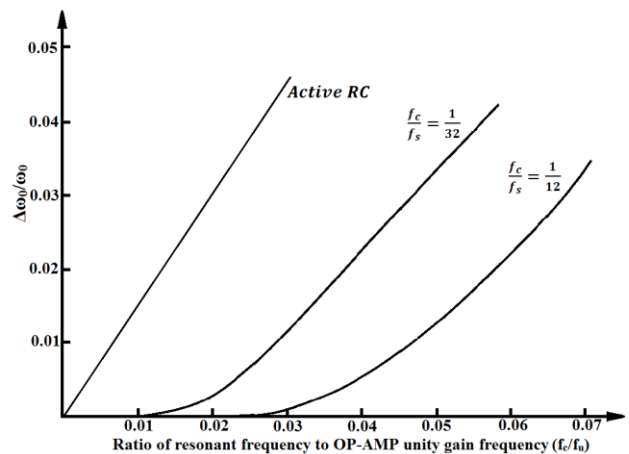


**Figura 3.22** Errore di assestamento dovuto alla banda finita dell'OP-AMP

Nei grafici in Figura 3.23 e Figura 3.24 sono rappresentati rispettivamente gli effetti sulla risposta in ampiezza del filtro e sul valore della frequenza di taglio dovuti alla banda finita dell'OP-AMP. Tali effetti diventano progressivamente più marcati quanto più la frequenza di guadagno unitario dell'operazionale ( $f_U$ ) è prossima alla frequenza di taglio del filtro ( $f_c$ ) e quanto più è piccolo il fattore di *oversampling*  $\frac{f_c}{f_s}$  ( $f_s$  frequenza di clock). È inoltre interessante notare come i filtri a capacità commutate abbiano una *sensitivity* ridotta a questa non idealità rispetto ai filtri classici OPAMP-RC.



**Figura 3.23** Errore risposta in ampiezza del filtro dovuta alla banda finita dell'OP-AMP



**Figura 3.24** Variazione relativa della frequenza di taglio del filtro dovuta alla banda finita dell'OP-AMP

Per quanto riguarda il filtro in esame, entrambi i rapporti sono molto piccoli

$$\frac{f_c}{f_s} = \frac{1 \text{ kHz}}{100 \text{ kHz}} = 10^{-2} \quad \frac{f_c}{f_U} \approx \frac{1 \text{ kHz}}{88 \text{ MHz}} \approx 1.1 \cdot 10^{-5}$$

e la banda finita degli OP-AMP non provoca alcun effetto indesiderato.

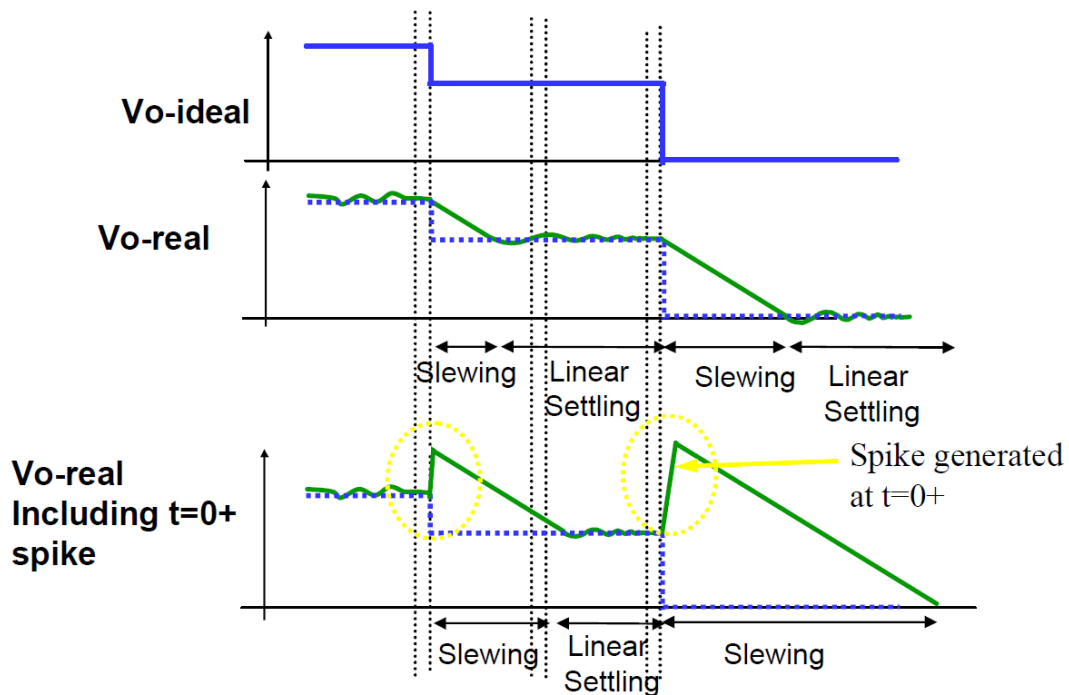


c) Slew Rate

Uno *slew rate* non elevato dell'OP-AMP può provocare un effetto di distorsione della forma d'onda di uscita, in particolar modo se la frequenza di clock è molto elevata. Per avere un'indicazione di massima sull'influenza di questo effetto si può verificare che l'uscita dell'amplificatore sia in grado di effettuare una transizione *full swing* in un tempo inferiore alla metà del periodo di clock.

$$\frac{V_{dd}}{SR} \approx \frac{3.3 V}{17 \frac{V}{\mu s}} \approx 2 \cdot 10^{-7} \ll \frac{T}{2} = 5 \cdot 10^{-6}$$

Anche in questo caso le specifiche dell'OP-AMP rispettano i vincoli richiesti e il comportamento del filtro non dovrebbe risentire di questo problema.



**Figura 3.25** Uscita di un filtro a capacità commutate distorta a causa dello *slew rate* dell'OP-AMP

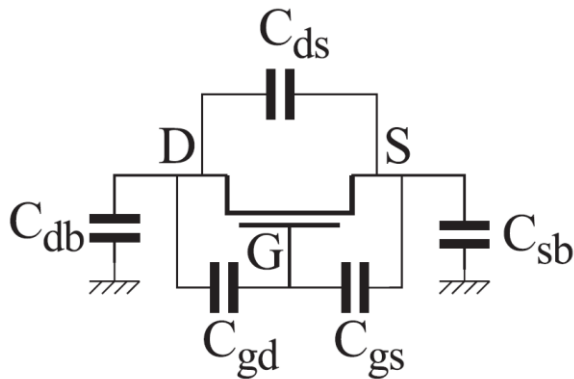
Tutte le non idealità viste fino ad ora, grazie ad opportuni accorgimenti in fase di progettazione, non influenzano significativamente il funzionamento del filtro a capacità commutate.

Tuttavia, quando si ha a che fare con questo tipi di circuiti, dove gli interruttori commutano in continuazione, bisogna però tener conto di altri fenomeni indesiderati, legati alle non idealità dei dispositivi, che hanno effetti notevoli sul comportamento reale del filtro.

### 3.8.2 Capacità Commutate

#### a) Capacità Parassite

Come visto fino ad ora, la precisione nel realizzare capacità integrate è fondamentale al fine di ottenere filtri che rispettino le specifiche con una certa accuratezza. Tra gli effetti indesiderati che possono alterare il funzionamento delle capacità commutate, oltre alle imprecisioni dovute alla scarsa accuratezza del processo tecnologico, sono presenti anche i condensatori parassiti che derivano dall'accoppiamento delle armature in silicio *poly* con il substrato (vedi *Figura 2.6*).

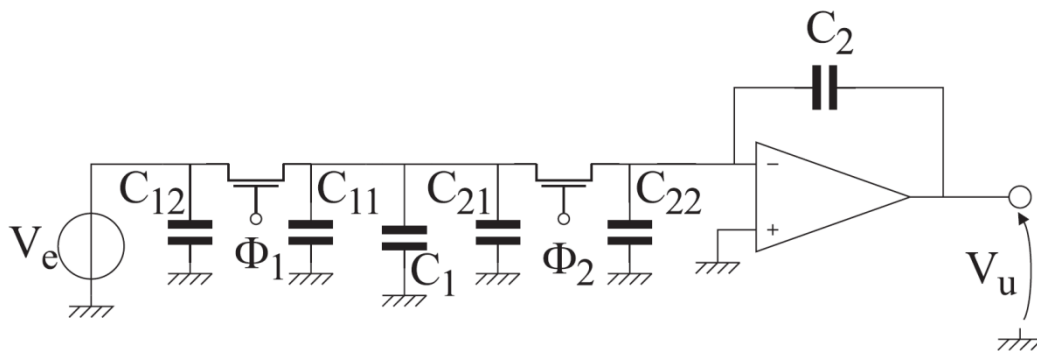


**Figura 3.26** Capacità parassite presenti in un transistor *MOS*

Inoltre, non si devono trascurare i parassiti legati agli interruttori. Ogni transistor *MOS*, infatti, ha delle capacità parassite che influenzano in modo considerevole il funzionamento del circuito. Tali capacità, intrinseche e non eliminabili, sono evidenziate in *Figura 3.26*.

La  $C_{GD}$  e la  $C_{GS}$  introducono un'iniezione di carica sul condensatore durante la commutazione, che porta al fenomeno detto *clock feedthrough*, cioè alla comparsa nello spettro del segnale di uscita di componenti a frequenze multipli interi di  $f_{CLK}$ .

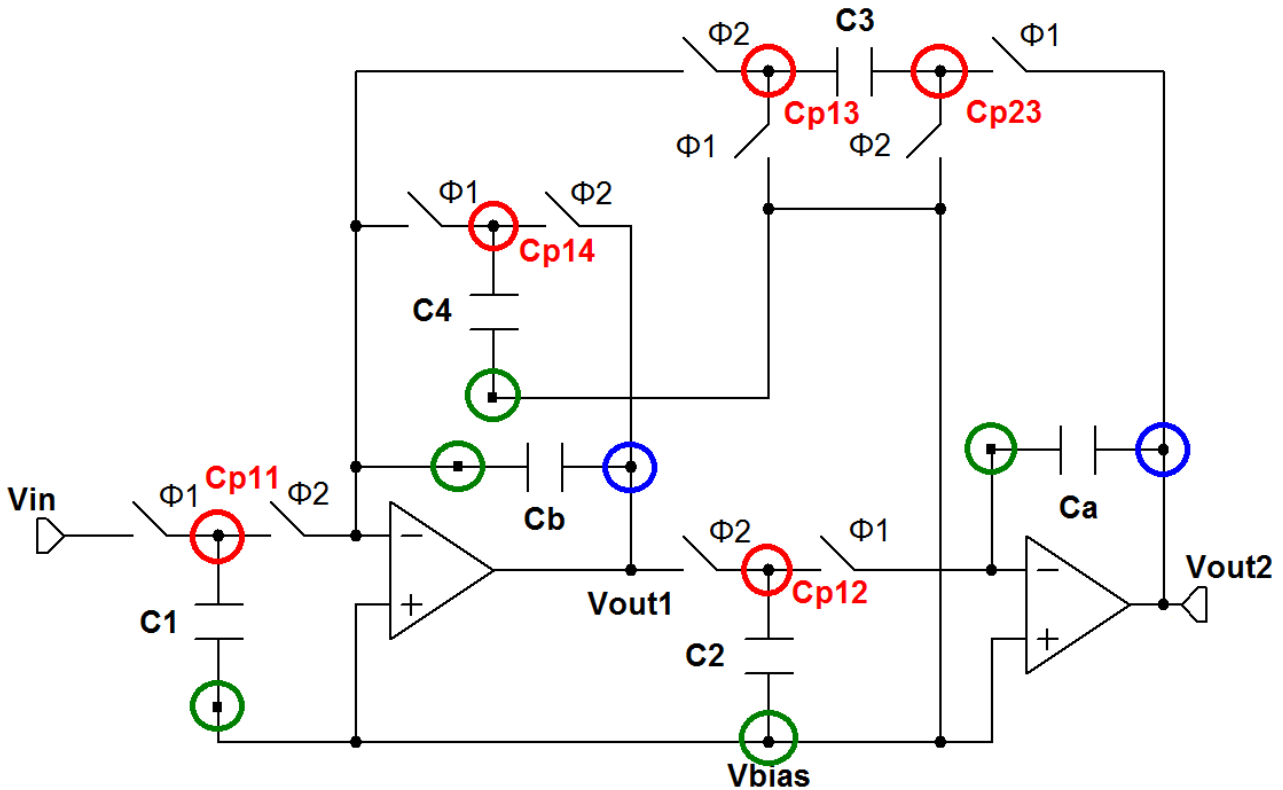
Il problema normalmente non comporta gravi conseguenze, in quanto la frequenza di clock è generalmente molto al di sopra della banda del segnale utile in uscita. Anche l'effetto della  $C_{DS}$  è di solito trascurabile, in quanto porta ad un non perfetto isolamento dell'interruttore, quando è aperto, alle alte frequenze. Le altre capacità parassite modificano invece il circuito reale di un filtro a capacità commutate, come evidenziato in *Figura 3.27*.



**Figura 3.27** Integratore a capacità commutate con evidenziate le capacità parassite degli interruttori

Osservando il circuito, si nota che il condensatore  $C_{12}$  ed il condensatore  $C_{22}$  possono essere trascurati in quanto uno è in parallelo ad un generatore di tensione (che erogherà pertanto più corrente per caricarlo) e l'altro è connesso tra massa e massa virtuale (non viene mai caricato/scaricato). Per quanto riguarda  $C_{11}$  e  $C_{21}$  si nota che questi sono in parallelo al condensatore  $C_1$  e quindi non sono trascurabili ma rappresentano per  $C_1$  un termine di errore.

Analizziamo ora in dettaglio tutte le capacità parassite presenti nel filtro a capacità commutate al fine di capire quali sono quelle maggiormente influenti e quali invece possono essere trascurate.



**Figura 3.28** Filtro a capacità commutate con capacità parassite evidenziate

In *Figura 3.28* i nodi sono cerchiati con colore diverso a seconda dell'importanza della capacità parassita presente tra esso ed il substrato. I nodi cerchiati in verde sono sempre a potenziale costante ( $V_{BIAS}$  o  $V_{BIAS}$  "virtuale") e le capacità associate non verranno mai caricate né scaricate. I parassiti legati ai nodi cerchiati in blu non sono particolarmente importanti in quanto tutta la corrente necessaria per la carica delle capacità viene fornita dall'uscita degli OP-AMP e non risulta critica in termini di tempi di carica/scarica. Al contrario, le capacità associate ai nodi cerchiati in rosso rivestono un ruolo primario nel determinare le costanti di tempo del circuito. Indicando genericamente con  $C_{XB}$  le capacità  $C_{DB}$ ,  $C_{SB}$  degli interruttori e con  $C_p^{1,2}$  le capacità parassite dei condensatori si ha:

$$C_{p11} = C_{p1}^1 + 2 C_{XB}^n + 2 C_{XB}^p$$

$$C_{p13} = C_{p3}^1 + 2 C_{XB}^n + 2 C_{XB}^p$$

$$C_{p12} = C_{p2}^1 + 2 C_{XB}^n + 2 C_{XB}^p$$

$$C_{p23} = C_{p3}^2 + 2 C_{XB}^n + 2 C_{XB}^p$$

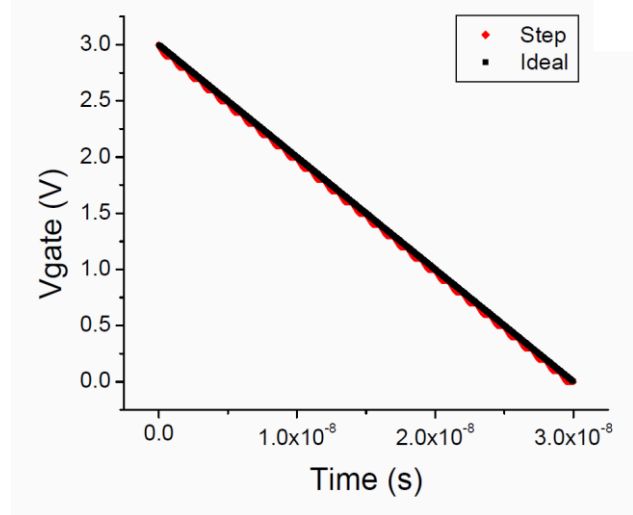
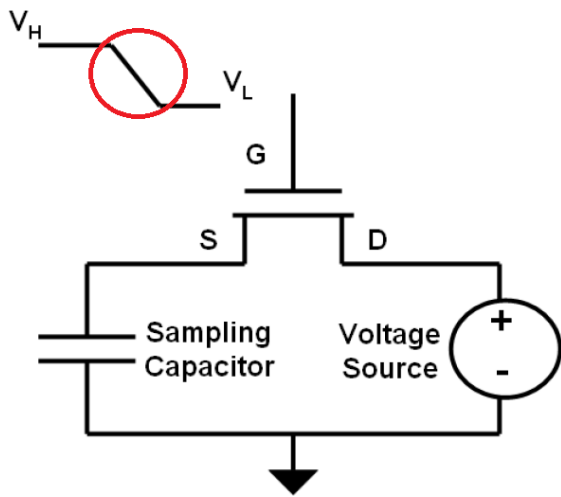
$$C_{p14} = C_{p4}^1 + 2 C_{XB}^n + 2 C_{XB}^p$$

Se si avesse la possibilità di conoscere questi condensatori parassiti non si avrebbero problemi nelle realizzazioni pratiche, ma il loro valore dipende dal processo e dalla tensione applicata, ed inoltre non si ha nessun legame con il rapporto tra capacità che determina le costanti di tempo. Queste capacità parassite (anche se il più delle volte hanno valore molto inferiore rispetto alle altre capacità) hanno l'effetto di alterare la risposta in frequenza del filtro in modo non noto a priori.

**b) Charge Injection e Clock Feedthrough**

Le non idealità introdotte dai transistori *MOS* utilizzati come interruttori, oltre ad indurre variazioni sui valori nominali delle capacità, producono anche effetti di distorsione sulla forma d'onda di uscita. Essi sono riconducibili a due fenomeni principali: *charge injection* e *clock feedthrough*.

Per lo studio di questi effetti indesiderati verrà considerato il semplice circuito di sample & hold mostrato in *Figura 3.29*.



**Figura 3.29** Circuito di sample & hold utilizzato per lo studio di clock feedthrough e charge injection

Il drain del transistor *nMOS* è connesso ad un generatore di tensione ideale mentre il source ad un condensatore di sampling. Il gate del dispositivo è pilotato da un segnale che passa da un livello di tensione alto ad uno basso (transizione da stato ON a stato OFF dell'interruttore). Alla chiusura dello switch la tensione sul source viene campionata dal condensatore, mentre quando l'interruttore si apre la tensione sul condensatore rimane, idealmente, invariata e può essere processata. Gli effetti di non idealità del transistor creano però un errore nella tensione campionata. Verranno ora analizzati in dettaglio questi fenomeni.

Allo spegnimento del transistor la carica presente nel canale viene iniettata (da qui il nome *charge injection*) nel source e nel drain. La carica presente nel canale è data da:

$$Q_{ch} \approx W L C_{ox}(V_{GD} - V_T)$$

con  $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$  capacità dell'ossido per unità di area.

$\epsilon_{ox}$  permittività elettrica dell'ossido;

$t_{ox}$  spessore dell'ossido;

Quando il transistor si spegne si può assumere che metà della carica vada verso il source e metà verso il drain. Essendo il drain connesso ad un generatore ideale, la sua tensione rimane invariata mentre la carica entrante nel source provoca una variazione di tensione esprimibile come:

$$dV_{Qch} = \frac{Q_{ch}}{2C_S}$$

dove  $C_S$  è la capacità totale connessa al nodo di source.

Allo spegnimento del transistor, quando la tensione di gate passa da livello alto a basso, la tensione di source subisce un'ulteriore variazione dovuta all'accoppiamento attraverso la capacità di overlap tra gate e source ( $C_{GS}^{ov}$ ). Tale fenomeno prende il nome di *clock feedthrough*. Questo errore dovuto all'accoppiamento capacitivo può essere modellato con un semplice partitore di tensione.

$$dV_{Cov} = dV_G \frac{C_{GS}^{ov}}{C_{GS}^{ov} + C_S}$$

con  $C_{GS}^{ov} = C_{OV} W$

$C_{OV}$  capacità di overlap  $\left[ \frac{F}{\mu m} \right]$

$dV_G$  variazione della tensione di gate

L'effetto combinato di *charge injection (CI)* e *clock feedthrough (CF)* provoca un abbassamento della tensione di source che determina una differenza di potenziale tra drain e source che induce una corrente  $I_{DS}$  (detta corrente di *recovery*). Questa corrente permette di compensare in parte gli effetti indesiderati sopra descritti. Il bilanciamento della tensione di source dovuto alla corrente di *recovery* può essere espresso come:

$$dV_{IDS} = \frac{I_{DS} dt}{C_S}$$

Considerando questo ulteriore fenomeno, l'effetto complessivo del *CI* risulta:

$$dV_{CI} = dV_{Qch} - dV_{IDS} = \frac{Q_{ch} - 2 I_{DS} dt}{2 C_S}$$

Anche il *CF* è compensato dall'effetto della corrente  $I_{DS}$ . L'effetto risultante è dato da:

$$dV_{CF} = dV_{Cov} - dV_{IDS} = \frac{dV_G C_{GS}^{ov} C_S - I_{DS} dt (C_{GS}^{ov} + C_S)}{C_S (C_{GS}^{ov} + C_S)}$$

L'effetto combinato può essere ricavato dalla somma dei singoli contributi:

$$dV_{tot} = dV_{Qch} + dV_{Cov} - dV_{IDS} = \frac{Q_{ch}(C_{GS}^{ov} + C_S) + dV_G C_{GS}^{ov} 2 C_S - 2 I_{DS} dt (C_{GS}^{ov} + C_S)}{2 C_S (C_{GS}^{ov} + C_S)}$$

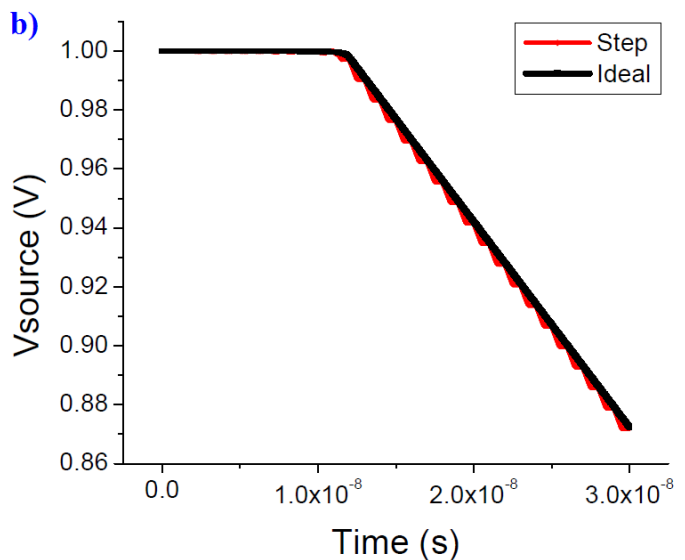
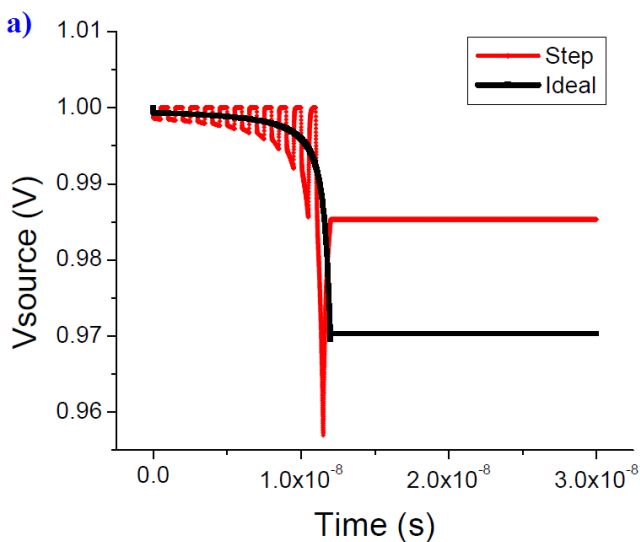
Di seguito è riportato l'andamento della tensione di source in funzione del tempo ed è possibile osservare l'effetto di *charge injection* e *clock feedthrough*. I due fenomeni sono presi in esame dapprima separatamente, poi ne viene preso in considerazione l'effetto combinato. I grafici mostrano la risposta nel caso il segnale applicato sul gate del transistor sia una rampa ideale (nero) oppure una sua approssimazione a gradini (rosso), utile ad evidenziare il recupero di tensione dovuto alla corrente di *recovery*.

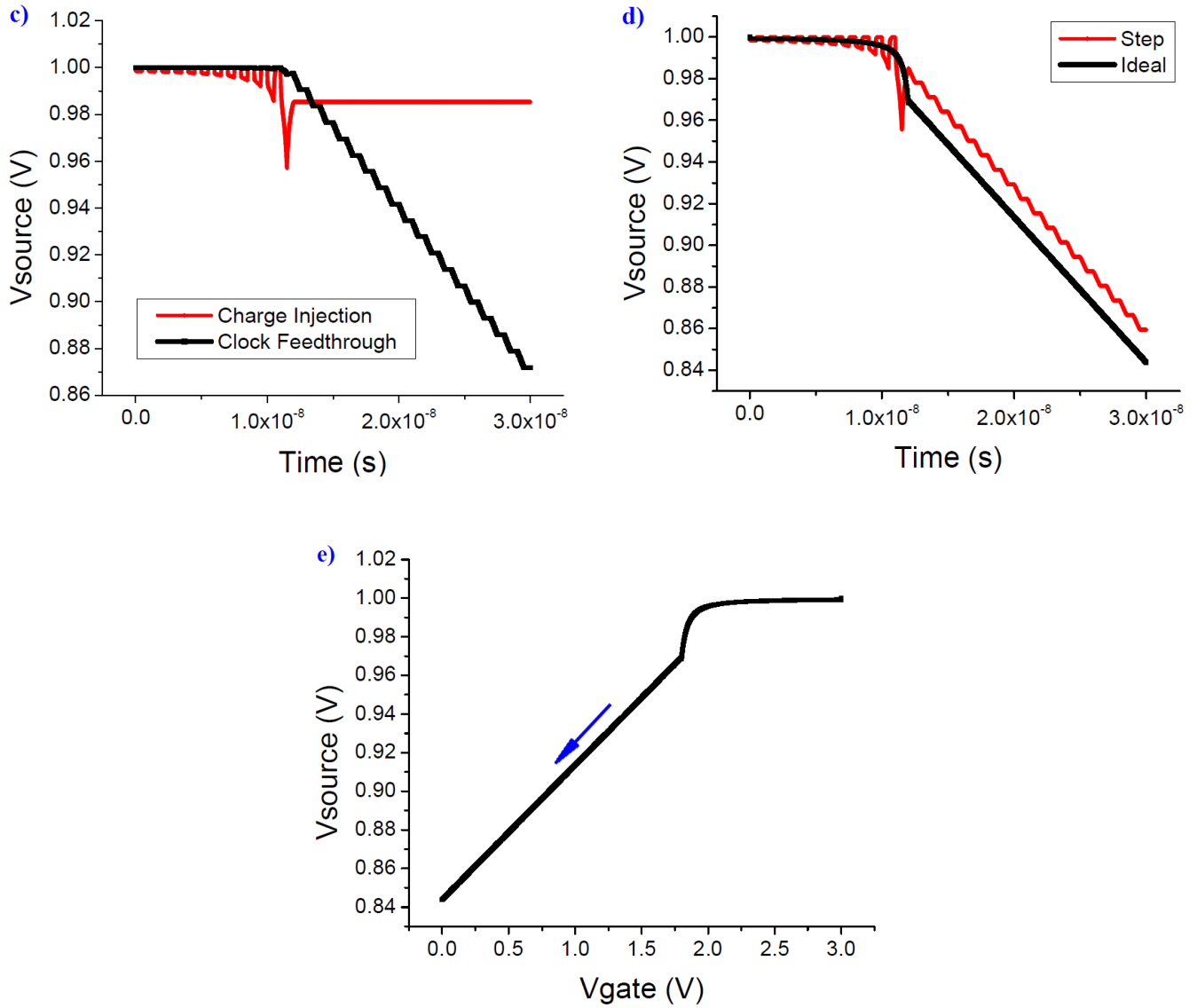
a) Quando il transistor è acceso, il canale è in stato di forte inversione e le tensioni di source e drain sono entrambe pari ad 1 V. Quando la tensione di gate inizia a calare, l'iniezione di carica

provoca una diminuzione della tensione di source che viene però compensata dalla corrente drain-source. Quando la tensione di gate è prossima alla soglia, questa corrente non è più sufficiente a compensare il gap di tensione. A questo punto la tensione di source si assesta ad un valore costante affetto da errore.

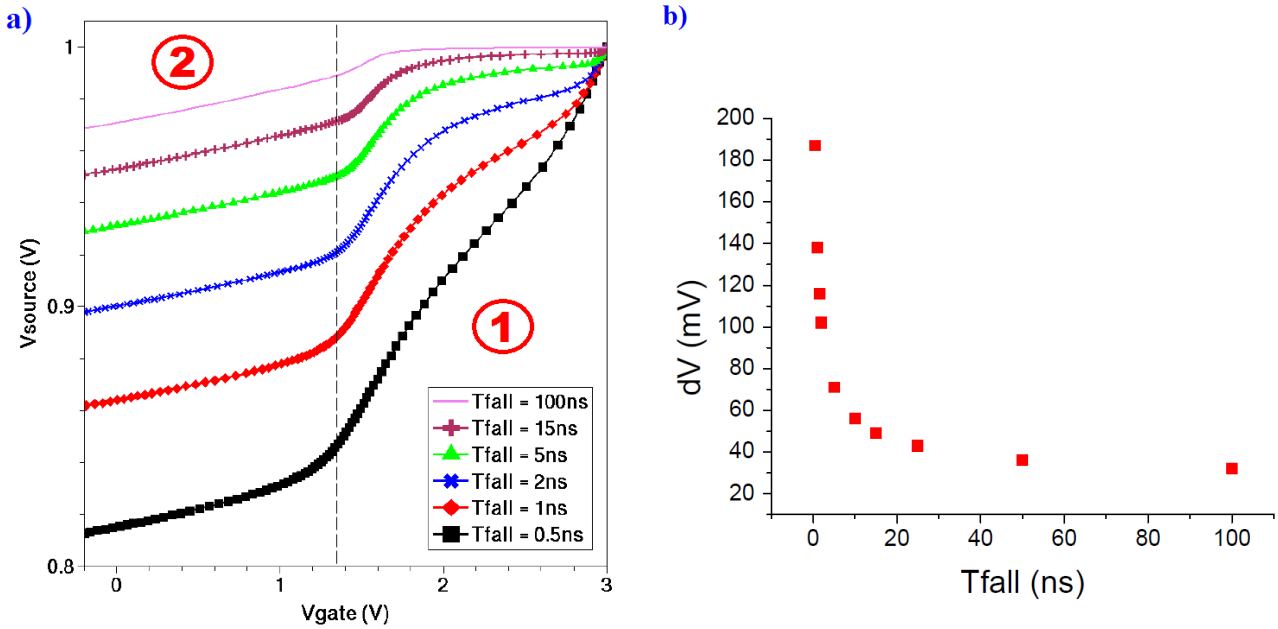
- b) Quando la tensione di gate è maggiore di quella di soglia, l'accoppiamento attraverso la capacità di overlap è piuttosto considerevole ma la corrente  $I_{DS}$ , come nel caso precedentemente considerato, compensa completamente la variazione di tensione di source che si verifica. Una volta superata la soglia la corrente non è più sufficiente a colmare il gap e la tensione di source decresce linearmente con una pendenza dettata dal rapporto di partizione.
- d) Considerando l'effetto combinato di  $CI$  e  $CF$ , si ha un contributo dominante del primo fenomeno per tensioni di gate superiori a quella di soglia mentre domina il secondo effetto per tensioni inferiori a quest'ultima.
- e) Il grafico illustra la tensione di source in funzione di quella di gate (il transitorio va seguito leggendo il grafico da destra verso sinistra) e si può vedere come la dipendenza sia inizialmente di tipo non lineare (*charge injection* dominante) e diventi successivamente lineare (*clock feedthrough* dominante) una volta oltrepassata la condizione di soglia ( $V_G = V_S + V_T$ ).

Definiti valore alto e basso del segnale di clock,  $V_{GH}$  e  $V_{GL}$  rispettivamente, sperimentalmente si verifica che  $CI$  e  $CF$  non sono influenzati dalla scelta sul valore di  $V_{GH}$  mentre l'errore sulla tensione di source aumenta linearmente al calare di  $V_{GL}$  ( $V_{GL} \leq 0$ ). L'errore di tensione viene inoltre influenzato dal tempo di discesa  $T_{fall}$  del segnale di clock. Il grafico di *Figura 3.30* mostra che, nella regione contrassegnata dal numero 1, la tensione di source risente fortemente della variazione di  $T_{fall}$ , infatti al diminuire del tempo di discesa  $V_S$  diventa più sensibile al calo della tensione di gate. Al contrario, nella regione 2, la tensione  $V_S$  è insensibile al valore di  $T_{fall}$  scelto (la pendenza è uguale per tutti i casi considerati).  $T_{fall}$  influenza  $V_S$  nella regione 1 in quanto determina il tempo a disposizione di  $I_{DS}$  per compensare la carica iniettata. La regione 2 non risente della variazione di  $T_{fall}$  in quanto l'effetto dominante diventa il *clock feedthrough* e la relazione tra  $V_S$  e  $V_G$  assume un andamento lineare con uguale pendenza per ogni  $T_{fall}$  considerato. In *Figura 3.30* è inoltre possibile vedere come la relazione tra l'errore di tensione e  $T_{fall}$  sia fortemente non lineare.





**Figura 3.30** Effetto di *charge injection* (a), *clock feedthrough* (b), confronto (c), effetto combinato sulla tensione di source (d, e). Simulazioni in tecnologia 0.18  $\mu\text{m}$  CMOS.



**Figura 3.31** Tensione (a) / variazione della tensione (b) di source per effetto di *CI* e *CF* al variare del tempo di discesa del segnale di clock

L'effetto di *charge injection* e *clock feedthrough* dipende naturalmente anche dal dimensionamento del transistor che funge da interruttore. In particolare, con riferimento ai grafici in *Figura 3.31*, nella regione 2 le curve hanno la stessa pendenza a prescindere dalla lunghezza di canale  $L$ . Questo in quanto la larghezza di canale  $W$  e le regioni di overlap di gate-source sono identiche e, di conseguenza, l'accoppiamento capacitivo è il medesimo in tutti i casi. Nella regione 1, al crescere di  $L$ , la tensione di source diventa più sensibile a quella di gate in quanto nel canale è disponibile più carica per l'iniezione. Inoltre, al crescere di  $L$ , la corrente drain-source cala secondo la ben nota relazione

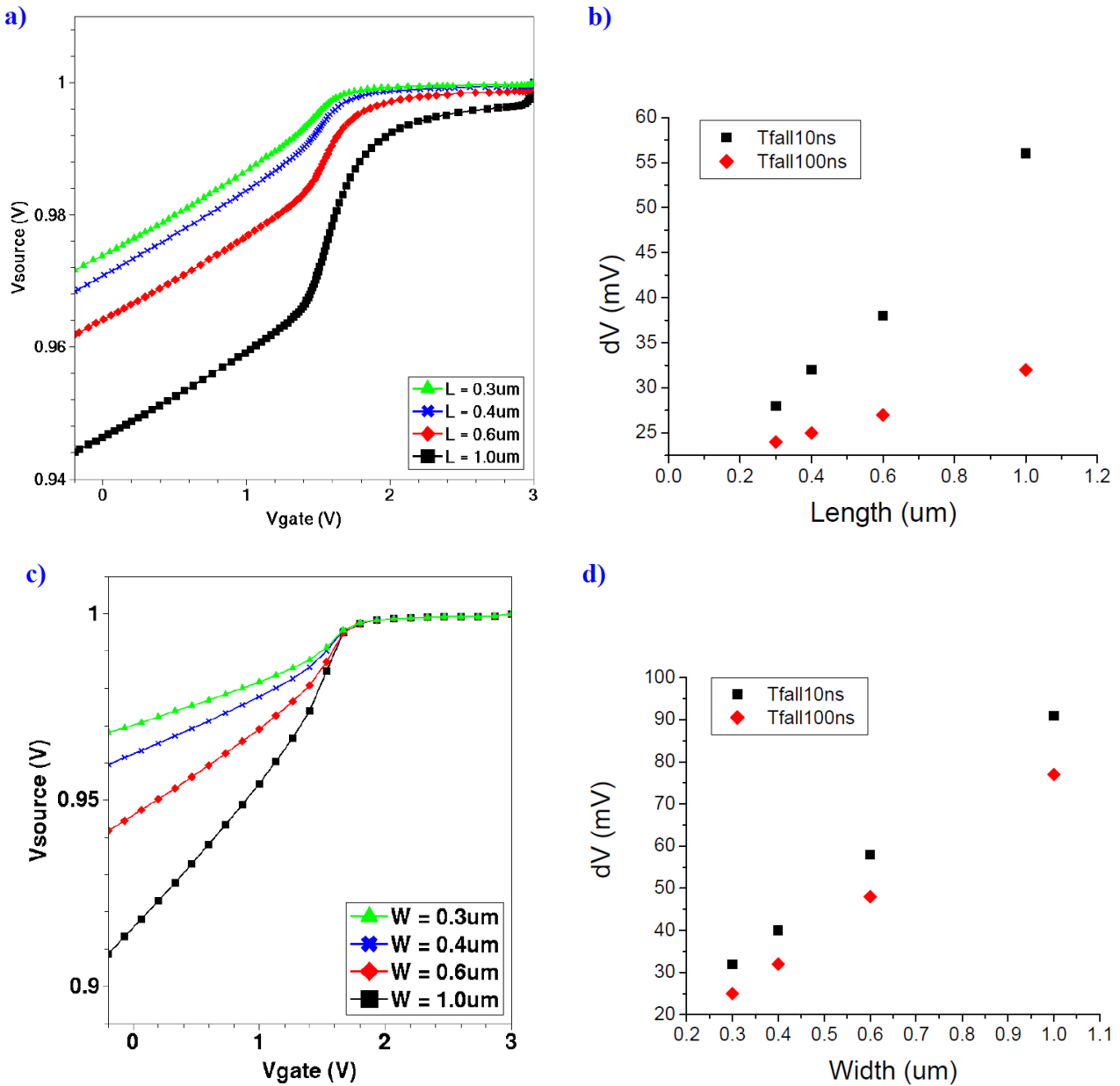
$$I_{DS} \approx \beta' \frac{W}{L} \left[ (V_{GS} - V_{Tn}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

Per valori di  $L$  piuttosto elevati,  $V_S$  necessita di un tempo maggiore per bilanciare il gap di tensione dovuto all'iniezione di carica. Al crescere di  $T_{fall}$  aumenta il tempo a disposizione di  $I_{DS}$  per colmare la differenza di tensione e, pertanto, il gap finale risulta minore. Infine, per quanto riguarda la larghezza di canale  $W$  si osserva che, nella regione 1, la tensione  $V_S$  è del tutto insensibile alla variazione di  $V_G$ . Transistori con  $W$  maggiore hanno più carica nel canale e maggiore capacità di overlap che incrementano l'iniezione di carica e l'accoppiamento con il clock, tuttavia essi vengono compensati da una corrente  $I_{DS}$  che aumenta a sua volta con  $W$ . Nella regione 2, un incremento della capacità di overlap modifica in maniera sostanziale il contributo di *CF*, come messo in evidenza dal cambiamento di pendenza della caratteristica  $V_S - V_G$ .

Le indicazioni progettuali più importanti per la minimizzazione delle non idealità legate agli interruttori in commutazione sono le seguenti:

- gli switch vanno dimensionati sfruttando la minima dimensione tecnologica realizzabile;
- il clock di pilotaggio degli switch deve avere un transitorio di discesa sufficientemente lento.





**Figura 3.32** Tensione (a, c) / variazione di tensione (b, d) di source per effetto di  $CI$  e  $CF$  al variare della larghezza  $W$  (a, b) e della lunghezza di canale  $L$  (c, d) del transistor

Queste regole di massima rimangono valide anche nel caso si utilizzino *switch a transfer gate*, i quali inoltre offrono una serie innumerevole di vantaggi aggiuntivi. Come visto in precedenza permettono di approssimare con maggiore precisione il comportamento di un interruttore ideale presentando una resistenza di valore relativamente basso e costante rispetto alla tensione di ingresso. Anche per quanto riguarda *charge injection* e *clock feedthrough*, l'utilizzo di transistori complementari porta ad un effetto di compensazione offrendo ulteriori vantaggi rispetto alla classica soluzione a singolo *MOS*. Le equazioni scritte in precedenza possono essere opportunamente modificate per tenere conto della presenza di un transistor a canale p in parallelo.

In particolar modo si ha che:

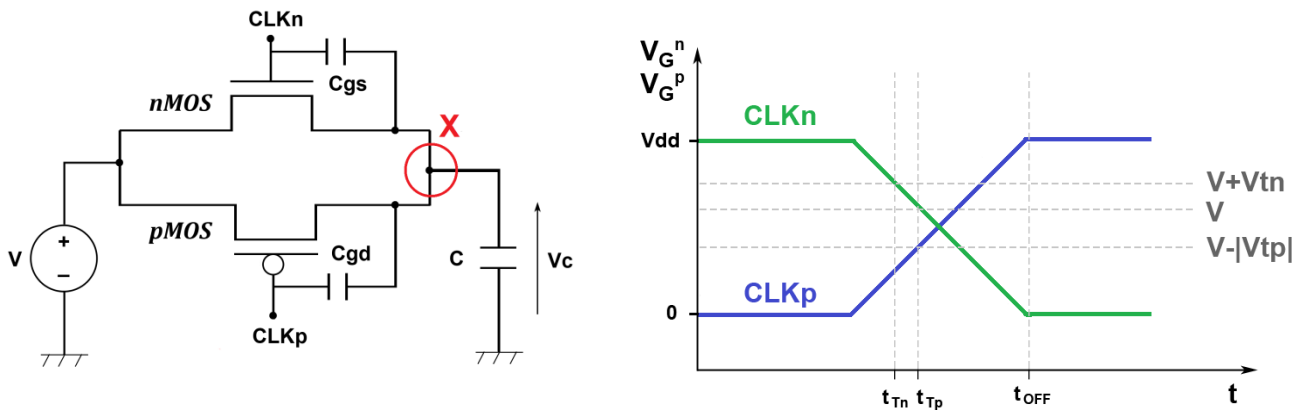
$$\begin{aligned} \Delta V_C^{CI} &= \frac{Q_{ch}^n + Q_{ch}^p}{2 C_S} = \frac{W_n L_n C_{ox}^n (V_{GS}^n - V_{Tn}) + W_p L_p C_{ox}^p (V_{SG}^p - |V_{Tp}|)}{2 C_S} = \\ &= \frac{W_n L_n C_{ox}^n (V_{dd} - V_C - V_{Tn}) + W_p L_p C_{ox}^p (V_C - |V_{Tp}|)}{2 C_S} \end{aligned}$$

Supposto  $L_p = L_n$  si può ricavare il rapporto di dimensionamento che annulla l'errore di tensione finale sul condensatore si sampling.

$$\Delta V_C^{CI} = 0 \Leftrightarrow W_p = \frac{C_{ox}^n}{C_{ox}^p} \frac{V_{dd} - V_{Tn} - V_C}{V_C - |V_{Tp}|} W_n$$

L'iniezione di carica (negativa, costituita da elettroni) dovuta allo spegnimento del *nMOS* viene compensata (del tutto o solo in parte in base al dimensionamento reciproco dei dispositivi) dall'iniezione di lacune dovuta allo spegnimento del *pMOS*.

Per analizzare l'effetto di *CF* si fa riferimento al circuito illustrato in *Figura 3.33*, insieme ai segnali di clock che pilotano i *MOS* complementari riportati a fianco. Nelle ipotesi semplificative che entrambi i transistori presentino una resistenza serie trascurabile, oltrepassino il valore della tensione di soglia nel medesimo istante  $t_{TH} = t_{Tn} = t_{Tp}$  (tensione *V* piccolo segnale prossimo al valore di bias 1.65 V e  $V_{Tn} \approx |V_{Tp}|$ ) e si spengano istantaneamente si può sfruttare il principio di conservazione della carica elettrica al nodo isolato *X*.



**Figura 3.33** Circuito di sample & hold a transfer gate e forme d'onda di pilotaggio

$$Q(t_{TH}) = V_C C - C_{GS}^{ov} V_{GS}^n + C_{GD}^{ov} V_{SG}^p = V_C C - C_{GS}^{ov} V_{Tn} + C_{GD}^{ov} |V_{Tp}|$$

$$Q(t_{OFF}) = (C_{GS}^{ov} + C) (V_C + \Delta V_C) + C_{GD}^{ov} (V_C + \Delta V_C - V_{dd})$$

$$Q(t_{TH}) = Q(t_{OFF}) \Rightarrow \Delta V_C^{CF} = \frac{-C_{GS}^{ov} V_{Tn} + C_{GD}^{ov} |V_{Tp}| + C_{GD}^{ov} V_{dd} - V_C (C_{GS}^{ov} + C_{GD}^{ov})}{C_{GS}^{ov} + C_{GD}^{ov} + C}$$

$$\Delta V_C^{CF} = 0 \Leftrightarrow W_p = \frac{C_{OVn}}{C_{OVp}} \frac{V_{Tn} + V_C}{V_{dd} + |V_{Tp}| - V_C} W_n$$

## Filtro di Butterworth

con  $C_{GS}^{ov} = C_{OVn} W_n$  e  $C_{GD}^{ov} = C_{OVp} W_p$

Considerando i valori dei parametri di processo specificati nei modelli dei dispositivi

$$\begin{array}{lll} C_{ox}^n = \frac{\epsilon_{ox}}{t_{ox}^n} & t_{ox}^n = 7.575 \cdot 10^{-9} & C_{OVn} = 1.2 \cdot 10^{-10} \\ C_{ox}^p = \frac{\epsilon_{ox}}{t_{ox}^p} & t_{ox}^p = 7.754 \cdot 10^{-9} & C_{OVp} = 8.6 \cdot 10^{-11} \end{array}$$

si possono confrontare i vincoli di dimensionamento con l'ausilio di *Mathematica*. Come mostrato in *Figura 3.34*, le curve di dimensionamento si intersecano in corrispondenza di un'ampiezza del segnale che transita attraverso l'interruttore di circa 1.62 V (molto vicino alla tensione di bias del filtro) per la quale si ottiene il rapporto di dimensionamento ottimo dello *switch* a transfer gate.

$$\frac{W_p}{W_n} \simeq 1.27$$

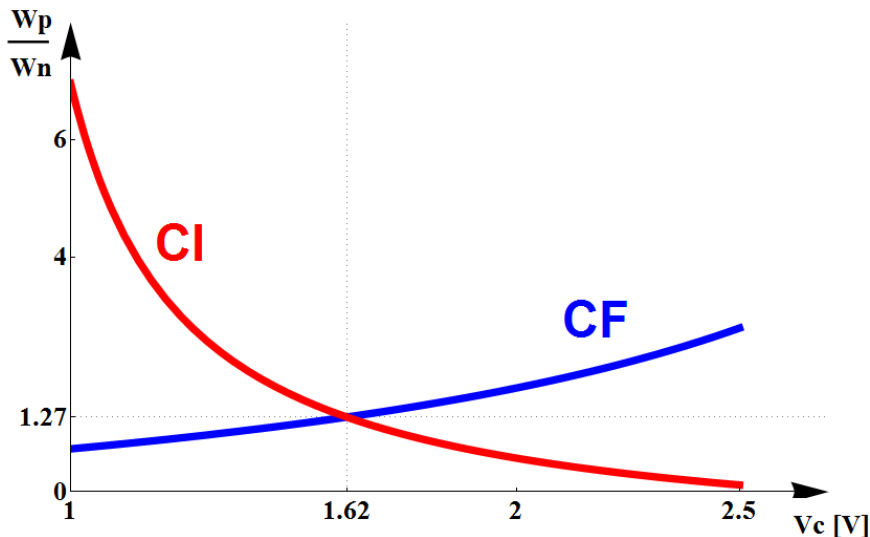
Applicando inoltre la regola che predilige dimensioni il più possibile scalate si ricava il dimensionamento finale degli interruttori.

$$\boxed{L^{TG} = 0.35 \mu m \quad W_n^{TG} = 0.35 \mu m \quad W_p^{TG} = 0.45 \mu m}$$

Si vuole infine notare che anche l'effetto di *recovery* viene intensificato dato l'utilizzo di due transistori in parallelo i cui contributi di corrente si sommano.

$$dV_{Irec}^{TG} = \frac{I_{DS}^n dt^n + I_{SD}^p dt^p}{C_S}$$

In questa sezione è stato ricavato il dimensionamento degli interruttori a *transfer gate* che permette la minimizzazione dei fenomeni di non idealità che influiscono maggiormente sul comportamento del filtro a capacità commutate.

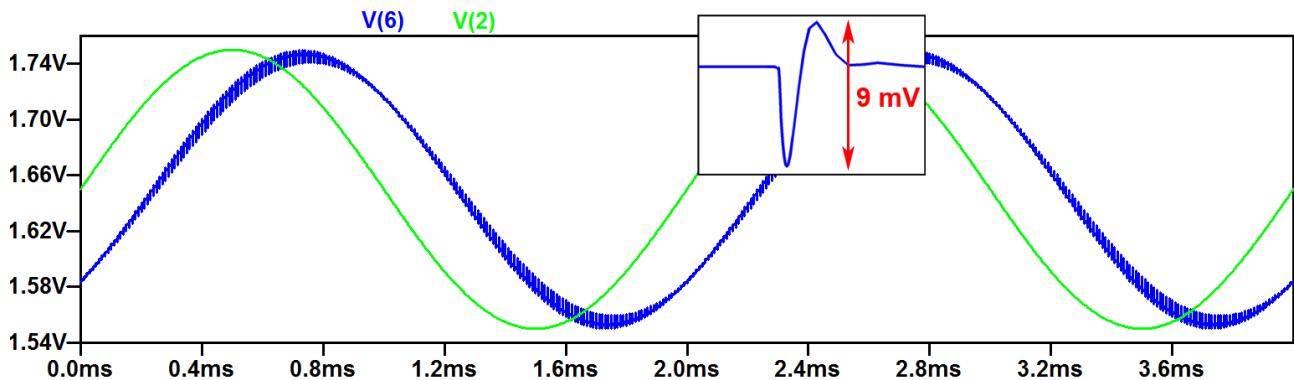


**Figura 3.34** Vincoli di dimensionamento degli *switch* a *transfer gate* per l'annullamento degli effetti di *CI* e *CF*

### 3.9 Simulazione e Tuning Parametrici

Ultimati il progetto e l'analisi delle problematiche del filtro, non resta altro che procedere con la fase di simulazione. A partire dai circuiti precedentemente analizzati (OP-AMP, generatore corrente di riferimento, generatore clock a fasi non sovrapposte, switch a transfer gate) è stato implementato il circuito finale in *LTSpice*.

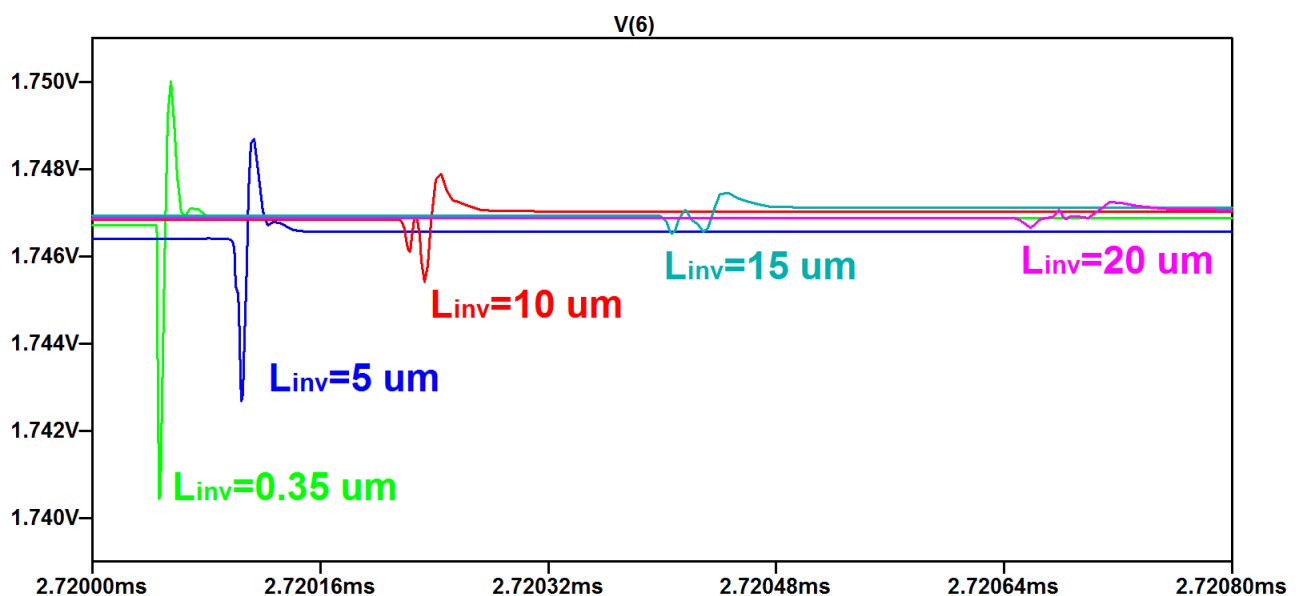
Applicata una sinusoide in ingresso ( $f = 500 \text{ Hz}$ , ampiezza  $100 \text{ mV}$ ) si analizza la risposta in transitorio.



**Figura 3.35** Sinusoide di ingresso (verde) e sinusoide di uscita con oscillazioni indesiderate (blu)

$$(L_{INV} = L_{NOR} = L_{TGao} = 0.35 \mu\text{m})$$

Come si può vedere dalle forme d'onda in *Figura 3.35* la sinusoide in uscita dal filtro presenta delle oscillazioni indesiderate causate dalla commutazione degli interruttori. Per ovviare a questo problema occorre rendere il più possibile graduali le fasi di accensione e spegnimento degli *switch*. Questo obiettivo può essere raggiunto percorrendo due strade differenti. Un primo approccio consiste nel rallentare il circuito di generazione del clock (*Figura 2.17*) aumentando la lunghezza di canale di tutti i dispositivi che lo costituiscono. I risultati ottenuti sono presentati in *Figura 3.36*, dove viene mostrato un particolare del disturbo sulla tensione di uscita del filtro.

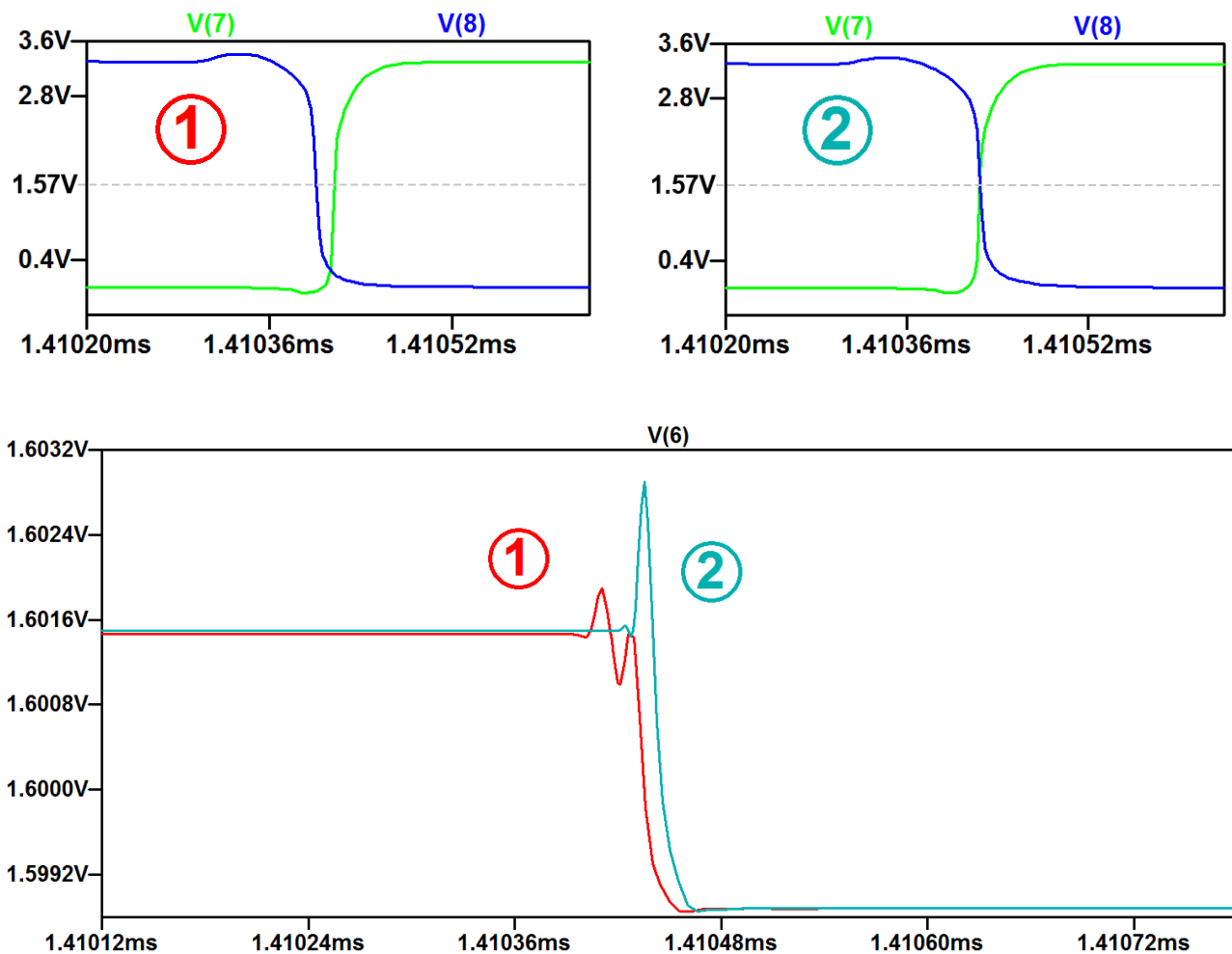


**Figura 3.36** Tuning parametrico su  $L_{INV}$ , particolare della tensione di uscita del filtro

Come si può notare, aumentando la lunghezza di canale degli invertitori  $L_{INV}$  ( $L_{NOR} = L_{TGAo} = L_{INV}$ ) si ottiene il risultato desiderato. Per una lunghezza  $L_{INV}$  di  $15 \mu m$  le oscillazioni residue presentano un'ampiezza inferiore a  $1 mV$  contro i  $9 mV$  del dimensionamento minimo. Aumentando ulteriormente  $L_{INV}$  non si ottengono miglioramenti significativi e pertanto come scelta finale si conserva il valore

$$L_{INV} = 15 \mu m$$

Si nota inoltre che l'ampiezza dei picchi è più alta nel caso di commutazione simultanea degli interruttori. Una seconda soluzione al problema può essere pertanto ottenuta variando lo sfasamento tra i due segnali di clock, in modo da rendere più graduale la transizione tra stato ON e stato OFF. Il fatto che i segnali di clock non siano perfettamente complementari non porta nessun problema di distorsione ( $f_{CLK} \gg f_{SIGNAL}$ ), ma fornisce un ulteriore grado di libertà che permette di ridurre l'ampiezza dei picchi senza dover ricorrere ad un sovradimensionamento eccessivo della circuiteria di clock. In *Figura 3.37* è rappresentato l'effetto dello sfasamento dei clock complementari, e si può notare come questo influisca effettivamente sull'altezza dei picchi di tensione nella forma d'onda d'uscita.



**Figura 3.37** Attenuazione dei picchi con segnali di clock complementari sfasati

In *Figura 3.38* e *Figura 3.39* vengono rappresentate le forme d'onda uscenti dal circuito di generazione del clock con le modifiche sopra discusse.

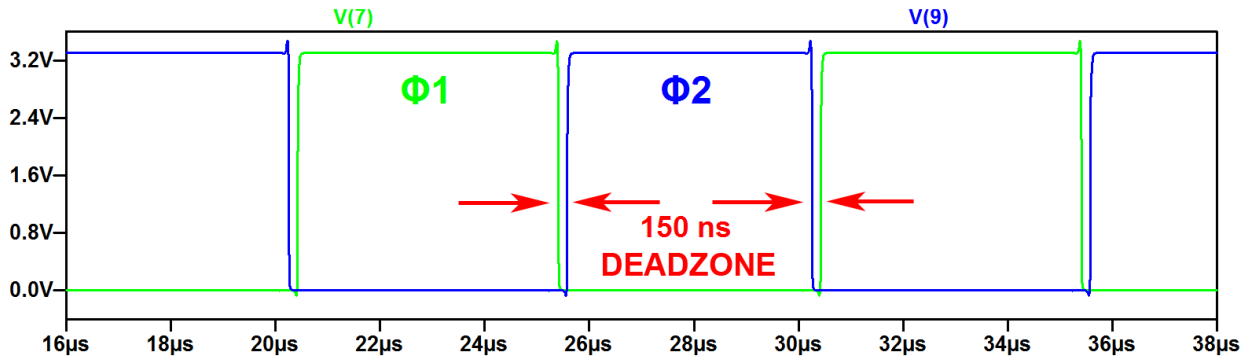


Figura 3.38 Clock a fasi non sovrapposte

In Figura 3.38 si osservano i segnali di clock a fasi non sovrapposte, in particolare è visibile la *dead zone* (150 ns) che garantisce il corretto funzionamento degli *switch*.

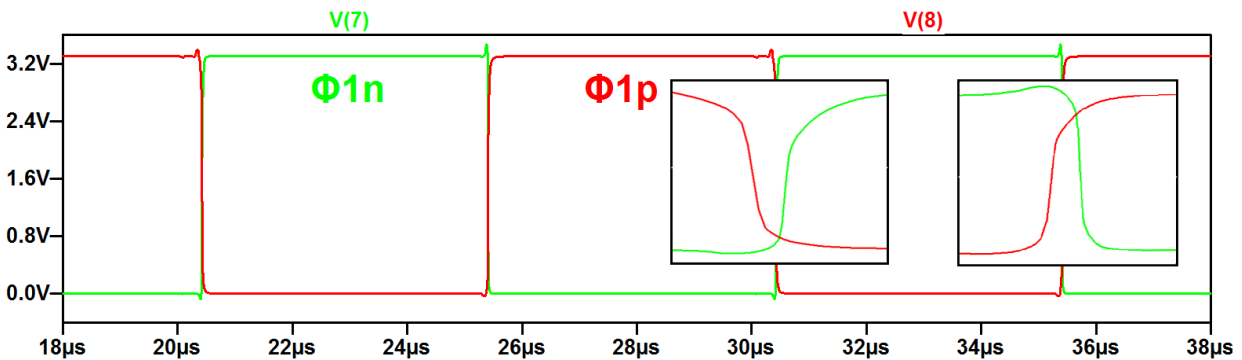


Figura 3.39 Clock di pilotaggio degli interruttori *transfer gate*

In Figura 3.39 vengono mostrati i segnali di clock complementari sfasati con cui sono pilotati gli *switch a transfer gate*.

Risulta infine opportuno correggere il dimensionamento degli interruttori ottenuto per via teorica, nel caso in cui quest'ultimo non minimizzi *charge injection* e *clock feedthrough* (lecito attenderselo perché non è più verificata l'ipotesi di spegnimento simultaneo). Nel caso specifico è stata variata la larghezza del transistor a canale *n* di tutti gli *switch*, prendendo come riferimento iniziale 0.35 μm.

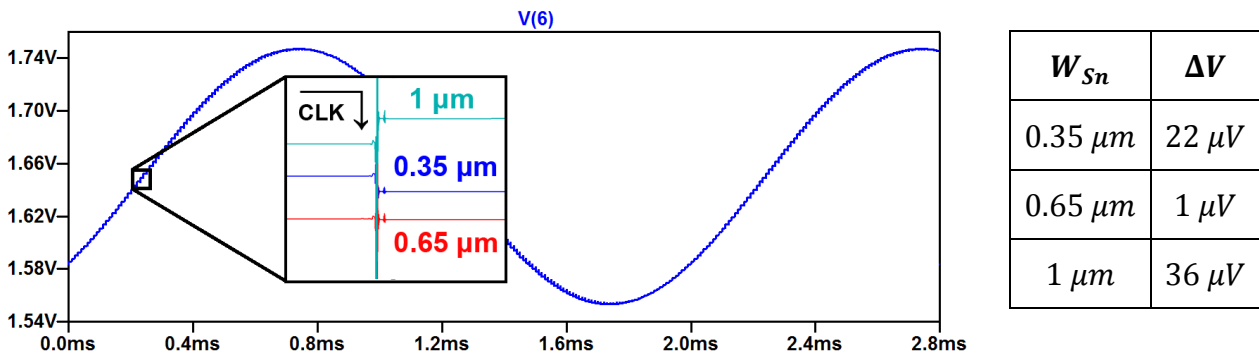
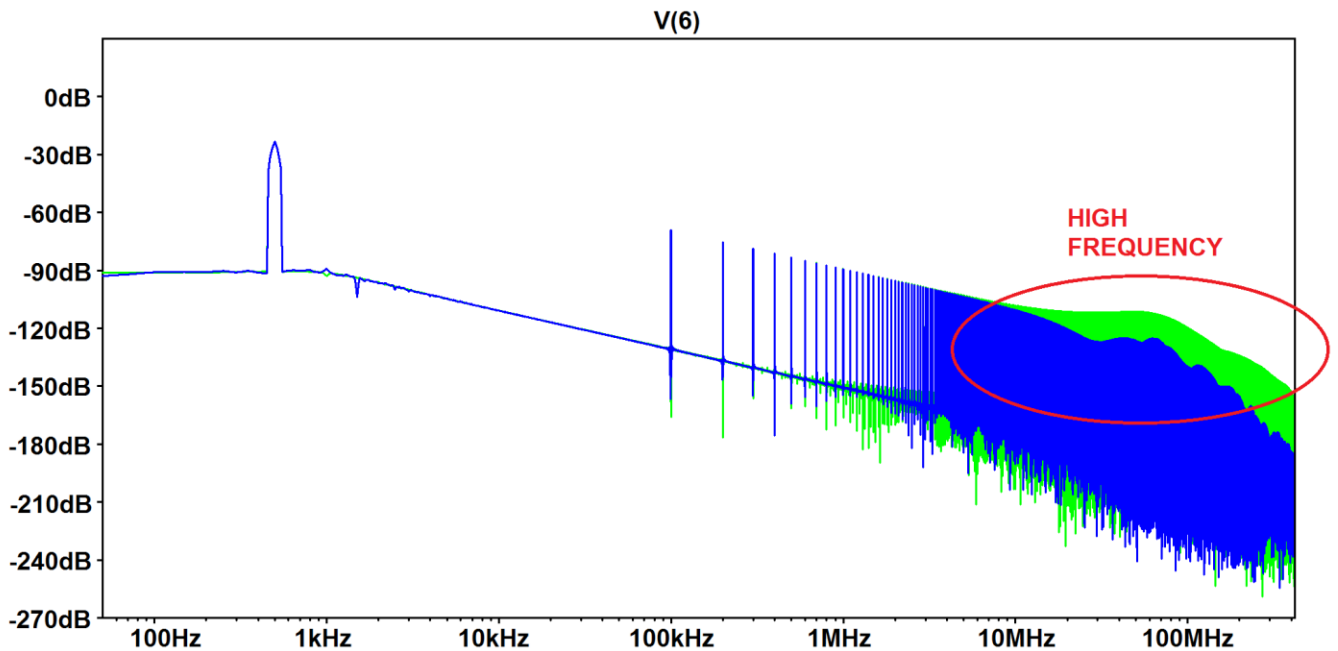


Figura 3.40 Tuning su  $W_{Sp}$  per verificare la minimizzazione di *CI*

Osservando i risultati in *Figura 3.40* si nota come l'effetto di  $CI$  ( $CF$  non rilevabile perché il fronte di discesa del clock è troppo ripido) sia marcato per  $W_{Sn} = 1 \mu m$  (circa  $36 \mu V$  di errore di tensione al fronte di discesa del clock) e raggiunga un minimo di circa  $1 \mu V$  per  $W_{Sn} = 0.65 \mu m$ .

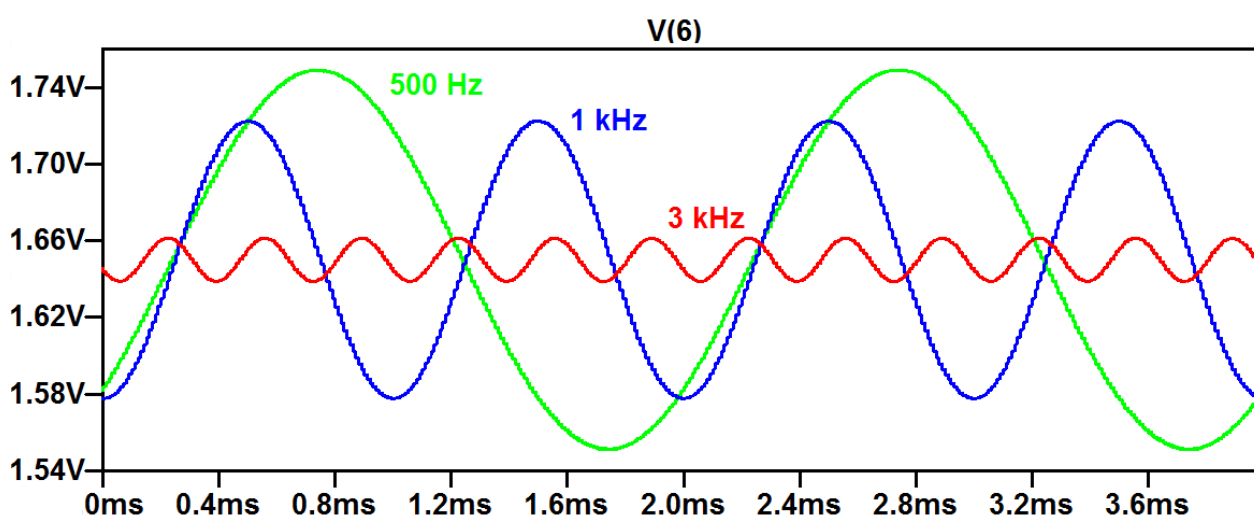
Alla fine di questa fase di *tuning* parametrico per "ripulire" la forma d'onda d'uscita è necessario fare un'ultima precisazione. Di norma, le oscillazioni osservate corrispondono a contributi spettrali a frequenze molto elevate (come si può notare dalle *FFT* rappresentate in *Figura 3.41*) e, nella maggior parte dei casi, verranno comunque filtrate dai dispositivi connessi a valle del filtro progettato. Un grado così elevato di raffinatezza nel dimensionamento, pur essendo interessante da un punto di vista didattico, non risulta strettamente necessario per la maggioranza delle applicazioni.



**Figura 3.41** *FFT* di una sinusoide a 500 Hz in uscita al filtro con (*verde*) o senza (*blu*) oscillazioni residue

### 3.10 Risposta in Frequenza

Terminato il dimensionamento di tutti i transistori e le capacità del circuito si passa alla caratterizzazione finale del filtro, per verificarne l'affinità con la funzione di filtraggio di *Butterworth* del secondo ordine. A tal proposito è sufficiente scegliere un opportuno set di frequenze della sinusoide in ingresso (si rimanda all'*Appendice D* per l'elenco completo) e analizzare la risposta del filtro ad ognuna di esse. Riunendo tutti i risultati sarà infine possibile ottenere la risposta in frequenza complessiva del filtro progettato. Per avere un certo grado di omogeneità nell'acquisizione del segnale di uscita si è scelto di simulare ogni sinusoide per 10 periodi (oltre un tempo fissato necessario per l'assestamento). Terminata la simulazione *.step* di *LTSpice*, i dati relativi alle forme d'onda d'uscita vengono salvati in un file di testo attraverso l'apposita funzione *Export* e successivamente importati in *Mathematica*.



**Figura 3.42** Tre sinusoidi in uscita al filtro con attenuazione progressiva (500 Hz, 1 kHz, 3 kHz)

È importante notare che i punti campionati dal tool di simulazione, oltre ad essere un numero davvero spropositato (si parla di un file di testo che necessita quasi 1 GB di memoria), non sono temporalmente equispaziati tra loro. Risulta quindi necessaria una doppia operazione di interpolazione e ricampionamento attraverso la quale si può ottenere la sequenza temporalmente equispaziata sulla quale operare la *trasformazione di Fourier*.

Effettuati questi passaggi non resta altro che confrontare le ampiezze di tutte le componenti in frequenza con la funzione di trasferimento teorica. In *Figura 3.43* viene riportato l'errore nella risposta in ampiezza ottenuto dalla simulazione (rappresentato da *markers* di diversa forma) a confronto con i risultati teorici attesi (rappresentati dalle curve a tratto continuo). Si può notare come i punti relativi ai dimensionamenti *D1* e *D3* (ottenuti nel dominio di *Laplace* tramite l'approssimazione delle capacità commutate con i resistori equivalenti) mantengano un errore relativamente basso solamente nell'intorno della frequenza di taglio per poi divergere rapidamente. I dimensionamenti ricavati attraverso la *trasformazione bilineare* (*D2* e *D4*) mantengono invece un errore inferiore a 1 dB fino ad una frequenza di 20 kHz (per i dettagli numerici si rimanda all'*Appendice D*).



**Amp. Error [dB]**

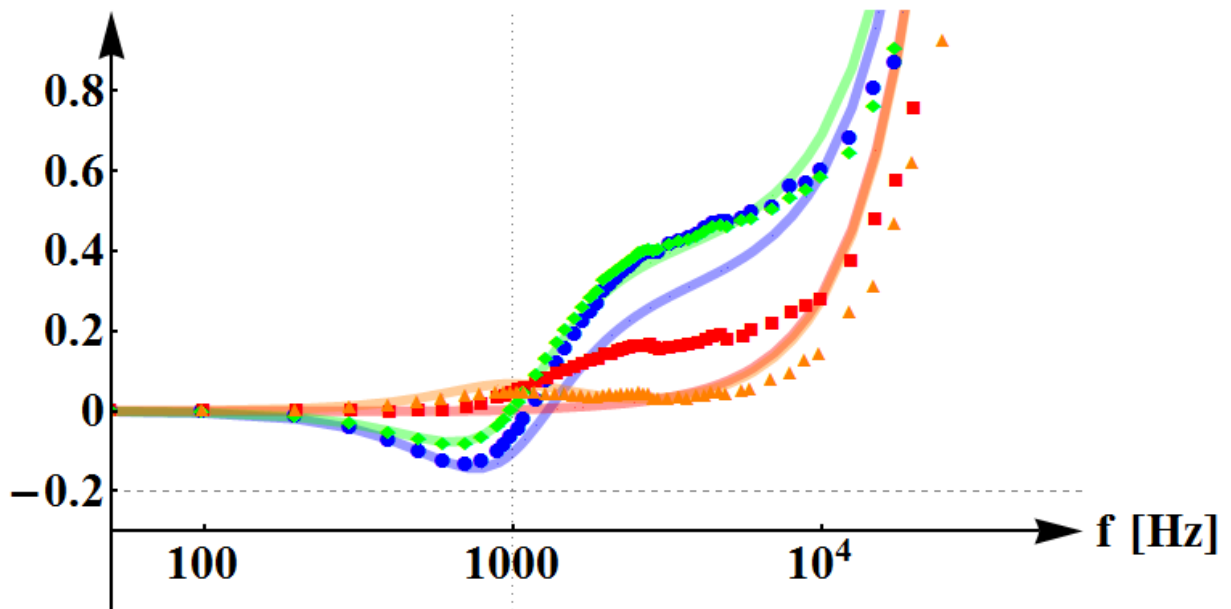


Figura 3.43 Errore nella risposta in ampiezza del filtro rispetto a quella ideale

Il **dimensionamento D4** rappresenta, in ultima analisi, la soluzione migliore in quanto unisce due vantaggi fondamentali rispetto agli altri tre, cioè:

- minimizza l'errore della risposta in ampiezza e in fase (*Figura 3.43* e *Figura 3.44*) del filtro,
- minimizza l'influenza degli errori di processo attraverso la realizzazione con capacità multiple della fondamentale connesse in parallelo.

**Ph. Error [Rad]**

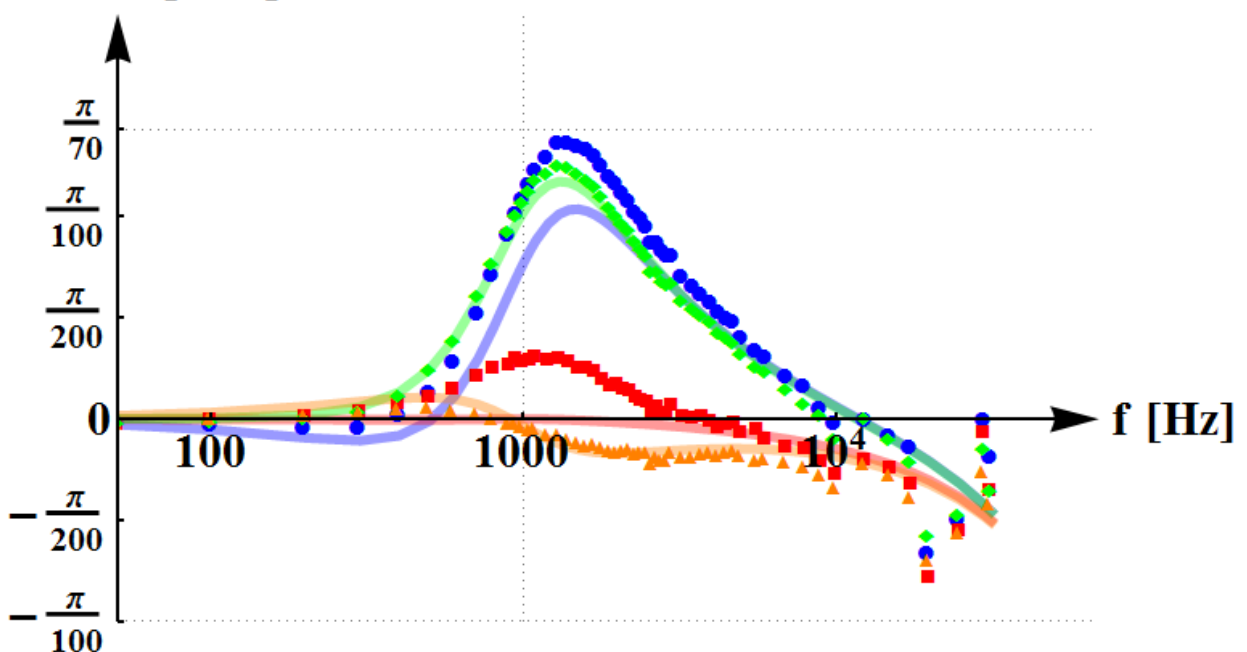


Figura 3.44 Errore nella risposta in fase del filtro rispetto a quella ideale

Un'interessante alternativa (dal punto di vista simulativo) per mostrare gli effetti della funzione filtrante consiste nell'utilizzo di un segnale ad onda quadra in ingresso (a bassa frequenza). Prendendo, per esempio, un'onda quadra a 40 Hz è possibile vedere l'effetto di *shaping* spettrale introdotto dal filtro sulle armoniche che la compongono (40 Hz, 120 Hz, 200 Hz, ecc).

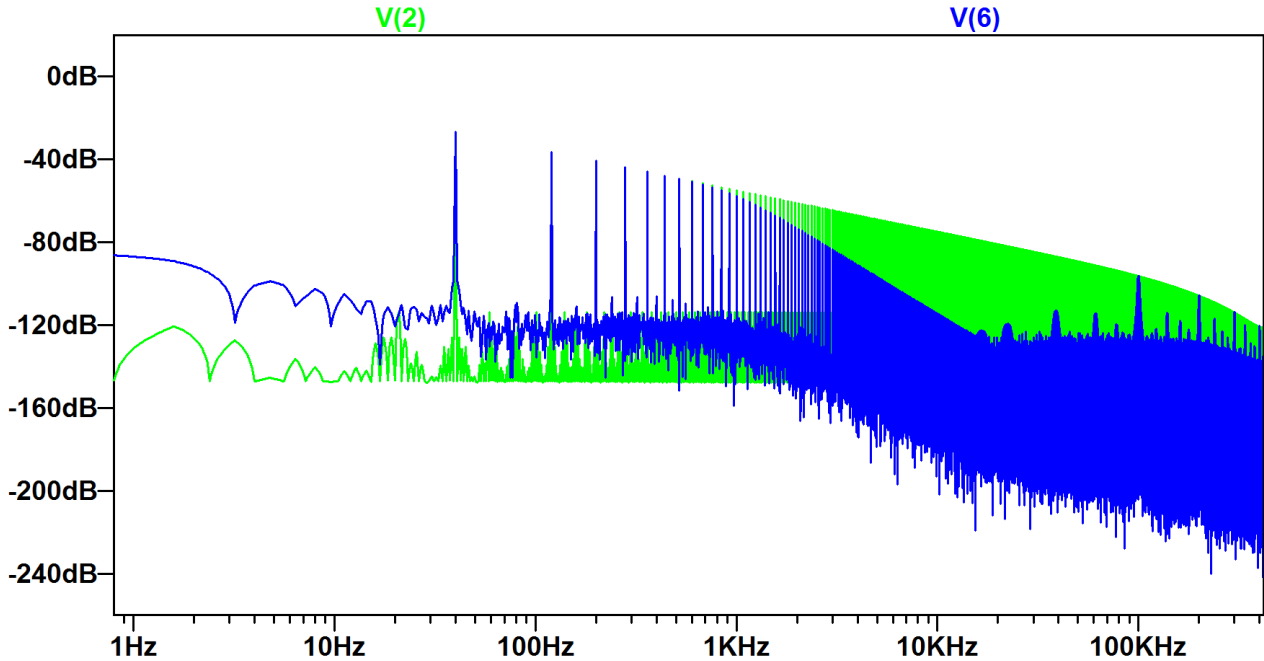


Figura 3.45 FFT di un'onda quadra a 40 Hz e della sua versione filtrata

Nel dominio del tempo l'onda quadra a bassa frequenza in ingresso permette di valutare inoltre la risposta del filtro al gradino di tensione.

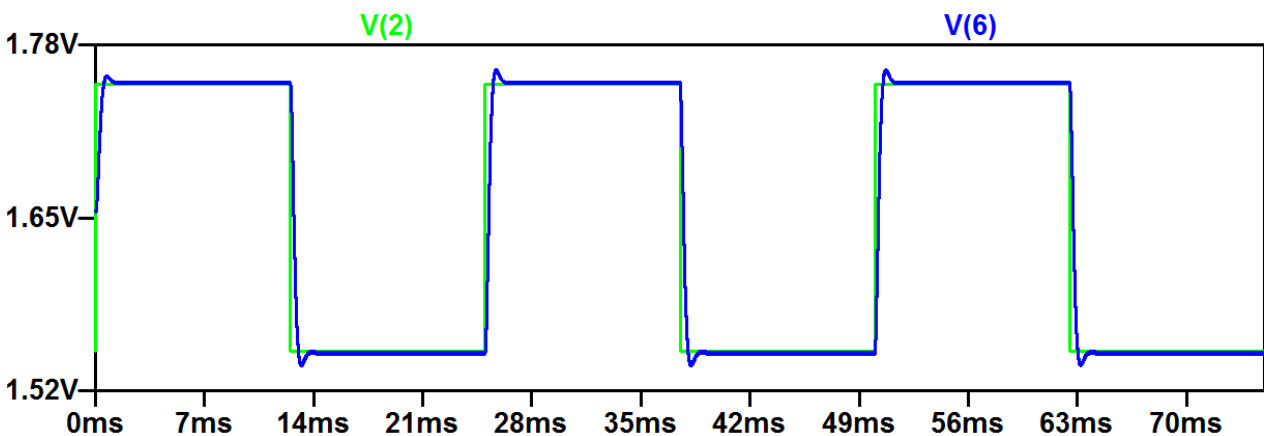


Figura 3.46 Risposta del filtro ad un'onda quadra a 40 Hz nel dominio del tempo

A fronte di uno *step* di tensione di 200 mV (centrato a 1.65 V) il filtro di *Butterworth* realizzato presenta un *settling time* di circa 1 ms (tempo necessario affinché la tensione di uscita rientri in un range del 2% attorno al valore di regime) e un *settling error* inferiore a 1.5 mV.

Un'ultima analisi per terminare la caratterizzazione del filtro è volta a verificare la presenza di eventuali effetti di non linearità. In ingresso vengono applicati due toni sinusoidali di ampiezza ( $Amp$  e  $\frac{Amp}{2}$ ) e frequenza differente (500 Hz e 166 Hz) e viene valutata la presenza o meno di *mixing* frequenziale in uscita.

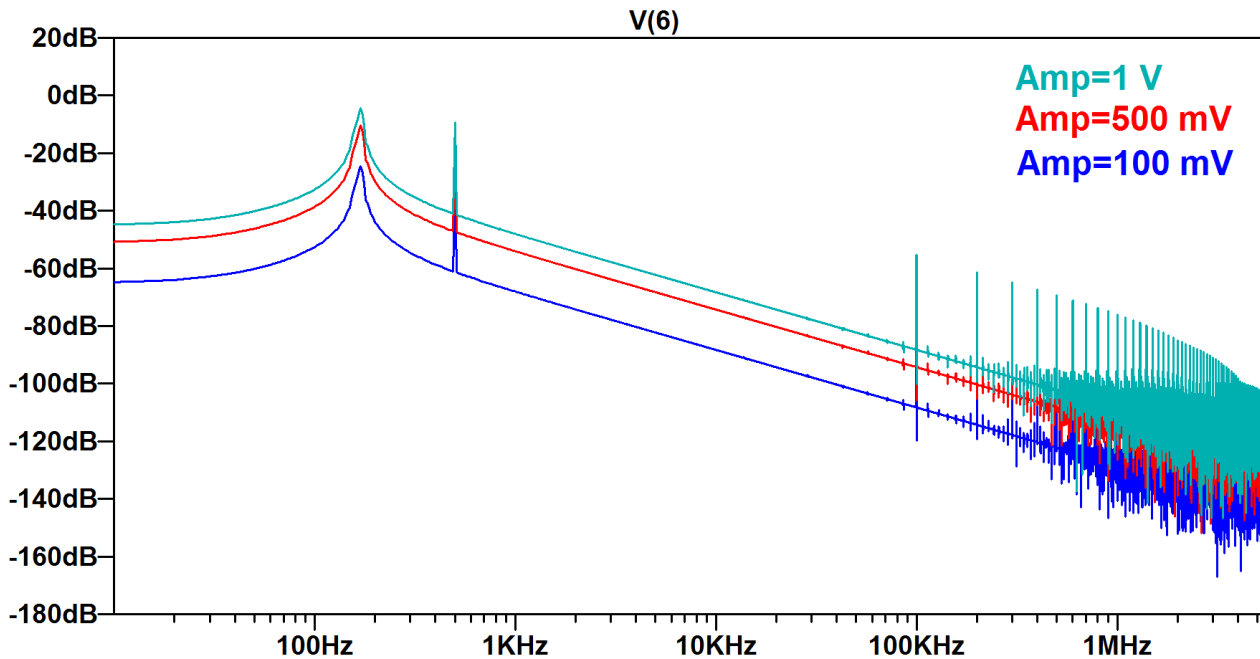


Figura 3.47 Risposta in frequenza del filtro alla somma di due toni sinusoidali in ingresso

In *Figura 3.47* sono mostrati i risultati di *LTSpice* considerando diverse ampiezze delle sinusoidi in ingresso. Nello spettro di uscita non si nota alcuna componente di intermodulazione anche sovrapponendo due toni di una certa ampiezza, pertanto si può affermare che il filtro progettato gode di proprietà di linearità più che soddisfacenti.

## 3.11 Conclusioni

In questo progetto è stato realizzato un filtro passa-basso di *Butterworth* del secondo ordine a capacità commutate con frequenza di taglio ad 1 kHz, analizzando e dimensionando tutti i componenti al suo interno.

Il primo capitolo è stato dedicato al progetto e alla caratterizzazione di un amplificatore operazionale a due stadi con il rispettivo generatore di corrente di riferimento. Attraverso un'analisi teorica sono state ricavate le equazioni di progetto, al fine di ottenere utili indicazioni per il dimensionamento. Utilizzando il tool *LTSpice IV* è stato infine possibile simulare il circuito e adattare il dimensionamento ottenuto, in modo da soddisfare le specifiche (guadagno, larghezza di banda, margine di fase...).

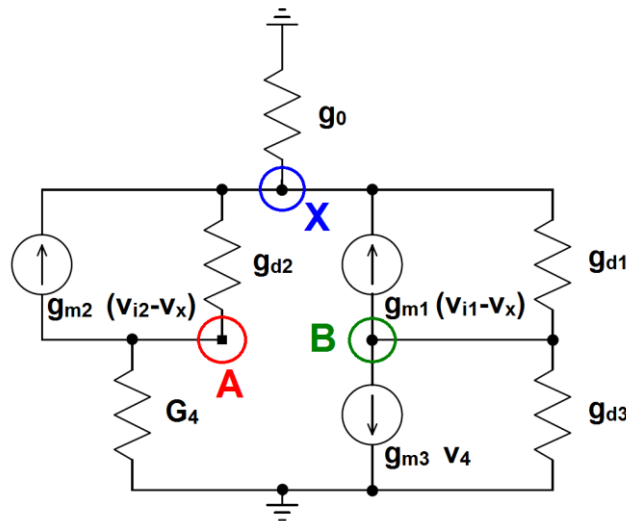
Nel secondo capitolo l'attenzione viene posta sui componenti "passivi". Per i vantaggi in termini di integrabilità e precisione nel processo fotolitografico è stata scelta una implementazione dei resistori attraverso capacità commutate. Gli switch sono stati realizzati utilizzando transfer gate in quanto essi hanno minore resistenza nello stato di accensione e maggiore indipendenza dalla tensione di ingresso rispetto ai pass transistor. È stata infine progettata una opportuna circuiteria in grado di generare un segnale di clock per pilotare gli interruttori e consentirne il corretto funzionamento.

Nel terzo ed ultimo capitolo sono stati dimensionati i condensatori al fine di ottenere la funzione filtrante desiderata. A tale scopo sono stati seguiti due differenti approcci. Nel primo caso si è proceduto con l'analisi nel dominio di *Laplace* considerando l'approssimazione tempo-continua del circuito (capacità commutate sostituite da resistori equivalenti). Nel secondo caso è stata definita una procedura generale per il dimensionamento di un filtro a capacità commutate a partire dall'analisi circuitale tempo-discreta, sfruttando la *trasformata Z* e l'approssimazione bilineare. Per entrambi i casi è stato proposto un dimensionamento alternativo, volto a minimizzare l'influenza degli errori di processo sulla fdt del filtro, nel quale tutte le capacità vengono realizzate come repliche in parallelo di una capacità fondamentale. Dopo un'analisi delle non idealità legate ad operazionale e capacità commutate, si è passati infine alla simulazione del filtro per confrontare le quattro alternative di dimensionamento ricavate. In questa fase sono stati inoltre eseguiti opportuni tuning parametrici sulle dimensioni di interruttori e circuiteria di clock volti a diminuire i disturbi presenti sulla forma d'onda di uscita. Dal confronto delle risposte in frequenza è stato infine possibile individuare l'alternativa di dimensionamento migliore in grado di minimizzare al contempo l'errore nella risposta di ampiezza (rispetto alla fdt di *Butterworth* ideale) e l'influenza degli errori di processo sulle capacità.

# Appendice A

## Calcolo Guadagno Differenziale-Guadagno di Modo Comune OP-AMP (Capitolo 1)

Prendendo in considerazione il circuito equivalente a piccolo segnale dello stadio di ingresso differenziale dell'OP-AMP mostrato nella seguente figura si possono scrivere le leggi di *Kirchoff* delle correnti ai nodi contrassegnati con le lettere **A**, **B** ed **X**.



$$\mathbf{A} \quad g_{m2}(v_{i2} - v_X) + g_{d2}(v_4 - v_X) + G_4 v_4 = 0$$

$$\mathbf{B} \quad g_{m1}(v_{i1} - v_X) + g_{m3} v_4 + g_{d1}(v_0 - v_X) + g_{d3} v_0 = 0$$

$$\mathbf{X} \quad g_0 v_X - g_{m2}(v_{i2} - v_X) - g_{d2}(v_4 - v_X) - g_{m1}(v_{i1} - v_X) - g_{d1}(v_0 - v_X) = 0$$

Con l'ausilio di *Mathematica* sono stati sviluppati i calcoli letterali ed è stato possibile ricavare le espressioni che definiscono il guadagno differenziale e il guadagno di modo comune.

## DIFFERENTIAL AMPLIFIER

### Differential Gain – Common Mode Gain

ClearAll["Global`\*"]

(\*Technology Parameters\*)

$\lambda_n = 0.008;$

$\lambda_p = 0.018;$

$\beta_n = 16010^{-6};$

$\beta_p = 4710^{-6};$

(\*Specifications and Transistor Sizing Parameters\*)

$I_{tot} = 15010^{-6};$

$n = 2;$

$I_1 = \frac{I_{tot}}{n + 1};$

$I_2 = \frac{I_{tot}n}{n + 1};$

$L = 210^{-6};$

$W_1 = 14010^{-6};$

$W_3 = 35.310^{-6};$

$W_6 = W_1;$

(\*Differential Parameters\*)

$G_4 = gm_4 + gd_4 + gmb_4$

$gm_6 = \sqrt{2\beta_n \frac{W_6}{L} I_2};$

$gd_6 = \lambda_n I_2;$

$gd_7 = \lambda_p I_2;$

(\*Differential Amplifier Relations\*)

$v_{i1} = v_{ic} + v_{id}/2$

$v_{i2} = v_{ic} - v_{id}/2$

$v_0 = A_d v_{id} + A_c v_{ic}$

SIMMETRY = { $gm_1 \rightarrow gm, gm_2 \rightarrow gm, gd_1 \rightarrow gd, gd_2 \rightarrow gd, gm_3 \rightarrow gm_L, gm_4 \rightarrow gm_L,$   
 $gd_3 \rightarrow gd_L, gd_4 \rightarrow gd_L$ };

APPROX1 = { $gd \rightarrow \lambda_p \frac{I_1}{2}, gd_L \rightarrow \lambda_n \frac{I_1}{2}, g_0 \rightarrow \lambda_p I_1, gmb_4 \rightarrow 0.3gm_L$ };

APPROX2 = { $gm \rightarrow \sqrt{2\beta_p \frac{W_1 I_1}{L} \frac{1}{2}}, gm_L \rightarrow \sqrt{2\beta_n \frac{W_3 I_1}{L} \frac{1}{2}}$ };

(\*Kirchoff Current Laws\*)

$KCLa = gm_2(v_{i2} - v_x) + gd_2(v_4 - v_x) + G_4 v_4$

$KCLb = gm_1(v_{i1} - v_x) + gm_3 v_4 + gd_1(v_0 - v_x) + gd_3 v_0$

$KCLx = g_0 v_x - gm_2(v_{i2} - v_x) - gd_2(v_4 - v_x) - gm_1(v_{i1} - v_x) - gd_1(v_0 - v_x)$

(\*Differential Gain\*)

$A_d /. (Solve[\{KCLa == 0, KCLb == 0, KCLx == 0\}, \{v_x, v_4, A_d\}] /. \{v_{ic} \rightarrow 0\} /. SIMMETRY) // FullSimplify$

$$\left\{ - \frac{gm(2(gd + gm)(gd_L + gmb_4 + 2gm_L) + g_0(gd + gd_L + gmb_4 + 2gm_L))}{2(g_0(gd + gd_L)(gd + gd_L + gmb_4 + gm_L) + (gd + gm)(2gd_L(gd_L + gmb_4 + gm_L) + gd(2gd_L + gmb_4 + 2gm_L)))} \right\}$$

## Appendice A

$$DG = N[Ad/.(Solve[\{KCLa == 0, KCLb == 0, KCLx == 0\}, \{vx, v4, Ad\}]/. \{vic \rightarrow 0\} /. SIMMETRY/. APPROX1/. APPROX2)//FullSimplify]$$

$$\{-599.72\}$$

$$DG2 = DG \frac{gm6}{gd6 + gd7}$$

$$\{-345220.35\}$$

(\*Common Mode Gain\*)

$$Ac/.(Solve[\{KCLa == 0, KCLb == 0, KCLx == 0\}, \{vx, v4, Ac\}]/. \{vid \rightarrow 0\} /. SIMMETRY)//FullSimplify$$

$$\left\{ - \frac{g0gm(gd + gdL + gmb4)}{g0(gd + gdL)(gd + gdL + gmb4 + gmL) + (gd + gm)(2gdL(gdL + gmb4 + gmL) + gd(2gdL + gmb4 + 2gmL))} \right\}$$

$$CMG = N[Ac/.(Solve[\{KCLa == 0, KCLb == 0, KCLx == 0\}, \{vx, v4, Ac\}]/. \{vid \rightarrow 0\} /. SIMMETRY/. APPROX1/. APPROX2)//FullSimplify]$$

$$\{-0.174\}$$

(\*CMRR\*)

$$DG/CMG$$

$$\{3443.61\}$$

## Guadagno Differenziale

$$A_d = - \frac{gm(2(gd + gm)(gdL + gmb4 + 2gmL) + g0(gd + gdL + gmb4 + 2gmL))}{2(g0(gd + gdL)(gd + gdL + gmb4 + gmL) + (gd + gm)(2gdL(gdL + gmb4 + gmL) + gd(2gdL + gmb4 + 2gmL))}$$

$$\approx - \frac{gm(2gm \ 2gmL + g0 \ 2 \ gmL)}{2(g0(gd + gdL) \ gmL + gm(2 \ gdL \ gmL + gd \ 2 \ gmL))} \approx - \frac{4 \ gm^2 \ gmL}{2 \ (g0 + 2 \ gm)(gd + gdL) \ gmL} \approx \frac{4 \ gm^2}{4 \ gm(gd + gdL)}$$

$$= \frac{gm}{gd + gdL}$$

## Guadagno di Modo Comune

$$A_c = - \frac{g0gm(gd + gdL + gmb4)}{g0(gd + gdL)(gd + gdL + gmb4 + gmL) + (gd + gm)(2gdL(gdL + gmb4 + gmL) + gd(2gdL + gmb4 + 2gmL))}$$

$$\approx - \frac{g0 \ gm(gd + gdL + gmb4)}{g0(gd + gdL)gmL + gm(2 \ gdL \ gmL + gd \ 2 \ gmL)} = - \frac{g0 \ gm(gd + gdL + gmb4)}{(2 \ gm + g0)(gd + gdL)gmL} \approx - \frac{g0 \ (gd + gdL + gmb4)}{2 \ gmL(gd + gdL)}$$





# Appendice B

## Generatore Corrente di Riferimento per OP-AMP (Capitolo 1) – Codice Sorgente Spice

```
*****
***** Current Generator (Thermal Voltage Reference) *****
*****

*** LIBRARIES
.lib ./c35/cmos7tm.mod
.lib ./c35/biptm.mod
.lib ./c35/restm.mod

*** COMPONENTS SIZE
.param wmir 10u
.param lmir 4u
.param wr 1u
.param lr 29.4u

***** NETLIST *****
* MOS TRANSISTOR
ma 10 6 8 8 modp w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
mb 6 6 8 8 modp w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
mc 10 10 11 0 modn w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
md 6 10 12 0 modn w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}

*BIPOLAR TRANSISTOR
q1 0 0 11 0 vert10
q2 0 0 13 0 vert10 2

* POLY-SILICON RESISTOR
xR0 12 13 rpoly2 params: w={wr} l={lr}

* BIAS VOLTAGE SOURCE
vdd 8 0 dc 3.3
*****

***** ANALYSIS *****
* TEMPERATURE SWEEP ANALYSIS
.dc lin temp 0 50 1

* DC-PSRR
.dc param dvdd -1 1 0.001
*****

.op
.probe
.end
```

**Amplificatore Operazionale (Capitolo 1) – Codice Sorgente Spice**

```
*****
***** 2-Stages Operational Amplifier *****
*****

*** LIBRARIES
.lib .././c35/restm.mod
.lib .././c35/captm.mod
.lib .././c35/cmos7tm.mod
.lib .././c35/biptm.mod

***** SIMULATION PARAMETERS & COMPONENT SIZE *****
*** BIAS VOLTAGE
.param vdc0 1.65

*** OFFSET
.param off 0

*** CURRENT GENERATOR
.param lmir 4u
.param wmir 10u
.param wr 1u
.param lr 29.4u

*** OP-AMP
.param ll 2u
.param w7 100u
.param w5 50u
.param w1 140u
.param w6 {w1}
.param w3 35.3u
.param w9 2u

*** COMPENSATION
.param lcomp 26.5u
*.param rr 4500

*** LOAD
*.param lload 50u
*****

***** NETLIST *****
*** CURRENT GENERATOR
ma 10 6 8 8 modp w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
mb 6 6 8 8 modp w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
mc 10 10 11 0 modn w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
md 6 10 12 0 modn w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}

q1 0 0 11 0 vert10
q2 0 0 13 0 vert10 2

xR0 12 13 rpoly2 params: w={wr} l={lr}
```

## Appendice B

### \*\*\* OP-AMP (SINGLE GATE TRANSISTOR)

\* m1, m2 pmos differential couple

m1 3 1 5 5 modp w={w1} l={ll} ad={0.85u\*w1} as={0.85u\*w1} pd={2\*(0.85u+w1)} ps={2\*(0.85u+w1)}

m2 4 2 5 5 modp w={w1} l={ll} ad={0.85u\*w1} as={0.85u\*w1} pd={2\*(0.85u+w1)} ps={2\*(0.85u+w1)}

\* m3, m4 nmos differential couple load

m3 3 4 0 0 modn w={w3} l={ll} ad={0.85u\*w3} as={0.85u\*w3} pd={2\*(0.85u+w3)} ps={2\*(0.85u+w3)}

m4 4 4 0 0 modn w={w3} l={ll} ad={0.85u\*w3} as={0.85u\*w3} pd={2\*(0.85u+w3)} ps={2\*(0.85u+w3)}

\* m6 nmos output pull down

m6 7 3 0 0 modn w={w6} l={ll} ad={0.85u\*w6} as={0.85u\*w6} pd={2\*(0.85u+w6)} ps={2\*(0.85u+w6)}

\* m5, m7 and m8 pmos current mirror

m5 5 6 8 8 modp w={w5} l={lmir} ad={0.85u\*w5} as={0.85u\*w5} pd={2\*(0.85u+w5)} ps={2\*(0.85u+w5)}

m7 7 6 8 8 modp w={w7} l={lmir} ad={0.85u\*w7} as={0.85u\*w7} pd={2\*(0.85u+w7)} ps={2\*(0.85u+w7)}

### \*\*\* COMPENSATION CAPACITOR & Rz

xCc 9 7 cpoly params: area={lcomp\*lcomp} peri={4\*lcomp}

\*Rz 3 9 {rr}

m9 3 8 9 0 modn w={w9} l={ll} ad={0.85u\*w9} as={0.85u\*w9} pd={2\*(0.85u+w9)} ps={2\*(0.85u+w9)}

### \*\*\* LOAD CAPACITOR

\*xCl 7 0 cpoly area={lload\*lload} peri={4\*lload}

### \*\*\* BIAS VOLTAGE SOURCE

vdd 8 0 dc 3.3

\*\*\*\*\*

### \*\*\*\*\* ANALYSIS \*\*\*\*\*

#### \*\*\* DIFFERENTIAL COUPLE INPUT

vin1 1 0 dc {vdc0+off} ac 0.5v

vin2 2 0 dc {vdc0} ac 0.5v 180

#### \*\*\* INPUT-OFFSET

\*.step param off 0.01u 0.03u 0.0001u

#### \*\*\* OUTPUT-OFFSET

\*.step param off -1m 1m 0.001m

#### \*\*\*\*\* GAIN \*\*\*\*\*

##### \* 1) DIFFERENTIAL GAIN

vin1 1 0 dc {vdc0+off} ac 0.5v

vin2 2 0 dc {vdc0} ac 0.5v 180

##### \* 2) COMMON MODE GAIN

\*vin1 1 0 dc {vdc0+off} ac 1v

\*vin2 2 0 dc {vdc0+off} ac 1v

.ac dec 1000 1 10g

\*\*\*\*\*

#### \*\*\*\*\* CMR \*\*\*\*\*

##### \* DIFFERENTIAL COUPLE INPUT

vin 1 0 dc {vdc0+off} ac 0.5v

.dc param vdc0 0 3.3 0.01

\*\*\*\*\*

## Appendice B

\*\*\*\*\* PSRR\*\*\*\*\*

\* DIFFERENTIAL COUPLE INPUT

vin1 1 0 dc {vdc0+off}

vin2 2 0 dc {vdc0}

\* 1) DC-PSRR

\*vdd 8 0 dc {3.3+dvdd}

\*.dc param dvdd -1 1 0.01

\* 2) AC-PSRR

vdd 8 0 dc 3.3 ac 1

.ac dec 1000 1 10meg

\*\*\*\*\*

\*\*\*\*\* SLEW RATE \*\*\*\*\*

\* DIFFERENTIAL COUPLE INPUT

vin 1 0 dc {vdc0} pulse {vdc0-0.5} {vdc0+0.5} 0 1n 1n 1u 2u

.tran 1n 4u 1.5u 1n

\*.step param cload list 2p 5p 10p

\*.step param lcomp 20u 100u 20u

\*\*\*\*\*

\*\*\*\*\* Rz (W9 SIZING) \*\*\*\*\*

\* DIFFERENTIAL COUPLE INPUT

vin1 1 0 dc {vdc0+off} ac 0.5v

vin2 2 0 dc {vdc0} ac 0.5v 180

.step param W9 1u 3u 1u

.ac dec 1000 1 10g

\*\*\*\*\*

\*\*\*\*\*

.op

.probe

.end

**Filtro a Capacità Commutate (Capitolo 1) – Codice Sorgente Spice**

```

*****
* 2nd Order Switched Capacitors Butterworth LowPass Filter *
*****

*** LIBRARIES
.lib ../c35/restm.mod
.lib ../c35/captm.mod
.lib ../c35/cmos7tm.mod
.lib ../c35/biptm.mod

*** SUBCIRCUITS
.lib ../Ref_Curr_Generator.cir
.lib ../OP-AMP.cir
.lib ../2pnocg_tg.cir
.lib ../Del_Chain.cir
.lib ../INV.cir
.lib ../NOR2.cir
.lib ../TGao.cir
.lib ../switchPtg.cir
.lib ../switchStg.cir

*** COMPONENTS SIZE

* rcg
.param lmir 4u
.param wmir 10u
.param wr 1u
.param lr 29.4u

* OP-AMP
.param ll 2u
.param w7 100u
.param w5 50u
.param w1 140u
.param w6 {w1}
.param w3 35.3u
.param w9 2u
.param lcomp 26.5u

* switch
.param wsn 0.65u
.param wsp 0.45u
.param ls 0.35u

* 2pnocg_tg
.param l_INV 15u
.param l_tg {l_INV}

* capacitors
* ----- DIM 1 ----- *
.param lc1_1 16.85u
.param lc1_2 {lc1_1}
.param lc1_3 {lc1_1}
.param lc1_4 20.15u
* ----- *
* ----- DIM 2 ----- *
.param lc2_1 16.85u
.param lc2_2 {lc2_1}
.param lc2_3 {lc2_1}
.param lc2_4 19.85u
.param lc2_a 19u
.param lc2_b {lc2_a}
* ----- *
* ----- DIM 3 ----- *
.param lc3_x 16.85u
* ----- *
* ----- DIM 4 ----- *
.param lc4_x 11.85u
* ----- *

*** SIMULATION PARAMETERS

* bias voltage
.param vdc0 1.65

* input sine wave
.param f0 500
.param amp 100m

```

## Appendice B

\*\*\*\*\* NETLIST \*\*\*\*\*

\* BIAS VOLTAGE SOURCE

vdc 1 0 {vdc0}

\* INPUT SIGNAL SOURCE

vin 2 1 dc 0 sin 0 {amp} {f0}

\* 2 PHASE NON-OVERLAPPING CLOCK GENERATOR (PH1 PH2)

X2PNOCG 7 8 9 10 2pnocg\_tg

\* REFERENCE CURRENT GENERATOR (OP-AMPS)

XRCG 11 rcg

\* OPAMP (+,-,mir\_gate,out)

XOA1 1 3 11 4 opamp

XOA2 1 5 11 6 opamp

\* SWITCH1 (in out bias cap ph1n ph1p ph2n ph2p)

XSW1 2 3 1 12 7 8 9 10 switchPtg

\* SWITCH2 (in out bias cap ph1n ph1p ph2n ph2p)

XSW2 5 4 1 13 7 8 9 10 switchPtg

\* SWITCH3 (in out bias cap1 cap2 ph1n ph1p ph2n ph2p)

XSW3 3 6 1 14 15 7 8 9 10 switchStg

\* SWITCH4 (in out bias cap ph1n ph1p ph2n ph2p)

XSW4 3 4 1 16 7 8 9 10 switchPtg

\* CAPACITORS

\* ----- DIM 1 ----- \*

xC1 12 1 cpoly params: mult=1 area={lc1\_1\*lc1\_1} peri={4\*lc1\_1}

xC2 13 1 cpoly params: mult=1 area={lc1\_2\*lc1\_2} peri={4\*lc1\_2}

xC3 14 15 cpoly params: mult=1 area={lc1\_3\*lc1\_3} peri={4\*lc1\_3}

xC4 16 1 cpoly params: mult=1 area={lc1\_4\*lc1\_4} peri={4\*lc1\_4}

xCa 6 5 cpoly params: mult=16 area={lc1\_1\*lc1\_1} peri={4\*lc1\_1}

xCb 4 3 cpoly params: mult=16 area={lc1\_1\*lc1\_1} peri={4\*lc1\_1}

\* ----- \*

\* ----- DIM 2 ----- \*

\*xC1 12 1 cpoly params: mult=1 area={lc2\_1\*lc2\_1} peri={4\*lc2\_1}

\*xC2 13 1 cpoly params: mult=1 area={lc2\_2\*lc2\_2} peri={4\*lc2\_2}

\*xC3 14 15 cpoly params: mult=1 area={lc2\_3\*lc2\_3} peri={4\*lc2\_3}

\*xC4 16 1 cpoly params: mult=1 area={lc2\_4\*lc2\_4} peri={4\*lc2\_4}

\*xCa1 6 5 cpoly params: mult=15 area={lc2\_1\*lc2\_1} peri={4\*lc2\_1}

\*xCa2 6 5 cpoly params: mult=1 area={lc2\_a\*lc2\_a} peri={4\*lc2\_a}

\*xCb1 4 3 cpoly params: mult=15 area={lc2\_1\*lc2\_1} peri={4\*lc2\_1}

\*xCb2 4 3 cpoly params: mult=1 area={lc2\_b\*lc2\_b} peri={4\*lc2\_b}

\* ----- \*

\* ----- DIM 3 ----- \*

\*xC1 12 1 cpoly params: mult=2 area={lc3\_x\*lc3\_x} peri={4\*lc3\_x}

## Appendice B

```
*xC2 13 1      cpoly params: mult=4      area={lc3_x*lc3_x} peri={4*lc3_x}
*xC3 14 15     cpoly params: mult=2      area={lc3_x*lc3_x} peri={4*lc3_x}
*xC4 16 1      cpoly params: mult=4      area={lc3_x*lc3_x} peri={4*lc3_x}
```

```
*xCa 6 5      cpoly params: mult=45     area={lc3_x*lc3_x} peri={4*lc3_x}
*xCb 4 3      cpoly params: mult=45     area={lc3_x*lc3_x} peri={4*lc3_x}
```

```
*-----*
```

```
*----- DIM 4 -----*
```

```
*xC1 12 1      cpoly params: mult=2      area={lc4_x*lc4_x} peri={4*lc4_x}
*xC2 13 1      cpoly params: mult=13     area={lc4_x*lc4_x} peri={4*lc4_x}
*xC3 14 15     cpoly params: mult=2      area={lc4_x*lc4_x} peri={4*lc4_x}
*xC4 16 1      cpoly params: mult=7      area={lc4_x*lc4_x} peri={4*lc4_x}
```

```
*xCa 6 5      cpoly params: mult=83     area={lc4_x*lc4_x} peri={4*lc4_x}
*xCb 4 3      cpoly params: mult=83     area={lc4_x*lc4_x} peri={4*lc4_x}
```

```
*-----*
```

```
*****
```

```
***** ANALYSIS *****
```

```
*.step param amp list 50m 100m 200m 400m
```

```
*.step param l_INV list 0.35u 5u 10u 15u 20u
```

```
*.step param l_tg list 24.1u 15u
```

```
*.step param wsn list 0.35u 0.65u 1u
```

```
.step param f0 list 50 100 200 300 400 500 600 714 800 900 950
```

```
+ 1000 1050 1100 1200 1300 1400 1500 1600 1700 1800 1900
```

```
+ 2000 2100 2200 2300 2400 2500 2600 2700 2800 2900
```

```
.tran 0.1u {12/f0} {2/f0} 0.1u
```

```
*.step param f0 list 3000 3250 3500 3750 4000 4250 4500 4750
```

```
*.tran 0.1u {15/f0} {5/f0} 0.1u
```

```
*.step param f0 list 5k 5.6k 6k 7k 8k 9k 10k
```

```
*.tran 0.1u {30/f0} {20/f0} 0.1u
```

```
*.step param f0 list 12.5k 15k 17.5k 20k 25k 30k 31.6k
```

```
*.tran 0.1u {40/f0} {30/f0} 0.1u
```

```
*****
```

```
.op
```

```
.probe
```

```
.end
```

## Appendice B

### Reference Current Generator (OP-AMP)

```
.subckt rcg 1
```

```
***** NETLIST *****
```

```
ma 3 1 2 2 modp w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
mb 1 1 2 2 modp w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
mc 3 3 4 0 modn w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
md 1 3 5 0 modn w={wmir} l={lmir} ad={0.85u*wmir} as={0.85u*wmir} pd={2*(0.85u+wmir)} ps={2*(0.85u+wmir)}
```

```
q1 0 0 4 0 vert10
q2 0 0 6 0 vert10 2
```

```
xR0 5 6 rpoly2 params: w={wr} l={lr}
```

```
*** Power Supply
vdd 2 0 dc 3.3
```

```
*****
```

```
.ends
.end
```

### 2 Stages OP-AMP

```
.subckt opamp 1 2 6 7
* in+ in- mirror_gate out
```

```
***** NETLIST *****
```

```
m1 3 1 5 5 modp w={w1} l={l1} ad={0.85u*w1} as={0.85u*w1} pd={2*(0.85u+w1)} ps={2*(0.85u+w1)}
m2 4 2 5 5 modp w={w1} l={l1} ad={0.85u*w1} as={0.85u*w1} pd={2*(0.85u+w1)} ps={2*(0.85u+w1)}
```

```
m3 3 4 0 0 modn w={w3} l={l3} ad={0.85u*w3} as={0.85u*w3} pd={2*(0.85u+w3)} ps={2*(0.85u+w3)}
m4 4 4 0 0 modn w={w3} l={l3} ad={0.85u*w3} as={0.85u*w3} pd={2*(0.85u+w3)} ps={2*(0.85u+w3)}
```

```
m6 7 3 0 0 modn w={w6} l={l6} ad={0.85u*w6} as={0.85u*w6} pd={2*(0.85u+w6)} ps={2*(0.85u+w6)}
```

```
m5 5 6 8 8 modp w={w5} l={l5} ad={0.85u*w5} as={0.85u*w5} pd={2*(0.85u+w5)} ps={2*(0.85u+w5)}
m7 7 6 8 8 modp w={w7} l={l7} ad={0.85u*w7} as={0.85u*w7} pd={2*(0.85u+w7)} ps={2*(0.85u+w7)}
```

```
xCc 9 7 cpoly params: area={lcomp*lcomp} peri={4*lcomp}
```

```
m9 3 8 9 0 modn w={w9} l={l9} ad={0.85u*w9} as={0.85u*w9} pd={2*(0.85u+w9)} ps={2*(0.85u+w9)}
```

```
*** Power Supply
vdd 8 0 dc 3.3
```

```
*****
```

```
.ends
.end
```



## Appendice B

### 2-Phase Non-Overlapping Clock Generator (for Transfer Gate switch)

```
.subckt 2pnocg_tg 10 8 14 12
* ph1 not(ph1) ph2 not(ph2)

* CLK in
Vclk 1 0 dc 0 pulse 0 3.3 0 100n 100n 5u 10u

*INV0 1 2
Xinv0 1 2 INV

*NOR1 2 3 4
Xnor1 2 3 4 NOR2

*DelChain1 4 6
Xdc1 4 5 Del_Chain

*NOR2 1 5 6
Xnor2 1 5 6 NOR2

*DelChain2 6 3
Xdc2 6 3 Del_Chain

*Transfer Gate AO1 5 7
Xtgao1 5 7 TGao

*INV31 7 8
Xinv31 7 8 INV

*INV32 5 9
Xinv32 5 9 INV
```

```
*INV33 9 10
Xinv33 9 10 INV

*Transfer Gate AO2 3 11
Xtgao2 3 11 TGao

*INV61 11 12
Xinv61 11 12 INV

*INV62 3 13
Xinv62 3 13 INV

*INV63 13 14
Xinv63 13 14 INV

*.tran 0.1u 50u 0 0.1u
.ends
.end
```

### 2 Inverter Delay Chain

```
.subckt Del_Chain 1 3

* INV1 1 2
Xinv1 1 2 INV

* INV2 2 3
Xinv2 2 3 INV

.ends
.end
```

### Inverter

```
.subckt INV 2 3

.param wp_INV 0.8u
.param wn_INV 0.5u
```

```
***** NETLIST *****
```

```
m1 3 2 1 1 modp w={wp_INV} l={l_INV} ad={0.85u*wp_INV} as={0.85u*wp_INV} pd={2*(0.85u+wp_INV)}
ps={2*(0.85u+wp_INV)}
```

```
m2 3 2 0 0 modn w={wn_INV} l={l_INV} ad={0.85u*wn_INV} as={0.85u*wn_INV} pd={2*(0.85u+wn_INV)}
ps={2*(0.85u+wn_INV)}
```

```
*** Power Supply
Vdd 1 0 3.3
```

```
*****
```

```
.ends
.end
```

## Appendice B

### 2 input NOR

```
.subckt NOR2 2 3 4
```

```
.param wp_NOR 1u  
.param wn_NOR 0.5u  
.param l_NOR {l_INV}
```

```
***** NETLIST *****
```

```
m1 5 2 1 1 modp w={wp_NOR} l={l_NOR} ad={0.85u*wp_NOR} as={0.85u*wp_NOR} pd={2*(0.85u+wp_NOR)}  
ps={2*(0.85u+wp_NOR)}
```

```
m2 4 3 5 1 modp w={wp_NOR} l={l_NOR} ad={0.85u*wp_NOR} as={0.85u*wp_NOR} pd={2*(0.85u+wp_NOR)}  
ps={2*(0.85u+wp_NOR)}
```

```
m3 4 2 0 0 modn w={wn_NOR} l={l_NOR} ad={0.85u*wn_NOR} as={0.85u*wn_NOR} pd={2*(0.85u+wn_NOR)}  
ps={2*(0.85u+wn_NOR)}
```

```
m4 4 3 0 0 modn w={wn_NOR} l={l_NOR} ad={0.85u*wn_NOR} as={0.85u*wn_NOR} pd={2*(0.85u+wn_NOR)}  
ps={2*(0.85u+wn_NOR)}
```

```
*** Power Supply  
vdd 1 0 3.3
```

```
*****
```

```
.ends  
.end
```

### Transfer Gate ALWAYS ON

```
.subckt TGao 2 3
```

```
.param wp_tg 0.8u  
.param wn_tg 0.5u
```

```
***** NETLIST *****
```

```
m1 2 0 3 1 modp w={wp_tg} l={l_tg} ad={0.85u*wp_tg} as={0.85u*wp_tg} pd={2*(0.85u+wp_tg)}  
ps={2*(0.85u+wp_tg)}
```

```
m2 3 1 2 0 modn w={wn_tg} l={l_tg} ad={0.85u*wn_tg} as={0.85u*wn_tg} pd={2*(0.85u+wn_tg)}  
ps={2*(0.85u+wn_tg)}
```

```
*** Power Supply  
vdd 1 0 3.3
```

```
*****
```

```
.ends  
.end
```

## Appendice B

### Parallel Switch (Transfer Gate)

```
.subckt switchPtg 2 6 1 4 3 8 5 9
* in out bias cap ph1n ph1p ph2n ph2p
```

```
***** NETLIST *****
```

```
m1n 2 3 4 0    modn w={wsn} l={ls} ad={0.85u*wsn} as={0.85u*wsn} pd={2*(0.85u+wsn)} ps={2*(0.85u+wsn)}
m1p 4 8 2 10   modp w={wsp} l={ls} ad={0.85u*wsp} as={0.85u*wsp} pd={2*(0.85u+wsp)} ps={2*(0.85u+wsp)}
```

```
m2n 4 5 6 0    modn w={wsn} l={ls} ad={0.85u*wsn} as={0.85u*wsn} pd={2*(0.85u+wsn)} ps={2*(0.85u+wsn)}
m2p 6 9 4 10   modp w={wsp} l={ls} ad={0.85u*wsp} as={0.85u*wsp} pd={2*(0.85u+wsp)} ps={2*(0.85u+wsp)}
```

```
*** Power Supply
vdd 10 0 3.3
```

```
*****
```

```
.ends
.end
```

### Series Switch (Transfer Gate)

```
.subckt switchStg 2 7 1 4 6 3 8 5 9
* in out bias cap1 cap2 ph1n ph1p ph2n ph2p
```

```
***** NETLIST *****
```

```
m1n 2 5 4 0    modn w={wsn} l={ls} ad={0.85u*wsn} as={0.85u*wsn} pd={2*(0.85u+wsn)} ps={2*(0.85u+wsn)}
m1p 4 9 2 10   modp w={wsp} l={ls} ad={0.85u*wsp} as={0.85u*wsp} pd={2*(0.85u+wsp)} ps={2*(0.85u+wsp)}
```

```
m2n 4 3 1 0    modn w={wsn} l={ls} ad={0.85u*wsn} as={0.85u*wsn} pd={2*(0.85u+wsn)} ps={2*(0.85u+wsn)}
m2p 1 8 4 10   modp w={wsp} l={ls} ad={0.85u*wsp} as={0.85u*wsp} pd={2*(0.85u+wsp)} ps={2*(0.85u+wsp)}
```

```
m3n 6 5 1 0    modn w={wsn} l={ls} ad={0.85u*wsn} as={0.85u*wsn} pd={2*(0.85u+wsn)} ps={2*(0.85u+wsn)}
m3p 1 9 6 10   modp w={wsp} l={ls} ad={0.85u*wsp} as={0.85u*wsp} pd={2*(0.85u+wsp)} ps={2*(0.85u+wsp)}
```

```
m4n 6 3 7 0    modn w={wsn} l={ls} ad={0.85u*wsn} as={0.85u*wsn} pd={2*(0.85u+wsn)} ps={2*(0.85u+wsn)}
m4p 7 8 6 10   modp w={wsp} l={ls} ad={0.85u*wsp} as={0.85u*wsp} pd={2*(0.85u+wsp)} ps={2*(0.85u+wsp)}
```

```
*** Power Supply
vdd 10 0 3.3
```

```
*****
```

```
.ends
.end
```



# Appendice C

## Dimensionamenti delle Capacità – Codice Sorgente *Mathematica*

### SWITCHED CAPACITOR 2nd ORDER BUTTERWORTH LOW-PASS FILTER

#### Capacitor Sizing

#### Initialization

```
ClearAll["Global`*"]  
Specs := {T → 10-5, Fc → 103}; (*ClockPeriodandCut – OffFrequencySpecifcs*)
```

```
Ωc := 2πFc (*Cut – Off Pulsation*)
```

```
ωc :=  $\frac{2}{T} \tan\left[\frac{\Omega c T}{2}\right]$  (*WarpingPre – Distortion*)
```

```
z :=  $\frac{\frac{2}{T} + s}{\frac{2}{T} - s}$  (*BilinearTransform*)
```

```
(*ContinuousTimeTransferFunctionCoefficients*)
```

```
COEFF1err :=  $\frac{\text{Abs}\left[\frac{C1C2}{CaCbT^2} - \Omega^2\right]}{\Omega^2}$ 
```

```
COEFF2err :=  $\frac{\text{Abs}\left[\frac{C4}{CbT} - \sqrt{2}\Omega\right]}{\Omega}$ 
```

```
Hdt[s ] :=  $\frac{C1C2}{CaCb} \frac{z}{z^2 + \left(\frac{C2C3}{CaCb} + \frac{C4}{Cb} - 2\right)z + 1 - \frac{C4}{Ca}}$  (*Discrete Time Filter TransferFunction*)
```

```
LtoC[l_] := 0.8610-3l2 + 0.08610-94l (*Capacitor – Sizing Relation*)
```

```
Hdtlf[s ] :=  $\frac{-4C1C2}{\text{Denominator}\left[\text{Together}\left[\text{Hdt}[s]\right]\right]}$  (*DiscreteTimeFilterTransferFunction – Low – Freq. Approx. *)
```

```
CL = CoefficientList[1/Hdtlf[s], s]; (*Denominator Polynomial Coefficients*)
```

```
(*Division by s2 Coefficient*)
```

```
CN := FullSimplify[1/CL[[3]]] (*NumeratorNormalizedCoefficient*)
```

```
CD := FullSimplify[CL/CL[[3]]] (*DenominatorNormalizedCoefficients*)
```

## Capacitor Sizing

### D1

```
Clear[C1, C2, C3, C4, Ca, Cb]
```

#### 1st STEP

```
(*E. P. 22*)
```

```
Cap1 = {C1 → 0.25 × 10-12};
```

```
C2 = C1;
```

```
C3 = C1;
```

```
Cb = Ca;
```

```
Quiet[N[Solve[{COEFF1err == 0, COEFF2err == 0}/. {Ω → Ωc}, {C4, Ca}]]][[2]]/. Specs]
{C4 → 1.4142135623730951C1, Ca → 15.915494309189535C1}
```

#### 2nd STEP

```
(*Ca and Cb = 16//C1*)
```

```
Ca = 16 C1;
```

```
sol1 = N[Solve[COEFF2err == 0/. {Ω → Ωc}, C4]/. Specs]][[1]];
```

```
C4 = C4/. sol1;
```

```
D1 = {C1, C4}/. Cap1
```

```
{2.5 × 10-13, 3.554306350526693 × 10-13}
```

#### 3rd STEP

```
(*FindOutC1andC4Dimensions*)
```

```
Table[Solve[D1[[i]] == LtoC[l]&& l > 0, l][[1]][[1]], {i, 1, 2}]
```

```
{l → 0.00001685103147667626, l → 0.000020130554249890855}
```

```
(*EffectiveC1andC4CapacitorLength*)
```

```
L1 = {16.85, 20.15}10-6;
```

```
(*EffectiveC1andC4ResultingCapacitance*)
```

```
E1 = Table[LtoC[L1[[i]]], {i, 1, 2}]
```

```
{2.4996975 × 10-13, 3.561109499999999 × 10-13}
```

#### 4th STEP

```
Clear[C1, C4, Ca]
```

```
(*Mean %Error over TF Coefficients due to 0.05μm Minimum Process Length Step*)
```

```
Abs[ $\frac{1}{2}((\text{COEFF1err} + \text{COEFF2err})/. \{C1 \rightarrow E1[[1]], C4 \rightarrow E1[[2]], Ca \rightarrow 16E1[[1]], \Omega$ 
```

```
 $\rightarrow \Omega c\}) - \frac{1}{2}((\text{COEFF1err} + \text{COEFF2err})/. \{C1 \rightarrow 0.25 \cdot 10^{-12}, C4 \rightarrow 0.356 \cdot 10^{-12}, Ca \rightarrow 410^{-12}, \Omega$ 
```

```
 $\rightarrow \Omega c\})]/. Specs$ 
```

```
0.0003064620727189771
```

## D2 (Bilinear Transform Matching)

Clear[C1, C2, C3, C4, Ca, Cb, Ca1, Ca2]

### 1st STEP

(\*E. P. 23\*)

Cap2 = {C1 → 0.2510<sup>-12</sup>};

C2 = C1;

C3 = C1;

(\*Find Out that C1 = C3 <-> Ca = Cb\*)

sol2 = N[Solve[{CN == ωc<sup>2</sup>, CD[[1]] == ωc<sup>2</sup>, CD[[2]] == √2ωc}, {C4, Ca, Cb}][[2]]/. Specs  
 {C4 → 1.383143684189663C1, Ca → 16.267653801239437C1, Cb → 16.267653801239437C1}

### 2nd STEP

Cb = Ca;

C4 = C4/. sol2;

Ca = Ca/. sol2;

Ca1 = 15C1;

(\*Ca = (15//C1)//Ca2 = Ca1//Ca2\*)

Ca2 = Ca2/. Solve[Ca == Ca1 + Ca2, Ca2][[1]];

D2 = {C1, C4, Ca2} /. Cap2

{2.5 × 10<sup>-13</sup>, 3.457859210474157 × 10<sup>-13</sup>, 3.169134503098592 × 10<sup>-13</sup>}

### 3rd STEP

(\*FindOutC1C4andCa2Dimensions\*)

Table[Solve[D2[[i]] == LtoC[l]&& l > 0, l][[1]][[1]], {i, 1, 3}]

{l → 0.00001685103147667626, l → 0.00001985284649072834, l → 0.00001899750014945197}

(\*EffectiveC1C4andCa2CapacitorLength\*)

E2 = Table[LtoC[L2[[i]]], {i, 1, 3}]

{2.4996975 × 10<sup>-13</sup>, 3.456877500000001 × 10<sup>-13</sup>, 3.16996 × 10<sup>-13</sup>}

### 4th STEP

Clear[C1, C4, Ca]

(\*Mean%ErroroverTFCoefficientsdueto0.05μmMinimumProcessLengthStep\*)

$$\text{Abs}\left[\frac{1}{3}\left(\frac{\text{Abs}[\text{CN} - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[1]] - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[2]] - \sqrt{2}\omega c]}{\omega c}\right) / \{C1 \rightarrow E2[[1]], C4 \rightarrow E2[[2]], Ca\right. \\
 \left. \rightarrow 15E2[[1]] + E2[[3]]\} - \frac{1}{3}\left(\frac{\text{Abs}[\text{CN} - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[1]] - \omega c^2]}{\omega c^2}\right) \right. \\
 \left. + \frac{\text{Abs}[\text{CD}[[2]] - \sqrt{2}\omega c]}{\omega c} / \{C1 \rightarrow 0.2510^{-12}, C4 \rightarrow 0.34610^{-12}, Ca \rightarrow 4.06710^{-12}\}\right] /. \text{Specs}$$

0.00016474969141504995

### D3 (// Fundamental Capacitors)

```
Clear[C1, C2, C3, C4, Ca, Cb]
Clear[K1, K2, K4, Ka]
```

#### 1st STEP

```
(*FundamentalCapacitor*)
Cu3 = 0.2510-12;
```

```
(*BasicConstraint*)
Cb = Ca
```

```
(*K ranges*)
K1min = 1;
K1max = 10;
```

```
K2min = 1;
K2max = 20;
```

```
K4min = 1;
K4max = 10;
```

```
Kamin = 30;
Kamax = 100;
```

```
(*Coefficient Mean Percentual Error 4D Table*)
```

```
K3table = Table[ $\frac{1}{2}$ ((COEFF1err + COEFF2err)/. {C1 → K1, C2 → K2, C4 → K4, Ca → Ka, Ω  
→ Ωc}), {K1, K1min, K1max}, {K2, K2min, K2max}, {K4, K4min, K4max}, {Ka, Kamin, Kamax}]  
/. Specs;
```

```
(*SearchforMinimum*)
```

```
N[Min[K3table]]
0.0006000456037911243
```

#### 2nd STEP

```
(*Numberof//CapacitorsforC1 = C3, C2, C4, Ca = Cb*)
```

```
P3table = Position[K3table, Min[K3table]];
P3table = P3table + Table[{K1min - 1, K2min - 1, K4min - 1, Kamin - 1}, {i, 1, Length[P3table]}]
{{1,8,4,45}, {2,4,4,45}, {2,16,8,90}, {4,2,4,45}, {4,8,8,90}, {8,1,4,45}, {8,4,8,90}}
```

```
(*TotalNumberofCapacitors(toMinimize...)*)
```

```
Table[2 * P3table[[i]][[1]] + P3table[[i]][[2]] + P3table[[i]][[3]] + 2 * P3table[[i]][[4]], {i, 1, Length[P3table]}]
{104,102,208,104,204,111,208}
```

```
(*Capacitance Values for Set n°2*)
```

```
D3 = Cu3 P3table[[2]]
{5. × 10-13, 1. × 10-12, 1. × 10-12, 1.125 × 10-11}
```



---

### 3rd STEP

(\*FundamentalSquaredCapacitorLength\*)

Solve[Cu3 == LtoC[l]&&l > 0, l][[1]]  
{l → 0.00001685103147667626}

(\*Effective Cu Length\*)

Cu3eff = LtoC[16.8510<sup>-6</sup>]  
2.4996975 × 10<sup>-13</sup>

(\*C1 = C3C2C4Ca = CbResultingCapacitance\*)

E3 = Cu3eff P3table[[2]]  
{4.999395 × 10<sup>-13</sup>, 9.99879 × 10<sup>-13</sup>, 9.99879 × 10<sup>-13</sup>, 1.124863875 × 10<sup>-11</sup>}

---

### 4th STEP

Clear[C1, C2, C4, Ca]

(\*Mean % Error over TF Coefficients due to 0.05μm Minimum Process Length Step\*)

Abs[ $\frac{1}{2}((\text{COEFF1err} + \text{COEFF2err}) / \{C1 \rightarrow E3[[1]], C2 \rightarrow E3[[2]], C4 \rightarrow E3[[3]], Ca \rightarrow E3[[4]], \Omega \rightarrow \Omega c\}) - \frac{1}{2}((\text{COEFF1err} + \text{COEFF2err}) / \{C1 \rightarrow D3[[1]], C2 \rightarrow D3[[2]], C4 \rightarrow D3[[3]], Ca \rightarrow D3[[4]], \Omega \rightarrow \Omega c\})] / \text{Specs}$

1.446325698095663 × 10<sup>-16</sup>

---

## D4 (Bilinear Transform Matching + // Fundamental Capacitors)

Clear[C1, C2, C3, C4, Ca, Cb]  
Clear[K1, K2, K4, Ka]

### 1st STEP

(\*FundamentalCapacitor\*)

Cu4 = 0.12510<sup>-12</sup>;

(\*BasicConstraints\*)

C3: = C1

Cb: = Ca

(\*K ranges\*)

K1min = 1;

K1max = 10;

K2min = 1;

K2max = 20;

K4min = 1;

K4max = 10;

Kamin = 30;

Kamax = 100;

---

## Appendice C

(\*Coefficient Mean Percentual Error 4D Table\*)

$$K4table = \text{Table}\left[\frac{1}{3}\left(\frac{\text{Abs}[\text{CN} - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[1]] - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[2]] - \sqrt{2}\omega c]}{\sqrt{2}\omega c}\right), \{C1 \rightarrow K1, C2 \rightarrow K2, C4 \rightarrow K4, Ca \rightarrow Ka\}, \{K1, K1min, K1max\}, \{K2, K2min, K2max\}, \{K4, K4min, K4max\}, \{Ka, Kamin, Kamax\}\right] /. \text{Specs};$$

(\*SearchforMinimum\*)(\*SearchforMinimum\*)

$N[\text{Min}[K4table]]$   
**0.003869130711182053**

---

### 2nd STEP

(\*Numberof//CapacitorsforC1 = C3, C2, C4, Ca = Cb\*)

$P4table = \text{Position}[K4table, \text{Min}[K4table]];$   
 $P4table = P4table + \text{Table}[\{K1min - 1, K2min - 1, K4min - 1, Kamin - 1\}, \{i, 1, \text{Length}[P4table]\}];$   
 $P4table = P4table[[1]]$   
**{2,13,7,83}**

(\*CapacitanceValues\*)

$D4 = \text{Cu4 } P4table$   
**{ $2.5 \times 10^{-13}$ ,  $1.625 \times 10^{-12}$ ,  $8.75 \times 10^{-13}$ ,  $1.0375 \times 10^{-11}$ }**

---

### 3rd STEP

(\*FundamentalSquaredCapacitorLength\*)

$\text{Solve}[\text{Cu4} == \text{LtoC}[l] \&\& l > 0, l][[1]]$   
**{ $l \rightarrow 0.000011857729355450898$ }**

(\*Effective Cu Length\*)

$\text{Cu4eff} = \text{LtoC}[11.8510^{-6}]$   
 **$1.248397499999 \times 10^{-13}$**

(\*C1 = C3 C2 C4 Ca = Cb Resulting Capacitance\*)

$E4 = \text{Cu4eff } P4table$   
**{ $2.496794999999 \times 10^{-13}$ ,  $1.622916749999 \times 10^{-12}$ ,  $8.7387825 \times 10^{-13}$ ,  $1.036169924999 \times 10^{-11}$ }**

---

### 4th STEP

$\text{Clear}[C1, C2, C4, Ca]$

(\*Mean %Error over TF Coefficients due to 0.05 $\mu\text{m}$  Minimum Process Length Step\*)

$$\text{Abs}\left[\frac{1}{3}\left(\frac{\text{Abs}[\text{CN} - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[1]] - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[2]] - \sqrt{2}\omega c]}{\sqrt{2}\omega c}\right), \{C1 \rightarrow E4[[1]], C2 \rightarrow E4[[2]], C4 \rightarrow E4[[3]], Ca \rightarrow E4[[4]]\}\right) - \frac{1}{3}\left(\frac{\text{Abs}[\text{CN} - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[1]] - \omega c^2]}{\omega c^2} + \frac{\text{Abs}[\text{CD}[[2]] - \sqrt{2}\omega c]}{\sqrt{2}\omega c}\right) /. \{C1 \rightarrow 0.2510^{-12}, C2 \rightarrow 1.62510^{-12}, C4 \rightarrow 0.87510^{-12}, Ca \rightarrow 10.37510^{-12}\}]/. \text{Specs}$$

**$2.046973701652632 \times 10^{-16}$**

---

# Appendice D

## Analisi dei Risultati – Codice Sorgente *Mathematica*

### SWITCHED CAPACITOR 2nd ORDER BUTTERWORTH LOW-PASS FILTER

---

#### Data-out Analysis

#### Initialization

```
ClearAll["Global`*"]
SetDirectory["C:\\Users\\" <> $UserName <
    > "\\Desktop\\Simulazioni Setti\\NEW\\Simulazioni\\Mathematica\\"];

```

```
T = 10-5; (*ClockPeriod[s]*)
ωc = 2π103; (*Cut - Off Frequency[Hz]*)

```

```
s = i2πf(*LaplaceDomainVariable*)
z = Cos[2πfT] + iSin[2πfT>(*Z - DomainVariable*)

```

```
(*CapacitorVectors[F]{d1, d2, d3, d4} → CapacitorSizingVector*)

```

```
C1 = {0.25,0.25,0.5,0.25}10-12;
C2 = {0.25,0.25,1,1.625}10-12;
C4 = {0.356,0.346,1,0.875}10-12;
Ca = {4,4.067,11.25,10.375}10-12;

```

```
(*SinewaveFrequencyVector*)

```

```
Freq = {50,100,200,300,400,500,600,714,800,900,950,1000,1050,1100,1200,1300,1400,1500,1600,1700,
1800,1900,2000,2100,2200,2300,2400,2500,2600,2700,2800,2900,3000,3250,3500,3750,4000,4250,
4500,4750,5000,5600,6000,7000,8000,9000,10000,12500,15000,17500,20000,25000,30000,31600};

```

```
NofSim = Length[Freq]; (*#54*)

```

```
NT = 10; (*AcquisitionPeriods*)

```

```
DFTord = 1024; (*DFTOrder*)

```

```
Colors = {Blue, Red, Green, Orange}; (*PlotColors{d1, d2, d3, d4}*)

```

#### 2nd Order Butterworth Transfer Function (Continuous Time vs Discrete Time)

```
Labels = {"|Hb2|vs|Hsc(d1)|", "|Hb2|vs|Hsc(d2)|", "|Hb2|vs|Hsc(d3)|", "|Hb2|vs|Hsc(d4)|"};

```

```
(*2ndOrderButterworthTransferFunction*)

```

$$Hb2[s_.] = \frac{\omega c^2}{s^2 + \sqrt{2}\omega c s + \omega c^2}$$

```
(*DiscreteTimeFilterTransferFunction*)

```

$$Hdt[z_., i_] := \frac{c1[[i]]c2[[i]]}{Ca[[i]]^2} \frac{z}{z^2 + \left( \frac{c1[[i]]c2[[i]]}{Ca[[i]]^2} + \frac{c4[[i]]}{Ca[[i]]} - 2 \right) z + 1 - \frac{c4[[i]]}{Ca[[i]]}}$$

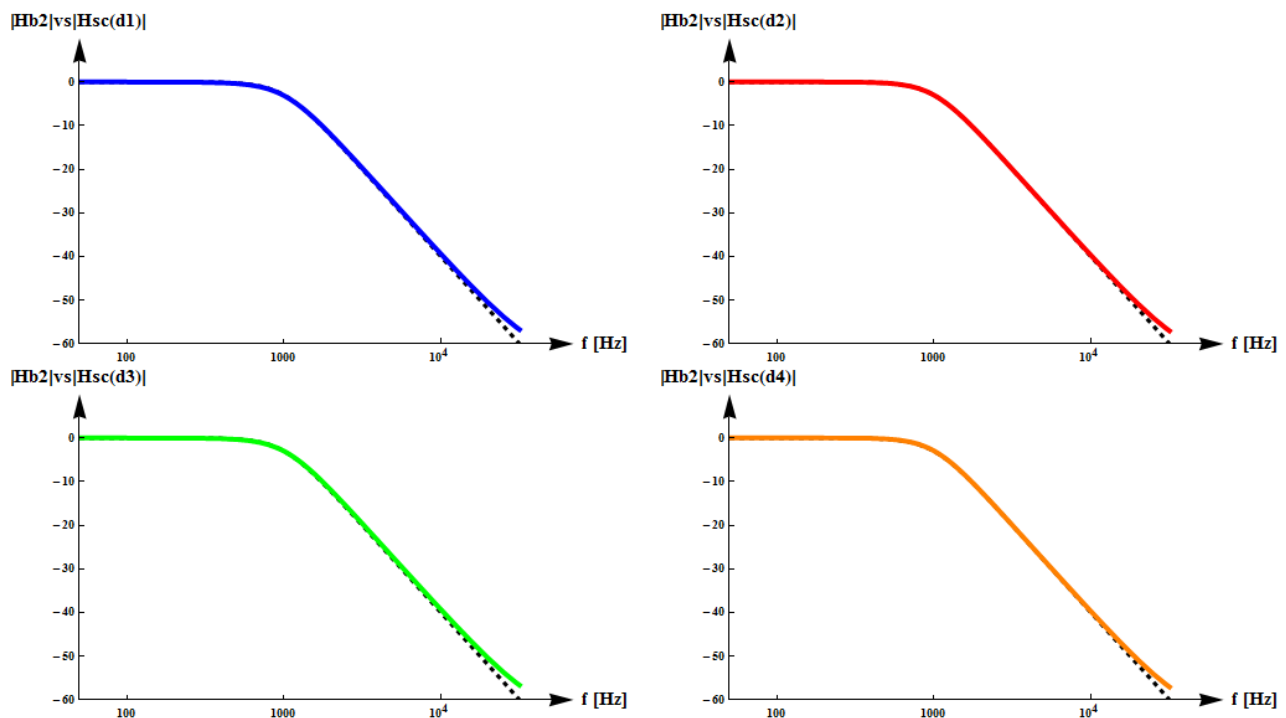
## Appendice D

```
B2tf = Transpose[{Freq, 20Log10[Abs[Hb2[s]]/.{f → {Freq}}][[1]]]; (*ContinuousTimeTransferFunction*)
DTtf[i_] := Transpose[{Freq, 20Log10[Abs[Hdt[z, i]]/.{f → {Freq}}][[1]]]; (*DiscreteTimeTransferFunction*)
```

```
(*ContinuousTimevsDiscreteTimeTFPlotArray{d1, d2, d3, d4}*)
```

```
Table[ListLogLinearPlot[{B2tf, DTtf[i]},
```

```
PlotStyle → {{Black, Thickness[0.008], Dashed}, {Colors[[i], Thickness[0.01]}},
AxesStyle → Directive[Black, FontSize → 10, Arrowheads[0.05]],
AxesLabel → {Style["f [Hz]", Black, Bold, FontSize → 15], Style[Labels[[i], Black, Bold, FontSize → 15]},
Ticks → {{1, 10, 100, 1000, {104, Superscript[10, 4]}}, {-60, -50, -40, -30, -20, -10, 0}},
TicksStyle → Directive[Black, Bold, FontSize → 10],
PlotRange → {{50, 7104}, {-60, 10}},
Joined → True,
ImageSize → 300, {i, 1, 4}]
```




---

### Import and Partition Data (may take some time)

```
Directories = {"d1", "d2", "d3", "d4"};
Data = Table[Split[Flatten[Import["SIM_" <> Directories[[i]] <> ".txt", "Table"], 2], #2 = != "Step" &], {i, 1, 4}];
DataS = Table[Partition[Drop[Data[[i]][[j]], 5], 2], {i, 1, 4}, {j, 1, NofSim}];
```

---

### Interpolation & Fixed Step Sampling (may take some time)

```
DataI = Table[Interpolation[DataS[[i]][[j]], InterpolationOrder → 1], {i, 1, 4}, {j, 1, NofSim}];
DataT = Table[DataI[[i]][[j]][(k NT / (DF Tord Freq[[j]]))], {i, 1, 4}, {j, 1, NofSim}, {k, 0, DF Tord - 1}];
(*DataT: 3DMatrixwith(i, j, k)indexes: i: CapacitorSizingj: SinewaveFrequencyk: SamplingPoint*)
```

## Free RAM and Export Samples

```
Clear[Data, DataS, DataI]
Export["DataT.mat", DataT];
```

---

## Import Samples

```
DataT = Import["DataT.mat"];
```

---

## DFT

```
DFT = Table[Fourier[DataT[[i]][[j]], FourierParameters → {1,1}][[NT + 1]]/
  Abs[Fourier[DataT[[i]][[1]], FourierParameters → {1,1}][[NT + 1]], {i, 1,4}, {j, 1, NofSim}];
```

---

```
ImgSize = 800;
FontS = 30;
```

(\*Discrete Time vs Continuous Time – DFT Amplitude and Phase Error\*)

```
ΔtfABS[i_]:= (Abs[20Log10[Abs[Hb2[s]]] - 20Log10[Abs[Hdt[z, i]]])/.{f → {Freq}}[[1]];
ΔtfPH[i_]:= (Arg[Hdt[z, i]] - Arg[Hb2[s]])/.{f → {Freq}}[[1]];
```

(\*Switched Capacitor Filter (SimulationData)vs ContinuousTime – DFT Amplitude and Phase Error\*)

```
ΔscABS[i_]:= Abs[(20Log10[Abs[Hb2[s]]]/.{f → {Freq}}[[1]] - 20Log10[Abs[DFT[[i]]]]);
ΔscPH = Table[-Arg[DFT[[i]][[j]]] - (-Arg[DFT[[i]][[1]]] - Abs[Arg[Hdt[z, 1]]]/.{f
  → 50}) - 2πBoole[-Arg[DFT[[i]][[j]]] > 0] - Arg[(Hb2[s]/.{f
  → Freq[[j]])]], {i, 1,4}, {j, 1, NofSim}];
```

```
{ListLogLinearPlot[Transpose[{Freq, 20Log10[Abs[Hb2[s]]]/.{f → {Freq}}[[1]]],
```

```
PlotStyle → {Blue, Thickness[0.005]},
AxesStyle → Directive[Black, Arrowheads[0.05], Thick],
AxesLabel → {Style["f [Hz]", Black, Bold, FontSize → FontS],
  Style["Amplitude [dB]", Black, Bold, FontSize → FontS]},
Ticks → {{1,10,100,1000, {104, Superscript[10,4]}}, {0, -20, -40, -60}},
TicksStyle → Directive[Black, Bold, FontSize → FontS],
GridLines → {{1000}, {-60, -30, -1}},
GridLinesStyle → {{Gray, Dotted}, {Gray, Dashed}},
PlotRange → {-70,15},
PlotMarkers → {Automatic, 1},
AxesOrigin → {50, -70},
Joined → True,
ImageSize → ImgSize],
```

```
ListLogLinearPlot[Transpose[{Freq, (Arg[Hb2[s]]/.{f → {Freq}})[[1]]],
```

```
PlotStyle → {Blue, Thickness[0.005]},
AxesStyle → Directive[Black, Arrowheads[0.05], Thick],
AxesLabel → {Style["f [Hz]", Black, Bold, FontSize → FontS],
  Style["Phase [Rad]", Black, Bold, FontSize → FontS]},
Ticks → {{1,10,100,1000, {104, Superscript[10,4]}}, {-2π, - $\frac{3}{2}\pi$ , -π, - $\frac{\pi}{2}$ , 0,  $\frac{\pi}{2}$ , π,  $\frac{3}{2}\pi$ , 2π}},
TicksStyle → Directive[Black, Bold, FontSize → FontS],
```

## Appendice D

GridLines  $\rightarrow \{\{1000\}, \{-\pi, -\frac{\pi}{2}\}\},$

GridLineStyle  $\rightarrow \{\{\text{Gray, Dotted}\}, \{\text{Gray, Dashed}\}\},$

PlotRange  $\rightarrow \{-5, 1\},$

PlotMarkers  $\rightarrow \{\text{Automatic}, 1\},$

AxesOrigin  $\rightarrow \{50, -3.5\},$

Joined  $\rightarrow \text{True},$

ImageSize  $\rightarrow \text{ImgSize}\}$

{Show[ListLogLinearPlot[Table[Transpose[{\text{Freq}, \Delta\text{fABS}[i]}], {i, 1, 4}],

PlotStyle  $\rightarrow \text{Table}[\text{Directive}[\text{Colors}[[i]], \text{Thickness}[0.01], \text{Opacity}[0.4]], \{i, 1, 4\}],$

AxesStyle  $\rightarrow \text{Directive}[\text{Black}, \text{Arrowheads}[0.05], \text{Thick}],$

AxesLabel  $\rightarrow \{\text{Style}["f [\text{Hz}]", \text{Black}, \text{Bold}, \text{FontSize} \rightarrow \text{FontS}],$

Style["Amp. Error [dB]", \text{Black}, \text{Bold}, \text{FontSize} \rightarrow \text{FontS}]\},

Ticks  $\rightarrow \{\{1, 10, 100, 1000, \{10^4, \text{Superscript}[10, 4]\}\}, \{0, 0.2, 0.4, 0.6, 0.8\}\},$

TicksStyle  $\rightarrow \text{Directive}[\text{Black}, \text{Bold}, \text{FontSize} \rightarrow \text{FontS}],$

GridLines  $\rightarrow \{\{1000\}, \{\}\},$

GridLineStyle  $\rightarrow \{\{\text{Gray, Dotted}\}, \{\}\},$

AxesOrigin  $\rightarrow \{50, -0.05\},$

PlotRange  $\rightarrow \{\{50, 710^4\}, \{-0.05, 1\}\},$

PlotMarkers  $\rightarrow \{\text{Automatic}, 0\},$

Joined  $\rightarrow \{\text{True}, \text{True}, \text{True}, \text{True}, \text{False}, \text{False}, \text{False}, \text{False}\},$

ImageSize  $\rightarrow \text{ImgSize}],$

ListLogLinearPlot[Table[Transpose[{\text{Freq}, \Delta\text{scABS}[i]}], {i, 1, 4}],

ListLogLinearPlot[Table[Transpose[{\text{Freq}, \Delta\text{scABS}[i]}], {i, 1, 4}],

PlotMarkers  $\rightarrow \{\text{Automatic}, 15\},$

Joined  $\rightarrow \text{False}]],$

Show[ListLogLinearPlot[Table[Transpose[{\text{Freq}, \Delta\text{fPH}[i]}], {i, 1, 4}],

PlotStyle  $\rightarrow \text{Table}[\{\text{Colors}[[i]], \text{Thickness}[0.01], \text{Opacity}[0.4]\}, \{i, 1, 4\}],$

AxesStyle  $\rightarrow \text{Directive}[\text{Black}, \text{Arrowheads}[0.05], \text{Thick}],$

AxesLabel  $\rightarrow \{\text{Style}["f [\text{Hz}]", \text{Black}, \text{Bold}, \text{FontSize} \rightarrow \text{FontS}],$

Style["Ph. Error [Rad]", \text{Black}, \text{Bold}, \text{FontSize} \rightarrow \text{FontS}]\},

Ticks  $\rightarrow \{\{1, 10, 100, 1000, \{10^4, \text{Superscript}[10, 4]\}\}, \{-\frac{\pi}{100}, -\frac{\pi}{200}, 0, \frac{\pi}{200}, \frac{\pi}{100}, \frac{\pi}{70}\}\},$

TicksStyle  $\rightarrow \text{Directive}[\text{Black}, \text{Bold}, \text{FontSize} \rightarrow \text{FontS}],$

GridLines  $\rightarrow \{\{1000\}, \{-\frac{\pi}{100}, \frac{\pi}{70}\}\},$

GridLineStyle  $\rightarrow \{\{\text{Gray, Dotted}\}, \{\text{Gray, Dotted}\}\},$

PlotRange  $\rightarrow \{\{50, 710^4\}, \{-\frac{\pi}{100}, \frac{\pi}{50}\}\},$

AxesOrigin  $\rightarrow \{50, 0\},$

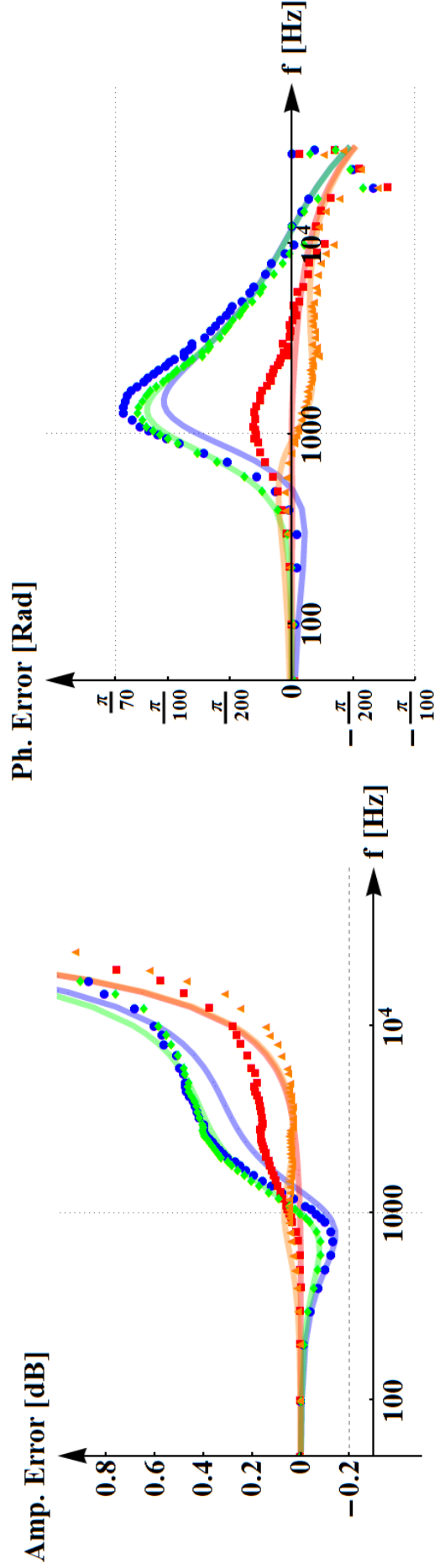
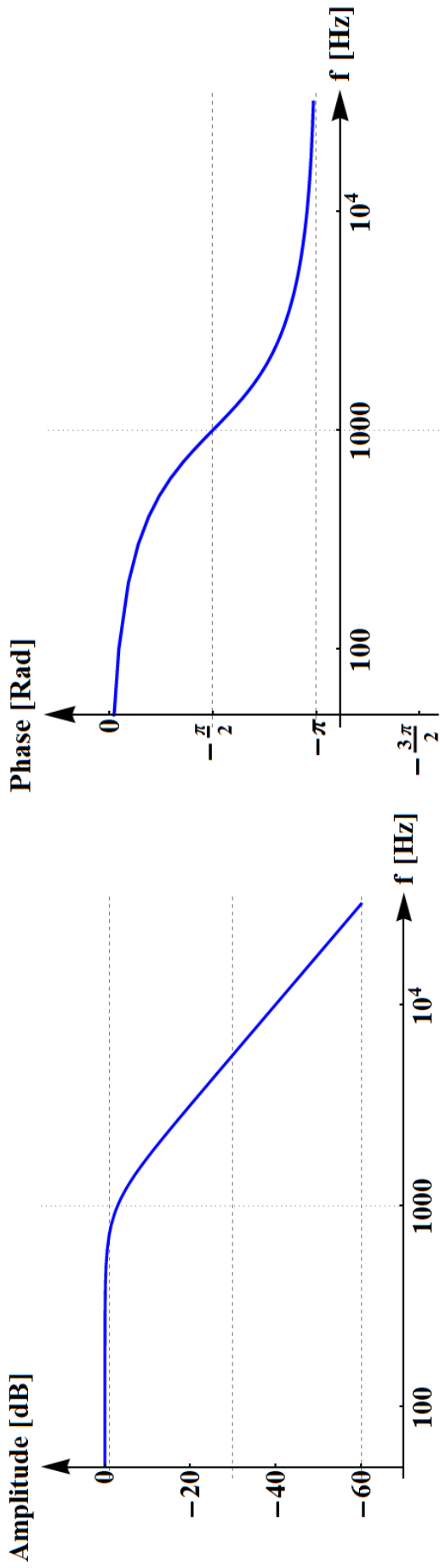
Joined  $\rightarrow \text{True},$

ImageSize  $\rightarrow \text{ImgSize}],$

ListLogLinearPlot[Table[Transpose[{\text{Freq}, \Delta\text{scPH}[[i]]}], {i, 1, 4}],

PlotStyle  $\rightarrow \text{Table}[\{\text{Colors}[[i]], \text{Thickness}[0.001]\}, \{i, 1, 4\}],$

PlotMarkers  $\rightarrow \{\text{Automatic}, 15\}]]]$



**Errore nella risposta in ampiezza (valore assoluto) per i 4 dimensionamenti (dB)**

**D1**

50	100	200	300	400	500
$2.71 \times 10^{-5}$	$-2.55 \times 10^{-3}$	$-1.72 \times 10^{-2}$	$-4.34 \times 10^{-2}$	$-7.52 \times 10^{-2}$	$-1.04 \times 10^{-1}$
600	714	800	900	950	1000
$-1.13 \times 10^{-1}$	$-1.38 \times 10^{-1}$	$-1.29 \times 10^{-1}$	$-1.03 \times 10^{-1}$	$-8.84 \times 10^{-2}$	$-6.73 \times 10^{-2}$
1050	1100	1200	1300	1400	1500
$-4.68 \times 10^{-2}$	$-2.31 \times 10^{-2}$	$2.58 \times 10^{-2}$	$7.13 \times 10^{-2}$	$1.16 \times 10^{-1}$	$1.54 \times 10^{-1}$
1600	1700	1800	1900	2000	2100
$1.89 \times 10^{-1}$	$2.19 \times 10^{-1}$	$2.46 \times 10^{-1}$	$2.67 \times 10^{-1}$	$2.96 \times 10^{-1}$	$3.12 \times 10^{-1}$
2200	2300	2400	2500	2600	2700
$3.30 \times 10^{-1}$	$3.46 \times 10^{-1}$	$3.58 \times 10^{-1}$	$3.68 \times 10^{-1}$	$3.82 \times 10^{-1}$	$3.89 \times 10^{-1}$
2800	2900	3000	3250	3500	3750
$3.94 \times 10^{-1}$	$3.92 \times 10^{-1}$	$3.95 \times 10^{-1}$	$4.14 \times 10^{-1}$	$4.24 \times 10^{-1}$	$4.30 \times 10^{-1}$
4000	4250	4500	4750	5000	5600
$4.39 \times 10^{-1}$	$4.52 \times 10^{-1}$	$4.68 \times 10^{-1}$	$4.71 \times 10^{-1}$	$4.68 \times 10^{-1}$	$4.78 \times 10^{-1}$
6000	7000	8000	9000	10000	12500
$4.96 \times 10^{-1}$	$5.05 \times 10^{-1}$	$5.59 \times 10^{-1}$	$5.68 \times 10^{-1}$	$5.99 \times 10^{-1}$	$6.78 \times 10^{-1}$
15000	17500	20000	25000	30000	31600
$8.03 \times 10^{-1}$	$8.66 \times 10^{-1}$	1.13	1.37	2.19	2.15

**D2**

50	100	200	300	400	500
$2.71 \times 10^{-5}$	$1.10 \times 10^{-3}$	$8.02 \times 10^{-4}$	$-7.77 \times 10^{-4}$	$-4.72 \times 10^{-3}$	$-8.88 \times 10^{-4}$
600	714	800	900	950	1000
$1.81 \times 10^{-3}$	$8.56 \times 10^{-3}$	$1.83 \times 10^{-2}$	$3.25 \times 10^{-2}$	$3.67 \times 10^{-2}$	$4.60 \times 10^{-2}$
1050	1100	1200	1300	1400	1500
$5.25 \times 10^{-2}$	$5.84 \times 10^{-2}$	$7.28 \times 10^{-2}$	$8.24 \times 10^{-2}$	$9.44 \times 10^{-2}$	$1.02 \times 10^{-1}$
1600	1700	1800	1900	2000	2100
$1.10 \times 10^{-1}$	$1.18 \times 10^{-1}$	$1.25 \times 10^{-1}$	$1.28 \times 10^{-1}$	$1.42 \times 10^{-1}$	$1.43 \times 10^{-1}$
2200	2300	2400	2500	2600	2700
$1.49 \times 10^{-1}$	$1.54 \times 10^{-1}$	$1.56 \times 10^{-1}$	$1.60 \times 10^{-1}$	$1.62 \times 10^{-1}$	$1.63 \times 10^{-1}$
2800	2900	3000	3250	3500	3750
$1.63 \times 10^{-1}$	$1.57 \times 10^{-1}$	$1.51 \times 10^{-1}$	$1.56 \times 10^{-1}$	$1.63 \times 10^{-1}$	$1.65 \times 10^{-1}$
4000	4250	4500	4750	5000	5600
$1.70 \times 10^{-1}$	$1.75 \times 10^{-1}$	$1.86 \times 10^{-1}$	$1.91 \times 10^{-1}$	$1.76 \times 10^{-1}$	$1.84 \times 10^{-1}$
6000	7000	8000	9000	10000	12500
$1.99 \times 10^{-1}$	$2.18 \times 10^{-1}$	$2.46 \times 10^{-1}$	$2.61 \times 10^{-1}$	$2.78 \times 10^{-1}$	$3.75 \times 10^{-1}$
15000	17500	20000	25000	30000	31600
$4.77 \times 10^{-1}$	$5.75 \times 10^{-1}$	$7.55 \times 10^{-1}$	1.06	1.77	2.19



**D3**

<b>50</b>	<b>100</b>	<b>200</b>	<b>300</b>	<b>400</b>	<b>500</b>
$2.71 \times 10^{-5}$	$-2.54 \times 10^{-3}$	$-1.42 \times 10^{-2}$	$-3.18 \times 10^{-2}$	$-5.43 \times 10^{-2}$	$-7.2 \times 10^{-2}$
<b>600</b>	<b>714</b>	<b>800</b>	<b>900</b>	<b>950</b>	<b>1000</b>
$-8.34 \times 10^{-2}$	$-8.24 \times 10^{-2}$	$-6.81 \times 10^{-2}$	$-3.88 \times 10^{-2}$	$-2.18 \times 10^{-2}$	$-4.3 \times 10^{-4}$
<b>1050</b>	<b>1100</b>	<b>1200</b>	<b>1300</b>	<b>1400</b>	<b>1500</b>
$2.17 \times 10^{-2}$	$4.38 \times 10^{-2}$	$8.80 \times 10^{-2}$	$1.30 \times 10^{-1}$	$1.70 \times 10^{-1}$	$2.02 \times 10^{-1}$
<b>1600</b>	<b>1700</b>	<b>1800</b>	<b>1900</b>	<b>2000</b>	<b>2100</b>
$2.31 \times 10^{-1}$	$2.57 \times 10^{-1}$	$2.80 \times 10^{-1}$	$2.99 \times 10^{-1}$	$3.25 \times 10^{-1}$	$3.36 \times 10^{-1}$
<b>2200</b>	<b>2300</b>	<b>2400</b>	<b>2500</b>	<b>2600</b>	<b>2700</b>
$3.50 \times 10^{-1}$	$363 \times 10^{-1}$	$3.74 \times 10^{-1}$	$3.82 \times 10^{-1}$	$3.92 \times 10^{-1}$	$3.99 \times 10^{-1}$
<b>2800</b>	<b>2900</b>	<b>3000</b>	<b>3250</b>	<b>3500</b>	<b>3750</b>
$4.02 \times 10^{-1}$	$3.98 \times 10^{-1}$	$4.01 \times 10^{-1}$	$4.12 \times 10^{-1}$	$4.08 \times 10^{-1}$	$4.18 \times 10^{-1}$
<b>4000</b>	<b>4250</b>	<b>4500</b>	<b>4750</b>	<b>5000</b>	<b>5600</b>
$4.28 \times 10^{-1}$	$4.37 \times 10^{-1}$	$4.46 \times 10^{-1}$	$4.21 \times 10^{-1}$	$4.59 \times 10^{-1}$	$4.73 \times 10^{-1}$
<b>6000</b>	<b>7000</b>	<b>8000</b>	<b>9000</b>	<b>10000</b>	<b>12500</b>
$4.79 \times 10^{-1}$	$5.02 \times 10^{-1}$	$5.32 \times 10^{-1}$	$5.49 \times 10^{-1}$	$5.82 \times 10^{-1}$	$6.42 \times 10^{-1}$
<b>15000</b>	<b>17500</b>	<b>20000</b>	<b>25000</b>	<b>30000</b>	<b>31600</b>
$7.61 \times 10^{-1}$	$9.02 \times 10^{-1}$	1.07	1.33	1.97	2.04

**D4**

<b>50</b>	<b>100</b>	<b>200</b>	<b>300</b>	<b>400</b>	<b>500</b>
$2.71 \times 10^{-5}$	$-9.53 \times 10^{-5}$	$1.84 \times 10^{-3}$	$6.53 \times 10^{-3}$	$1.08 \times 10^{-2}$	$1.99 \times 10^{-2}$
<b>600</b>	<b>714</b>	<b>800</b>	<b>900</b>	<b>950</b>	<b>1000</b>
$2.81 \times 10^{-2}$	$3.51 \times 10^{-2}$	$3.94 \times 10^{-2}$	$4.32 \times 10^{-2}$	$4.31 \times 10^{-2}$	$4.54 \times 10^{-2}$
<b>1050</b>	<b>1100</b>	<b>1200</b>	<b>1300</b>	<b>1400</b>	<b>1500</b>
$4.45 \times 10^{-2}$	$4.41 \times 10^{-2}$	$4.28 \times 10^{-2}$	$4.20 \times 10^{-2}$	$4.23 \times 10^{-2}$	$3.96 \times 10^{-2}$
<b>1600</b>	<b>1700</b>	<b>1800</b>	<b>1900</b>	<b>2000</b>	<b>2100</b>
$3.81 \times 10^{-2}$	$3.60 \times 10^{-2}$	$3.25 \times 10^{-2}$	$3.20 \times 10^{-2}$	$382 \times 10^{-2}$	$4.00 \times 10^{-2}$
<b>2200</b>	<b>2300</b>	<b>2400</b>	<b>2500</b>	<b>2600</b>	<b>2700</b>
$3.79 \times 10^{-2}$	$4.23 \times 10^{-2}$	$4.22 \times 10^{-2}$	$4.05 \times 10^{-2}$	$4.41 \times 10^{-2}$	$4.12 \times 10^{-2}$
<b>2800</b>	<b>2900</b>	<b>3000</b>	<b>3250</b>	<b>3500</b>	<b>3750</b>
$4.20 \times 10^{-2}$	$2.99 \times 10^{-2}$	$2.86 \times 10^{-2}$	$2.81 \times 10^{-2}$	$3.05 \times 10^{-2}$	$2.95 \times 10^{-2}$
<b>4000</b>	<b>4250</b>	<b>4500</b>	<b>4750</b>	<b>5000</b>	<b>5600</b>
$3.68 \times 10^{-2}$	$3.79 \times 10^{-2}$	$4.58 \times 10^{-2}$	$4.62 \times 10^{-2}$	$3.96 \times 10^{-2}$	$4.96 \times 10^{-2}$
<b>6000</b>	<b>7000</b>	<b>8000</b>	<b>9000</b>	<b>10000</b>	<b>12500</b>
$5.32 \times 10^{-2}$	$7.65 \times 10^{-2}$	$9.38 \times 10^{-2}$	$1.26 \times 10^{-1}$	$1.40 \times 10^{-1}$	$2.45 \times 10^{-1}$
<b>15000</b>	<b>17500</b>	<b>20000</b>	<b>25000</b>	<b>30000</b>	<b>31600</b>
$3.09 \times 10^{-1}$	$4.66 \times 10^{-1}$	$6.18 \times 10^{-1}$	$9.24 \times 10^{-1}$	1.41	1.41

**Errore nella risposta in fase per i 4 dimensionamenti (rad)**

**D1**

<b>50</b>	<b>100</b>	<b>200</b>	<b>300</b>	<b>400</b>	<b>500</b>
$-8.59 \times 10^{-4}$	$-1.00 \times 10^{-3}$	$-1.69 \times 10^{-3}$	$-1.63 \times 10^{-3}$	$3.85 \times 10^{-4}$	$3.80 \times 10^{-3}$
<b>600</b>	<b>714</b>	<b>800</b>	<b>900</b>	<b>950</b>	<b>1000</b>
$8.62 \times 10^{-3}$	$1.61 \times 10^{-2}$	$2.22 \times 10^{-2}$	$2.84 \times 10^{-2}$	$3.16 \times 10^{-2}$	$3.37 \times 10^{-2}$
<b>1050</b>	<b>1100</b>	<b>1200</b>	<b>1300</b>	<b>1400</b>	<b>1500</b>
$3.60 \times 10^{-2}$	$3.83 \times 10^{-2}$	$4.04 \times 10^{-2}$	$4.26 \times 10^{-2}$	$4.25 \times 10^{-2}$	$4.21 \times 10^{-2}$
<b>1600</b>	<b>1700</b>	<b>1800</b>	<b>1900</b>	<b>2000</b>	<b>2100</b>
$4.15 \times 10^{-2}$	$4.06 \times 10^{-2}$	$3.91 \times 10^{-2}$	$3.74 \times 10^{-2}$	$3.63 \times 10^{-2}$	$3.48 \times 10^{-2}$
<b>2200</b>	<b>2300</b>	<b>2400</b>	<b>2500</b>	<b>2600</b>	<b>2700</b>
$3.36 \times 10^{-2}$	$3.19 \times 10^{-2}$	$3.08 \times 10^{-2}$	$2.96 \times 10^{-2}$	$2.71 \times 10^{-2}$	$2.71 \times 10^{-2}$
<b>2800</b>	<b>2900</b>	<b>3000</b>	<b>3250</b>	<b>3500</b>	<b>3750</b>
$2.60 \times 10^{-2}$	$2.51 \times 10^{-2}$	$2.51 \times 10^{-2}$	$2.19 \times 10^{-2}$	$2.04 \times 10^{-2}$	$1.91 \times 10^{-2}$
<b>4000</b>	<b>4250</b>	<b>4500</b>	<b>4750</b>	<b>5000</b>	<b>5600</b>
$1.79 \times 10^{-2}$	$1.64 \times 10^{-2}$	$1.53 \times 10^{-2}$	$1.49 \times 10^{-2}$	$1.23 \times 10^{-2}$	$1.04 \times 10^{-2}$
<b>6000</b>	<b>7000</b>	<b>8000</b>	<b>9000</b>	<b>10000</b>	<b>12500</b>
$9.28 \times 10^{-3}$	$6.34 \times 10^{-3}$	$4.99 \times 10^{-3}$	$1.49 \times 10^{-3}$	$-9.41 \times 10^{-4}$	$-2.47 \times 10^{-4}$
<b>15000</b>	<b>17500</b>	<b>20000</b>	<b>25000</b>	<b>30000</b>	<b>31600</b>
$-2.93 \times 10^{-3}$	$-4.64 \times 10^{-3}$	$-2.12 \times 10^{-2}$	$-1.59 \times 10^{-2}$	$-3.60 \times 10^{-4}$	$-6.23 \times 10^{-3}$

**D2**

<b>50</b>	<b>100</b>	<b>200</b>	<b>300</b>	<b>400</b>	<b>500</b>
$-8.59 \times 10^{-4}$	$-1.80 \times 10^{-4}$	$3.92 \times 10^{-4}$	$1.04 \times 10^{-3}$	$2.35 \times 10^{-3}$	$3.47 \times 10^{-3}$
<b>600</b>	<b>714</b>	<b>800</b>	<b>900</b>	<b>950</b>	<b>1000</b>
$4.75 \times 10^{-3}$	$6.56 \times 10^{-3}$	$7.82 \times 10^{-3}$	$8.39 \times 10^{-3}$	$9.38 \times 10^{-3}$	$8.99 \times 10^{-3}$
<b>1050</b>	<b>1100</b>	<b>1200</b>	<b>1300</b>	<b>1400</b>	<b>1500</b>
$9.17 \times 10^{-3}$	$9.73 \times 10^{-3}$	$9.10 \times 10^{-3}$	$9.45 \times 10^{-3}$	$8.83 \times 10^{-3}$	$7.94 \times 10^{-3}$
<b>1600</b>	<b>1700</b>	<b>1800</b>	<b>1900</b>	<b>2000</b>	<b>2100</b>
$7.77 \times 10^{-3}$	$7.28 \times 10^{-3}$	$6.04 \times 10^{-3}$	$5.20 \times 10^{-3}$	$5.30 \times 10^{-3}$	$4.56 \times 10^{-3}$
<b>2200</b>	<b>2300</b>	<b>2400</b>	<b>2500</b>	<b>2600</b>	<b>2700</b>
$4.31 \times 10^{-3}$	$3.42 \times 10^{-3}$	$2.97 \times 10^{-3}$	$2.59 \times 10^{-3}$	$1.10 \times 10^{-3}$	$1.93 \times 10^{-3}$
<b>2800</b>	<b>2900</b>	<b>3000</b>	<b>3250</b>	<b>3500</b>	<b>3750</b>
$1.00 \times 10^{-3}$	$9.77 \times 10^{-4}$	$2.03 \times 10^{-3}$	$3.58 \times 10^{-4}$	$1.20 \times 10^{-4}$	$4.57 \times 10^{-4}$
<b>4000</b>	<b>4250</b>	<b>4500</b>	<b>4750</b>	<b>5000</b>	<b>5600</b>
$-3.32 \times 10^{-4}$	$-1.34 \times 10^{-3}$	$-7.99 \times 10^{-4}$	$-6.06 \times 10^{-4}$	$-2.12 \times 10^{-3}$	$-1.65 \times 10^{-3}$
<b>6000</b>	<b>7000</b>	<b>8000</b>	<b>9000</b>	<b>10000</b>	<b>12500</b>
$-3.15 \times 10^{-3}$	$-4.31 \times 10^{-3}$	$-4.50 \times 10^{-3}$	$-6.71 \times 10^{-3}$	$-8.50 \times 10^{-3}$	$-6.29 \times 10^{-3}$
<b>15000</b>	<b>17500</b>	<b>20000</b>	<b>25000</b>	<b>30000</b>	<b>31600</b>
$-7.58 \times 10^{-3}$	$-1.01 \times 10^{-2}$	$-2.47 \times 10^{-2}$	$-1.73 \times 10^{-2}$	$-2.21 \times 10^{-3}$	$-1.10 \times 10^{-2}$

**D3**

<b>50</b>	<b>100</b>	<b>200</b>	<b>300</b>	<b>400</b>	<b>500</b>
$-8.59 \times 10^{-4}$	$-6.95 \times 10^{-4}$	$-1.43 \times 10^{-4}$	$8.76 \times 10^{-4}$	$3.30 \times 10^{-3}$	$7.29 \times 10^{-3}$
<b>600</b>	<b>714</b>	<b>800</b>	<b>900</b>	<b>950</b>	<b>1000</b>
$1.20 \times 10^{-2}$	$1.88 \times 10^{-2}$	$2.38 \times 10^{-2}$	$2.89 \times 10^{-2}$	$3.15 \times 10^{-2}$	$3.34 \times 10^{-2}$
<b>1050</b>	<b>1100</b>	<b>1200</b>	<b>1300</b>	<b>1400</b>	<b>1500</b>
$3.50 \times 10^{-2}$	$3.68 \times 10^{-2}$	$3.79 \times 10^{-2}$	$3.92 \times 10^{-2}$	$3.88 \times 10^{-2}$	$3.77 \times 10^{-2}$
<b>1600</b>	<b>1700</b>	<b>1800</b>	<b>1900</b>	<b>2000</b>	<b>2100</b>
$3.68 \times 10^{-2}$	$3.59 \times 10^{-2}$	$3.44 \times 10^{-2}$	$3.27 \times 10^{-2}$	$3.12 \times 10^{-2}$	$3.01 \times 10^{-2}$
<b>2200</b>	<b>2300</b>	<b>2400</b>	<b>2500</b>	<b>2600</b>	<b>2700</b>
$2.90 \times 10^{-2}$	$2.72 \times 10^{-2}$	$2.61 \times 10^{-2}$	$2.51 \times 10^{-2}$	$2.26 \times 10^{-2}$	$2.25 \times 10^{-2}$
<b>2800</b>	<b>2900</b>	<b>3000</b>	<b>3250</b>	<b>3500</b>	<b>3750</b>
$2.12 \times 10^{-2}$	$2.07 \times 10^{-2}$	$2.10 \times 10^{-2}$	$1.81 \times 10^{-2}$	$1.69 \times 10^{-2}$	$1.58 \times 10^{-2}$
<b>4000</b>	<b>4250</b>	<b>4500</b>	<b>4750</b>	<b>5000</b>	<b>5600</b>
$1.48 \times 10^{-2}$	$1.30 \times 10^{-2}$	$1.23 \times 10^{-2}$	$1.16 \times 10^{-2}$	$9.92 \times 10^{-3}$	$7.97 \times 10^{-3}$
<b>6000</b>	<b>7000</b>	<b>8000</b>	<b>9000</b>	<b>10000</b>	<b>12500</b>
$7.10 \times 10^{-3}$	$4.26 \times 10^{-3}$	$2.21 \times 10^{-3}$	$4.48 \times 10^{-4}$	$-3.34 \times 10^{-3}$	$-2.37 \times 10^{-4}$
<b>15000</b>	<b>17500</b>	<b>20000</b>	<b>25000</b>	<b>30000</b>	<b>31600</b>
$-3.41 \times 10^{-3}$	$-6.97 \times 10^{-3}$	$-1.84 \times 10^{-2}$	$-1.50 \times 10^{-2}$	$-4.86 \times 10^{-3}$	$-1.14 \times 10^{-2}$

**D4**

<b>50</b>	<b>100</b>	<b>200</b>	<b>300</b>	<b>400</b>	<b>500</b>
$-8.59 \times 10^{-4}$	$-1.79 \times 10^{-4}$	$4.86 \times 10^{-4}$	$8.69 \times 10^{-4}$	$1.40 \times 10^{-3}$	$1.58 \times 10^{-3}$
<b>600</b>	<b>714</b>	<b>800</b>	<b>900</b>	<b>950</b>	<b>1000</b>
$1.19 \times 10^{-3}$	$6.75 \times 10^{-4}$	$-2.63 \times 10^{-5}$	$-8.62 \times 10^{-4}$	$-7.53 \times 10^{-4}$	$-1.29 \times 10^{-3}$
<b>1050</b>	<b>1100</b>	<b>1200</b>	<b>1300</b>	<b>1400</b>	<b>1500</b>
$-1.84 \times 10^{-3}$	$-1.74 \times 10^{-3}$	$-2.67 \times 10^{-3}$	$-2.60 \times 10^{-3}$	$-3.41 \times 10^{-3}$	$-3.95 \times 10^{-3}$
<b>1600</b>	<b>1700</b>	<b>1800</b>	<b>1900</b>	<b>2000</b>	<b>2100</b>
$-4.24 \times 10^{-3}$	$-4.20 \times 10^{-3}$	$-4.59 \times 10^{-3}$	$-5.06 \times 10^{-3}$	$-5.24 \times 10^{-3}$	$-5.07 \times 10^{-3}$
<b>2200</b>	<b>2300</b>	<b>2400</b>	<b>2500</b>	<b>2600</b>	<b>2700</b>
$-4.95 \times 10^{-3}$	$-5.69 \times 10^{-3}$	$-5.40 \times 10^{-3}$	$-5.24 \times 10^{-3}$	$-7.08 \times 10^{-3}$	$-6.10 \times 10^{-3}$
<b>2800</b>	<b>2900</b>	<b>3000</b>	<b>3250</b>	<b>3500</b>	<b>3750</b>
$-6.60 \times 10^{-3}$	$-6.50 \times 10^{-3}$	$-5.32 \times 10^{-3}$	$-6.01 \times 10^{-3}$	$-6.01 \times 10^{-3}$	$-5.63 \times 10^{-3}$
<b>4000</b>	<b>4250</b>	<b>4500</b>	<b>4750</b>	<b>5000</b>	<b>5600</b>
$-5.36 \times 10^{-3}$	$-5.90 \times 10^{-3}$	$-5.36 \times 10^{-3}$	$-5.20 \times 10^{-3}$	$-5.86 \times 10^{-3}$	$-6.55 \times 10^{-3}$
<b>6000</b>	<b>7000</b>	<b>8000</b>	<b>9000</b>	<b>10000</b>	<b>12500</b>
$-6.38 \times 10^{-3}$	$-6.87 \times 10^{-3}$	$-7.63 \times 10^{-3}$	$-8.78 \times 10^{-3}$	$-1.09 \times 10^{-2}$	$-7.03 \times 10^{-3}$
<b>15000</b>	<b>17500</b>	<b>20000</b>	<b>25000</b>	<b>30000</b>	<b>31600</b>
$-8.96 \times 10^{-3}$	$-1.23 \times 10^{-2}$	$-2.20 \times 10^{-2}$	$-1.78 \times 10^{-2}$	$-8.30 \times 10^{-3}$	$-1.34 \times 10^{-2}$



# Elenco Figure

Figura 1.1 Schematico dell'amplificatore operazionale .....	3
Figura 1.2 Schematico dell'amplificatore differenziale .....	9
Figura 1.3 Circuito equivalente a piccolo segnale dei due stadi dell'amplificatore operazionale .....	13
Figura 1.4 Diagrammi di Bode di ampiezza e fase .....	14
Figura 1.5 Circuito equivalente con capacità di compensazione .....	14
Figura 1.6 Schematico dell'amplificatore operazionale completo .....	17
Figura 1.7 Collegamento in retroazione per il calcolo dello <i>SR</i> e risposta esponenziale.....	19
Figura 1.8 Schematico dell'OP-AMP retroazionato con carico $C_L$ .....	20
Figura 1.9 Grafico della funzione di visibilità dello <i>slew rate</i> , dipendente da $V_M$ e parametrica in $n$ .....	21
Figura 1.10 Schematico del generatore di corrente di riferimento .....	23
Figura 1.11 Grafico ( $I_{R}$ , $I_{BIAS}$ ) per il dimensionamento del generatore di corrente .....	27
Figura 1.12 <i>Slew Rate</i> in funzione del rapporto di correnti $n$ .....	28
Figura 1.13 Analisi .AC per il dimensionamento di $M9$ .....	30
Figura 1.14 Transistor <i>Multifinger</i> con 4 gates.....	31
Figura 1.15 Transistor <i>Multifinger</i> a 4 gates.....	32
Figura 1.16 Transistor a singolo gate .....	33
Figura 1.17 Sensibilità della corrente alle variazioni di temperatura .....	34
Figura 1.18 Sensibilità della corrente a perturbazioni sulla tensione d'alimentazione .....	34
Figura 1.19 Analisi Statica .....	35
Figura 1.20 Misura della tensione di offset .....	35
Figura 1.21 Analisi CMR (tensione di uscita e sua derivata in funzione della tensione di ingresso) .....	36
Figura 1.22 Guadagno Differenziale .....	36
Figura 1.23 Guadagno di Modo Comune .....	37
Figura 1.24 AC-PSRR.....	38
Figura 1.25 Analisi <i>Slew Rate</i> .....	39
Figura 2.1 Filtro attivo del secondo ordine .....	41
Figura 2.2 Resistore in <i>Si-Poly</i> .....	42
Figura 2.3 Esempio di Capacità Commutate .....	43
Figura 2.4 Segnali di clock $\Phi_1$ e $\Phi_2$ .....	44
Figura 2.5 Configurazione alternativa resistore a capacità commutate .....	45
Figura 2.6 Condensatore a due strati di <i>Si-Poly</i> .....	46
Figura 2.7 Individuazione punto di minimo della varianza $\sigma_{\Delta C}$ .....	47
Figura 2.8 Condensatore di riferimento $C_U$ e condensatore $C_{1+\delta}$ (non proporzionale a $C_U$ ) .....	49
Figura 2.9 Pass Transistor .....	50
Figura 2.10 <i>MOS switch</i> on-resistance al termine del transitorio di carica .....	52
Figura 2.11 <i>Transfer Gate switch</i> .....	52
Figura 2.12 Resistenza equivalente <i>Transfer Gate</i> .....	53
Figura 2.13 Risposta <i>Pass Transistor switch</i> vs <i>Transfer Gate switch</i> .....	54
Figura 2.14 Segnali di clock $\Phi_1$ e $\Phi_2$ .....	56
Figura 2.15 Architettura per la realizzazione dei segnali di clock .....	57
Figura 2.16 Circuito per la generazione dei segnali di clock complementari.....	58
Figura 2.17 Circuito completo per la generazione dei segnali di clock.....	58
Figura 2.18 Connessione OP-AMP - capacità commutata.....	59
Figura 2.19 Flusso progettuale per la realizzazione del filtro .....	61
Figura 3.1 Modulo e fase di una funzione di trasferimento passa-basso ideale .....	63
Figura 3.2 Modulo e fase di una funzione di trasferimento passa-basso realizzabile.....	63
Figura 3.3 Maschera di un filtro di tipo passa-basso .....	64
Figura 3.4 Poli funzione di trasferimento di <i>Butterworth</i> .....	67

Figura 3.5 Modulo della funzione di trasferimento di <i>Butterworth</i> al variare dell'ordine N .....	69
Figura 3.6 Diagramma di Bode della funzione di trasferimento di <i>Butterworth</i> del secondo ordine .....	70
Figura 3.7 Topologia circuitale del filtro a capacità commutate .....	71
Figura 3.8 Filtro semplificato con capacità commutate sostituite dalle resistenze equivalenti .....	71
Figura 3.9 Filtro a capacità commutate (nuova disposizione).....	75
Figura 3.10 Segnali di clock con fronti di salita e discesa .....	76
Figura 3.11 Mappatura dell'asse $j\omega$ sulla circonferenza unitaria nel piano $z$ .....	80
Figura 3.12 Effetto <i>warping</i> .....	80
Figura 3.13 Zeri e poli delle funzioni di trasferimento $H_{DT}(z)$ (a sinistra) e $H_{BL}(s)$ (a destra) .....	81
Figura 3.14 Confronto tra funzione di trasferimento di <i>Butterworth</i> (tratteggiata) e funzione di trasferimento del filtro.....	85
Figura 3.15 Confronto tra le funzioni di trasferimento del filtro rapportate alla fdt di <i>Butterworth</i> al variare del dimensionamento utilizzato .....	85
Figura 3.16 Problema dell' <i>aliasing</i> .....	86
Figura 3.17 Filtraggio anti-aliasing .....	86
Figura 3.18 Relazione tra ordine del filtro di <i>anti-aliasing</i> , <i>oversampling</i> e <i>maximum aliasing dynamic range</i> .....	87
Figura 3.19 <i>Magnitude Droop</i> .....	87
Figura 3.20 Integratore a capacità commutate .....	88
Figura 3.21 Effetto del guadagno finito dell'OP-AMP sulla risposta in ampiezza del filtro .....	89
Figura 3.22 Errore di assestamento dovuto alla banda finita dell'OP-AMP.....	90
Figura 3.23 Errore risposta in ampiezza del filtro dovuta alla banda finita dell'OP-AMP .....	90
Figura 3.24 Variazione relativa della frequenza di taglio del filtro dovuta alla banda finita dell'OP-AMP ....	90
Figura 3.25 Uscita di un filtro a capacità commutate distorta a causa dello <i>slew rate</i> dell'OP-AMP.....	91
Figura 3.26 Capacità parassite presenti in un transistor <i>MOS</i> .....	92
Figura 3.27 Integratore a capacità commutate con evidenziate le capacità parassite degli interruttori .....	92
Figura 3.28 Filtro a capacità commutate con capacità parassite evidenziate .....	93
Figura 3.29 Circuito di <i>sample &amp; hold</i> utilizzato per lo studio di <i>clock feedthrough</i> e <i>charge injection</i> .....	94
Figura 3.30 Effetto di <i>charge injection</i> (a), <i>clock feedthrough</i> (b), confronto (c), effetto combinato sulla tensione di source (d, e). Simulazioni in tecnologia 0.18 $\mu\text{m}$ <i>CMOS</i> .....	97
Figura 3.31 Tensione (a) / variazione della tensione (b) di source per effetto di <i>CI</i> e <i>CF</i> al variare del tempo di discesa del segnale di clock.....	98
Figura 3.32 Tensione (a, c) / variazione di tensione (b, d) di source per effetto di <i>CI</i> e <i>CF</i> al variare della larghezza $W$ (a, b) e della lunghezza di canale $L$ (c, d) del transistor.....	99
Figura 3.33 Circuito di <i>sample &amp; hold</i> a <i>transfer gate</i> e forme d'onda di pilotaggio .....	100
Figura 3.34 Vincoli di dimensionamento degli <i>switch</i> a <i>transfer gate</i> per l'annullamento degli effetti di <i>CI</i> e <i>CF</i> .....	101
Figura 3.35 Sinusoide di ingresso (verde) e sinusoide di uscita con oscillazioni indesiderate (blu) .....	102
Figura 3.36 Tuning parametrico su $L_{INV}$ , particolare della tensione di uscita del filtro.....	102
Figura 3.37 Attenuazione dei picchi con segnali di clock complementari sfasati .....	103
Figura 3.38 Clock a fasi non sovrapposte.....	104
Figura 3.39 Clock di pilotaggio degli interruttori <i>transfer gate</i> .....	104
Figura 3.40 Tuning su $W_{Sp}$ per verificare la minimizzazione di <i>CI</i> .....	104
Figura 3.41 <i>FFT</i> di una sinusoide a 500 Hz in uscita al filtro con (verde) o senza (blu) oscillazioni residue .....	105
Figura 3.42 Tre sinusoidi in uscita al filtro con attenuazione progressiva (500 Hz, 1 kHz, 3 kHz) .....	106
Figura 3.43 Errore nella risposta in ampiezza del filtro rispetto a quella ideale .....	107
Figura 3.44 Errore nella risposta in fase del filtro rispetto a quella ideale .....	107
Figura 3.45 <i>FFT</i> di un'onda quadra a 40 Hz e della sua versione filtrata.....	108
Figura 3.46 Risposta del filtro ad un'onda quadra a 40 Hz nel dominio del tempo.....	108
Figura 3.47 Risposta in frequenza del filtro alla somma di due toni sinusoidali in ingresso.....	109

# Elenco Tabelle

Tabella 1.1 Equazioni di Progetto .....	26
Tabella 1.2 Indicazioni per il rispetto delle specifiche progettuali.....	26
Tabella 1.3 Risultati della simulazione <i>.step</i> su $W_1$ e $W_3$ ( $C_C=0.61$ pF) .....	29
Tabella 1.4 Valori di dimensionamento.....	30
Tabella 1.5 Risultati caratterizzazione.....	39
Tabella 3.1 Confronto caratteristiche delle principali famiglie di filtri.....	65
Tabella 3.2 Primi otto polinomi di <i>Butterworth</i> fattorizzati.....	68
Tabella 3.3 Specifiche e dimensionamento del filtro.....	74
Tabella 3.4 Dimensionamento ricavato dalla <i>trasformazione bilineare</i> .....	82
Tabella 3.5 Dimensionamento con capacità multipli interi della capacità fondamentale $C_U$ con <i>matching</i> dei coefficienti di $H_{CT}(s)$ .....	83
Tabella 3.6 Dimensionamento con capacità multipli interi della capacità fondamentale $C_U$ con <i>matching</i> dei coefficienti di $H_{BL\_LF}(s)$ .....	84





# Bibliografia

J. Yu, "CHARGE INJECTION AND CLOCK FEEDTHROUGH" (2010). *Master's Thesis*. Paper 3797

P. B. Mital and U. Kumar, "EFFECTS OF NON-IDEALITIES OF OP-AMPS ON ACTIVE FILTERS: AN ANALYTICAL STUDY" *Active and Passive Elec. Comp.*, 1994, Vol. 17, pp. 179-201

P. R. Gray, P. J. Hurst, S. H. Lewis and R. G. Meyer, "ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS" 5<sup>th</sup> Edition, *Wiley*, 2010 pp.424-426

K. Martin and A. S. Sedra, "EFFECTS OF THE OP-AMP FINITE GAIN AND BANDWIDTH ON THE PERFORMANCE OF SWITCHED-CAPACITOR FILTERS", *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS*, VOL. CAS-28, NO. 8, AUGUST 1981

R. van de Plassche, "CMOS INTEGRATED ANALOG-TO-DIGITAL AND DIGITAL-TO-ANALOG CONVERTERS", *Kluwer Academic Publishers*, 2003