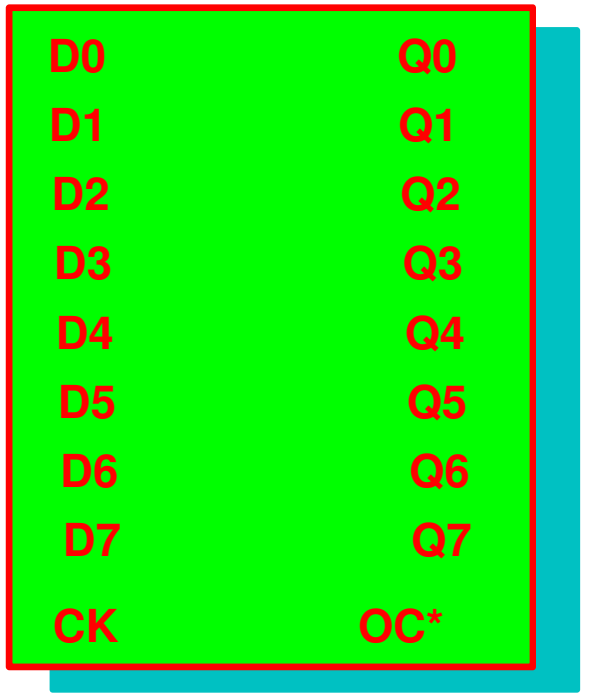
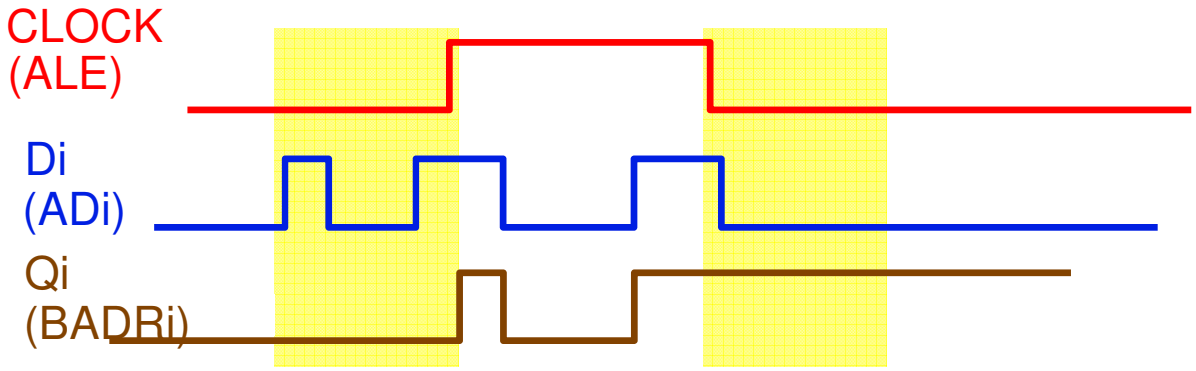
CIRCUITI INTEGRATI DI INTERFACCIA

Modo Funz.	In			Out
	OE*	LE	Dn	Qn
Transparent	L	H	L	L
	L	H	H	H
In Disab Out Activate	L	L	X	L
	L	L	X	H
In disab Out Latched	H	L	X	**HiZ**
	H	L	X	**HiZ**

74XX373

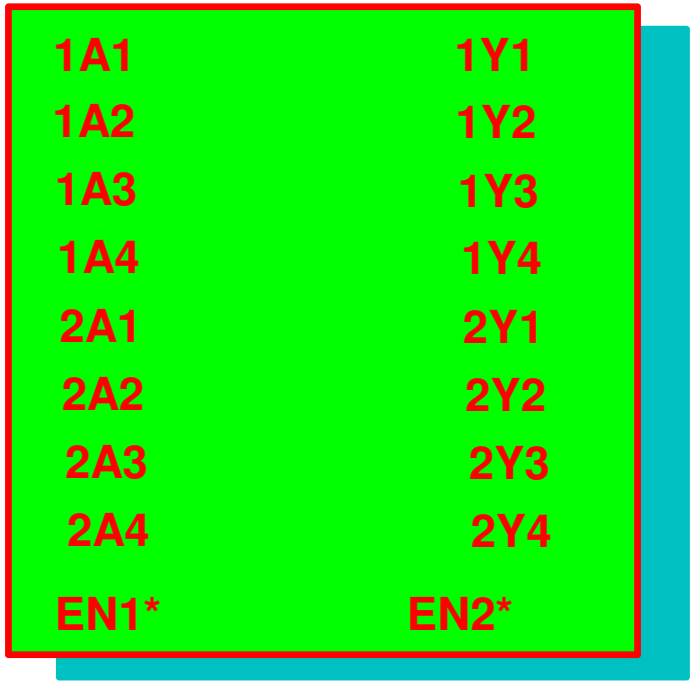


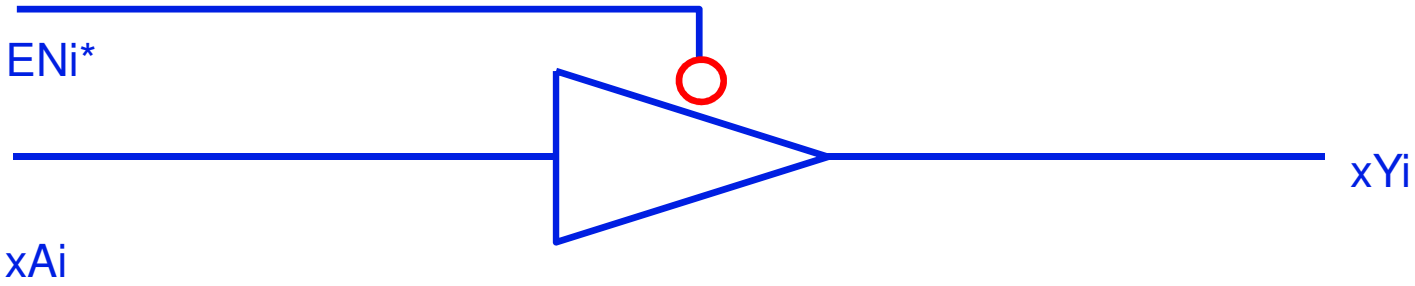


CIRCUITI INTEGRATI DI INTERFACCIA

ENi	iYn
L	iYn=iAn
H	iYn=HiZ

74XX244

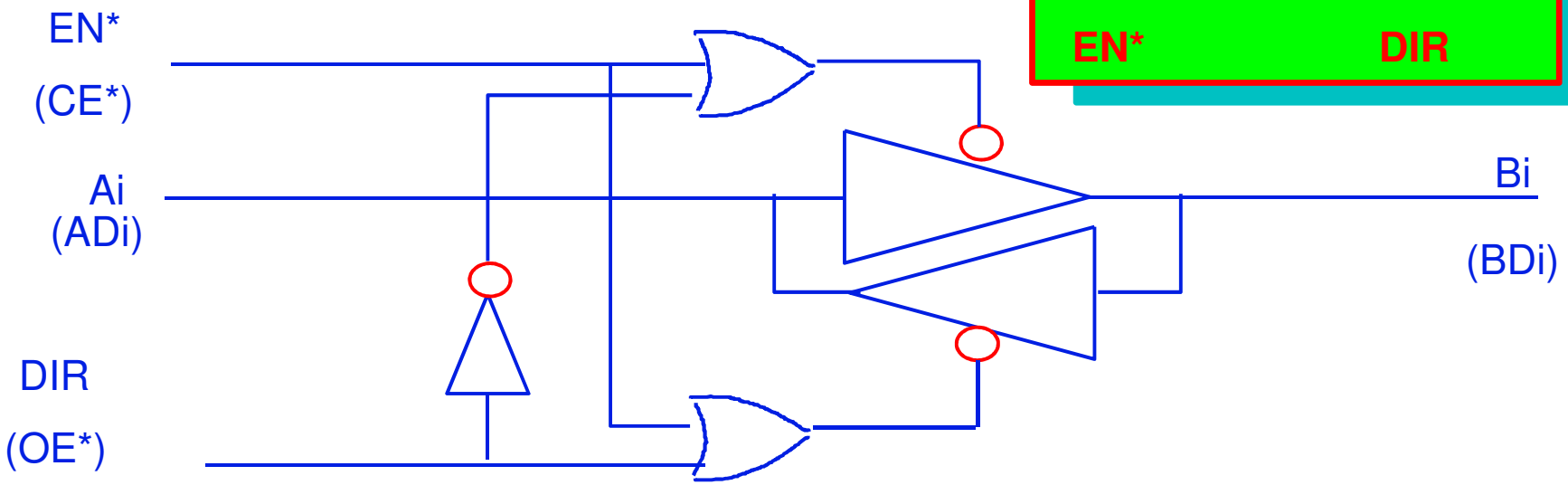




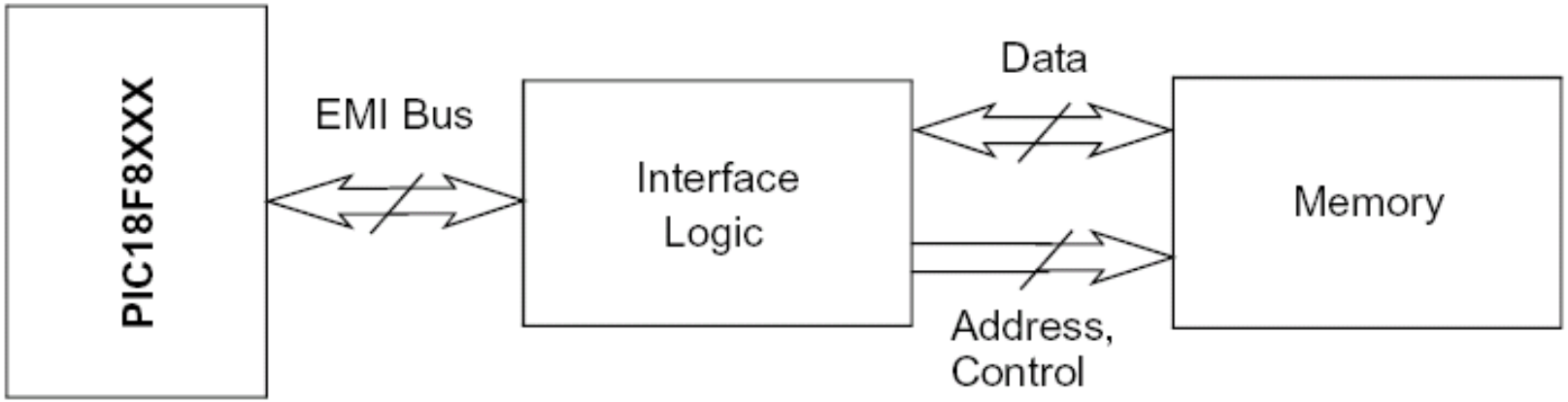
CIRCUITI INTEGRATI DI INTERFACCIA

In		In/Out	
OE*	DIR	An	Bn
L	L	An=Bn	In
L	H	In	Bn=An
H	X	**HiZ**	**HiZ**

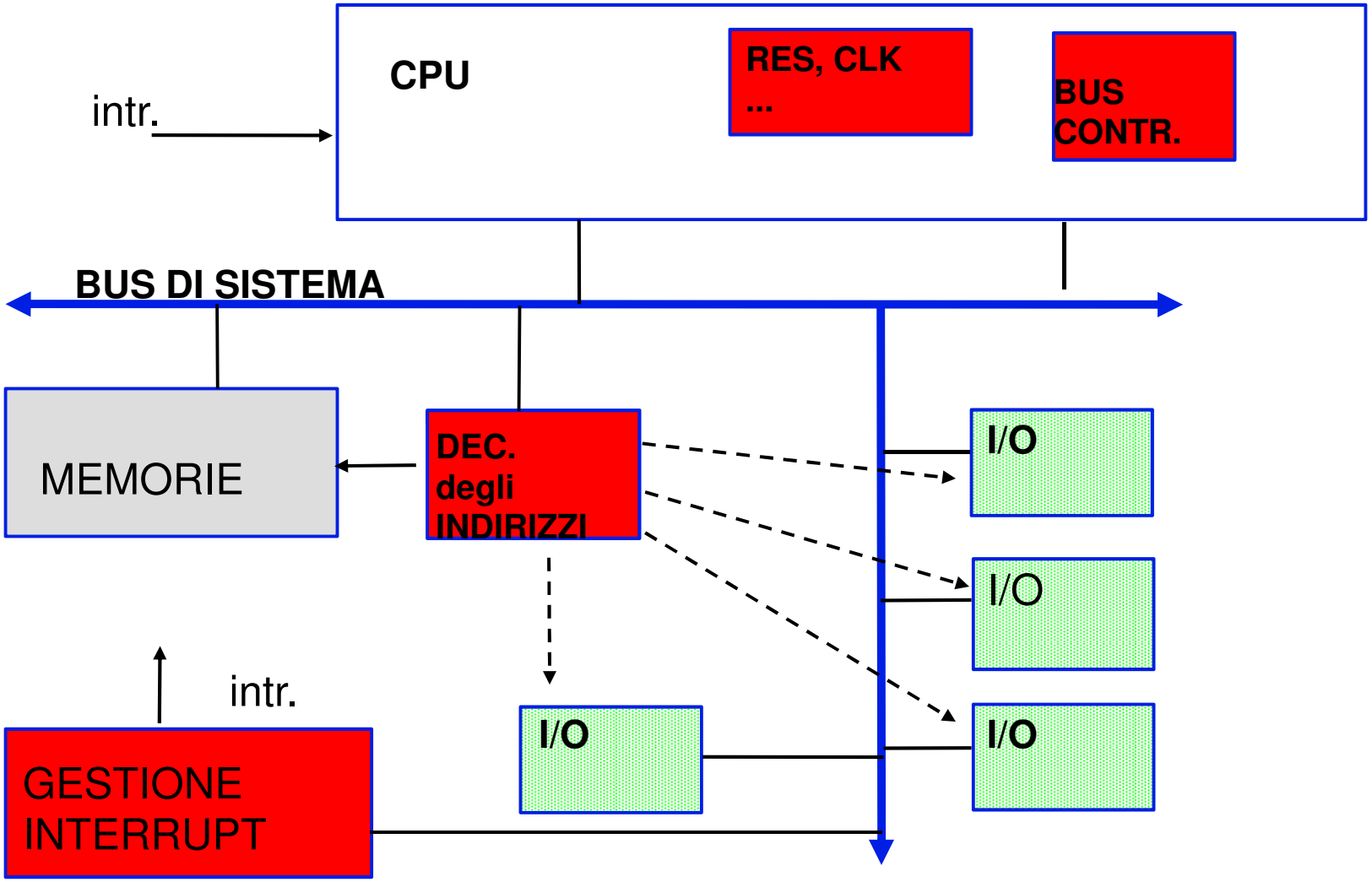
74XX245



Interfacciamento del micro attraverso il bus: schema di principio



ARCHITETTURA A LIVELLO DI SISTEMA



N.B. La gestione dell'interrupt potrà avvenire sia fuori che dentro al microprocessore

ARCHITETTURA DEI BUS

BUS: canale di comunicazione condiviso che trasporta segnali omogenei tra più sottosistemi

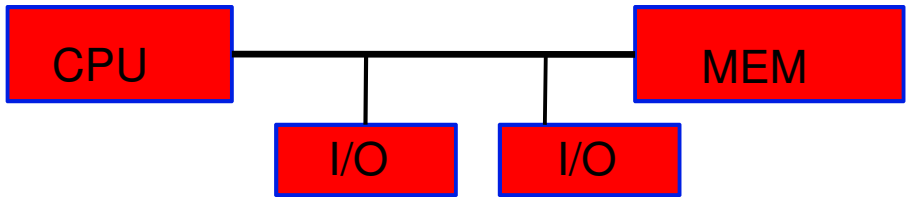
Vantaggi: flessibile, versatile, bassi costi
Svantaggi: lento, limiti fisici

Latenza: tempo di trasferimento di un dato
Throughput (banda passante) Mbyte/sec
Tipi di Bus:
1. DI CONTROLLO
2. DI DATI
3. DI INDIRIZZI
4. DI COMANDO

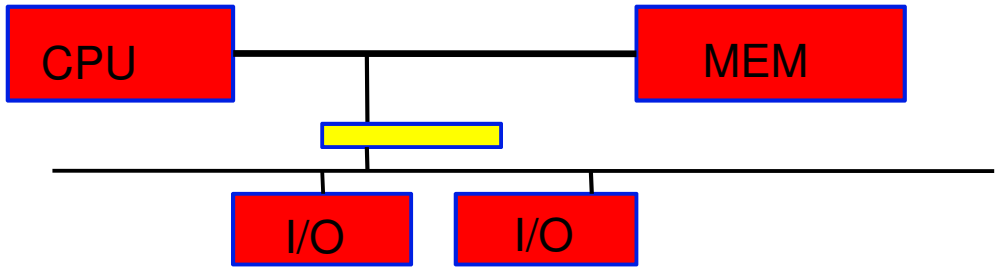
TRASFERIMENTI (CICLI) DI BUS
1. lettura/scrittura di operandi
2. Fetch di codice (programma)
3. input/output su periferiche (quindi operazioni non eseguite su memorie)

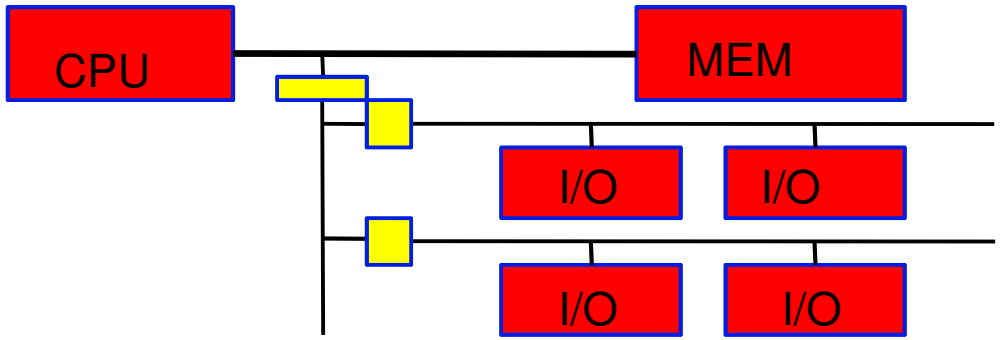
TIPI DI BUS

Esempio di bus di sistema: (bus comune)

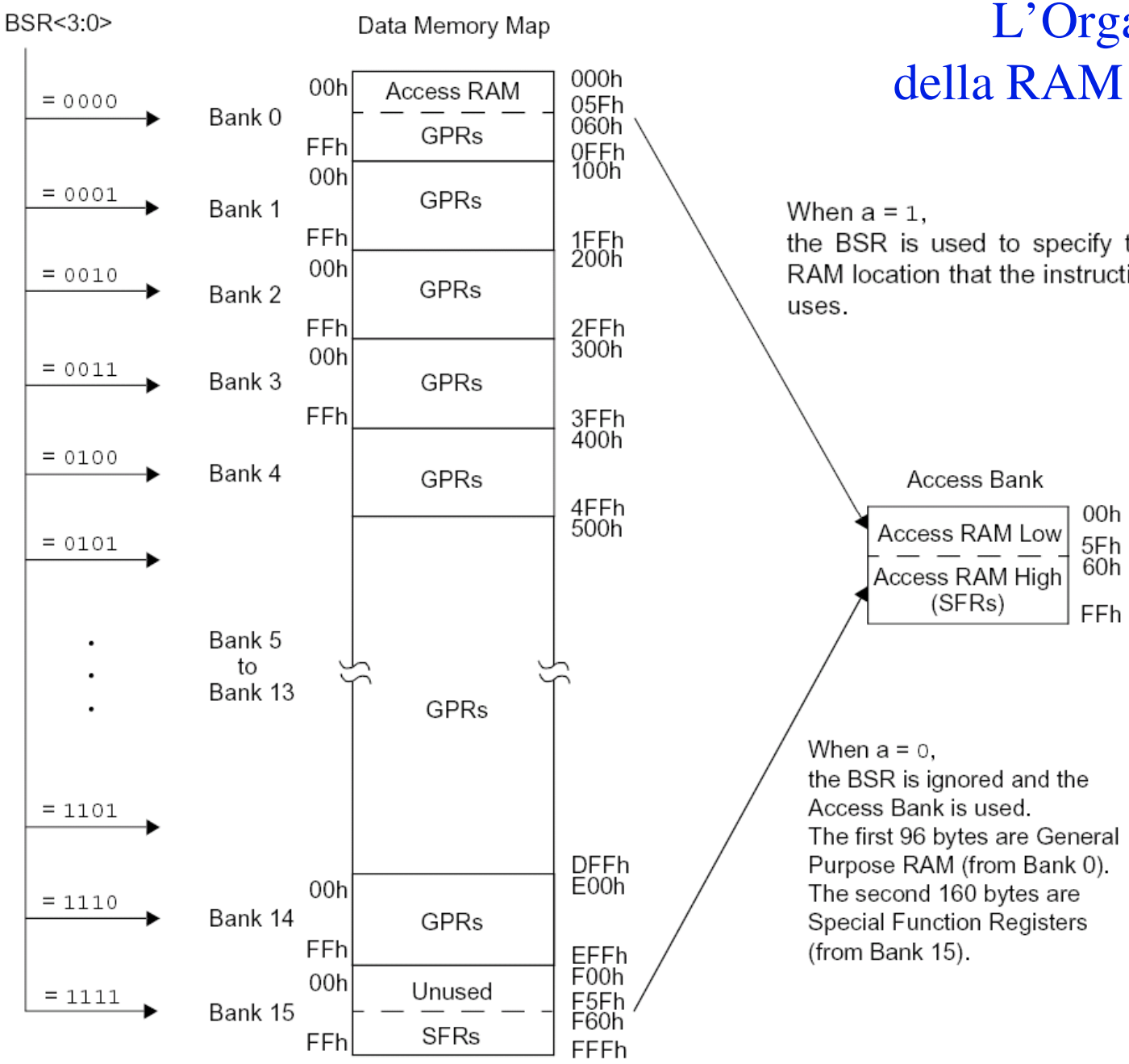


Esempi di bus di I/O: (bus separati)

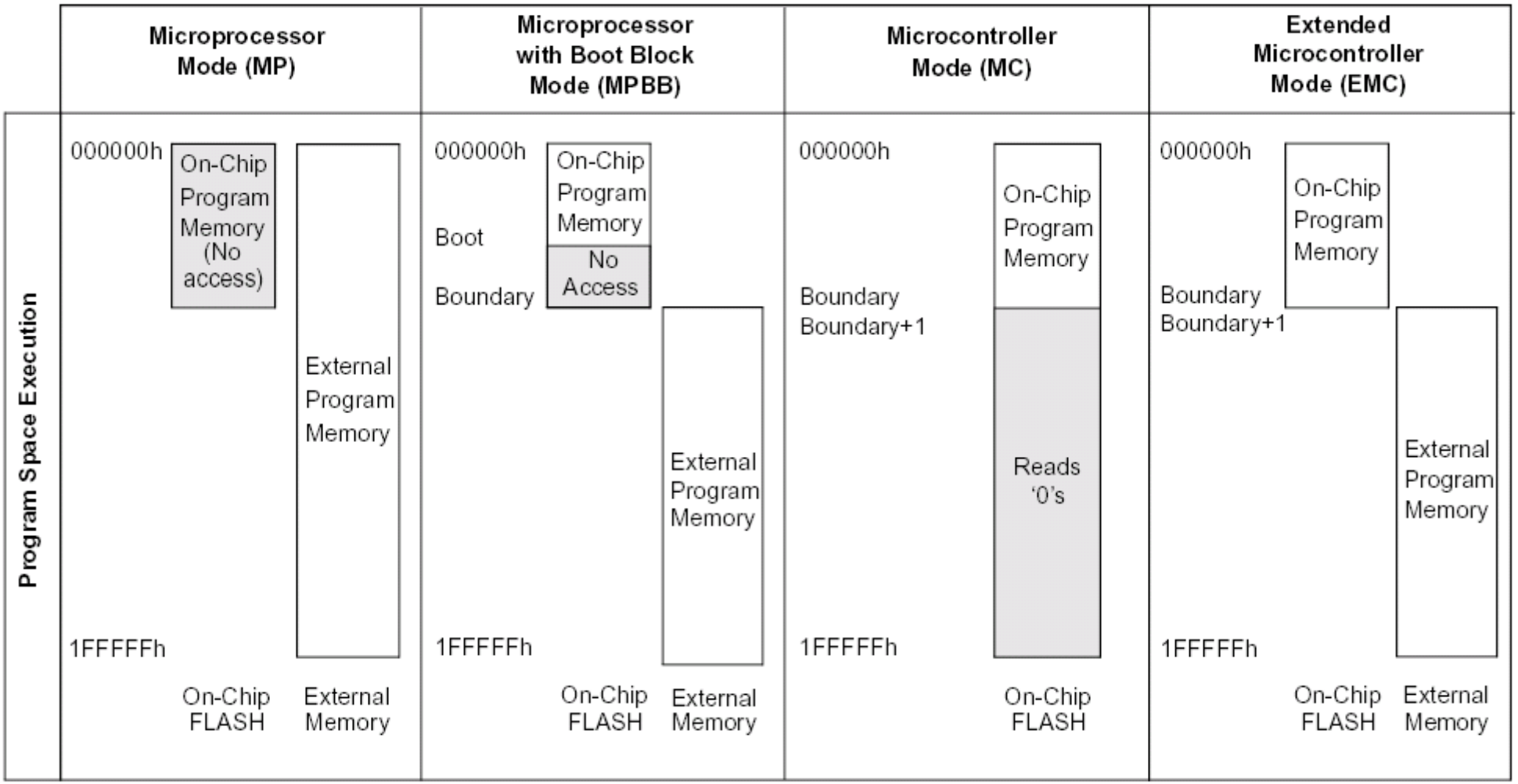




L'Organizzazione della RAM del PIC18F8x20



Memorie: Modi di configurazione del PIC18



Modi di configurazione del PIC18: how to

CONFIG3L = 0x82; //10000010b oppure 130 in base 10 Microprocessor mode

CONFIG3L = 0x80; //10000000b oppure 128 in base 10 Extended Microcontroller mode

REGISTER 1: CONFIG3L CONFIGURATION BYTE

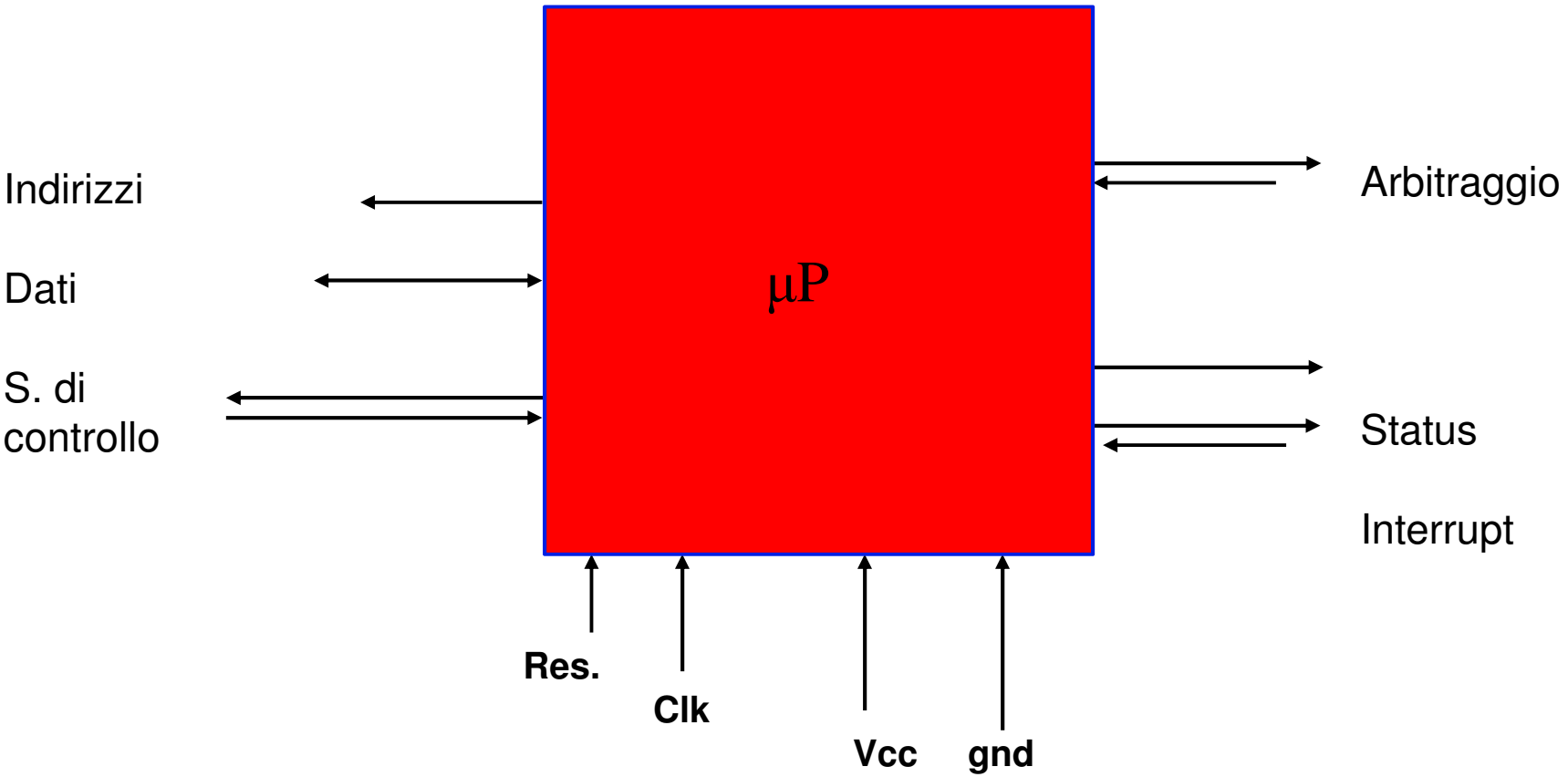
R/P-1	U-0	U-0	U-0	U-0	U-0	R/P-1	R/P-1
WAIT	—	—	—	—	—	PM1	PM0
bit 7							bit 0

bit 7 **WAIT:** External Bus Data Wait Enable bit
1 = Wait selections unavailable, device will not wait
0 = Wait programmed by WAIT1 and WAIT0 bits of MEMCOM register (MEMCOM<5:4>)

bit 6-2 **Unimplemented:** Read as '0'

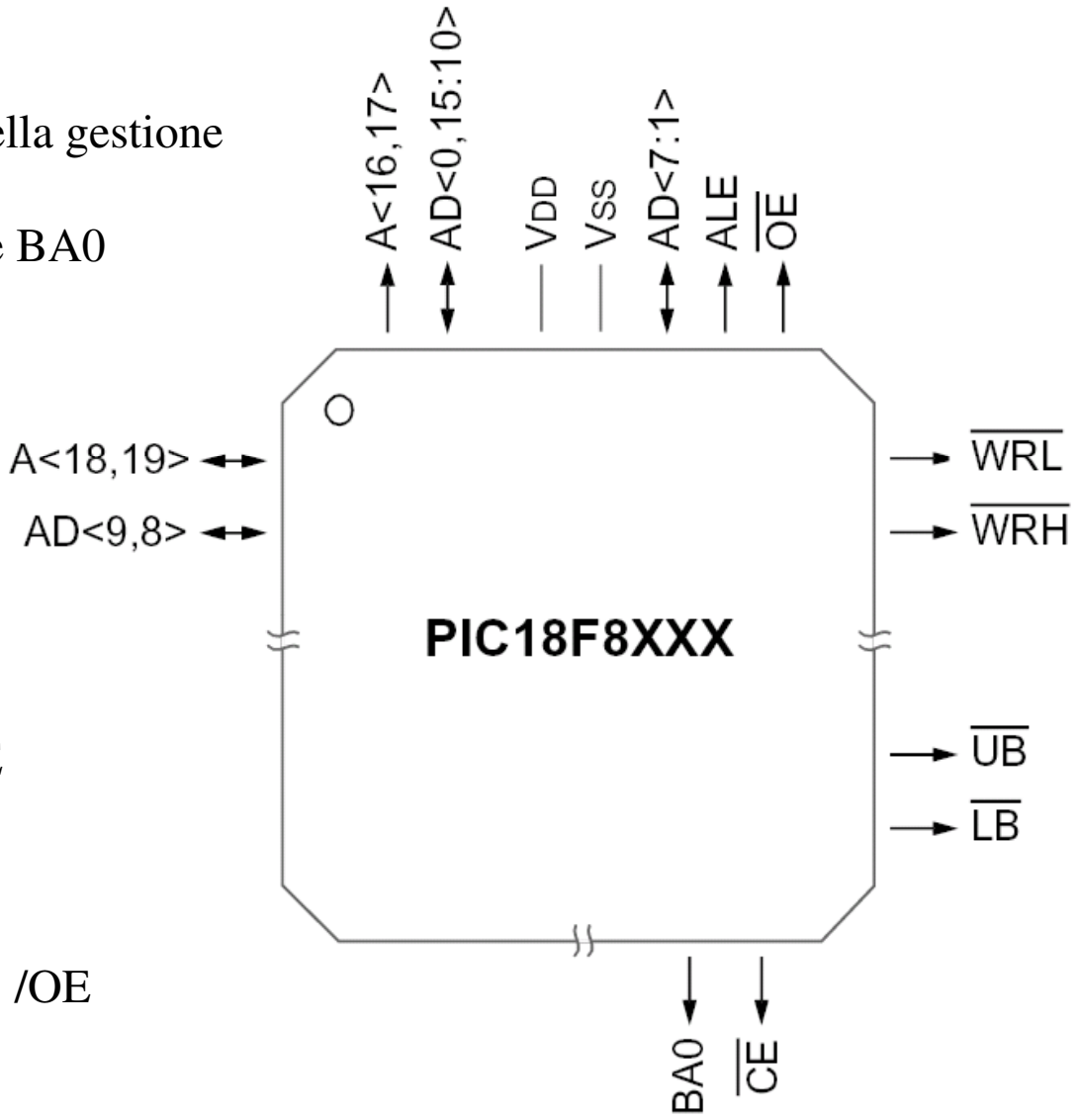
bit 1-0 **PM1:PM0:** Processor Data Memory Mode Select bits
11 = Microcontroller mode
10 = Microprocessor mode
01 = Microcontroller with Boot Block mode
00 = Extended Microcontroller mode

PINOUT LOGICO DEI MICROPROCESSORI



PINOUT LOGICO DEI MICROPROCESSORI

Sono indicati solo i segnali coinvolti nella gestione del bus:
I pin di indirizzo: A[16,19], AD[0,15] e BA0
I pin di dato: AD[0,15]
Le alimentazioni: VDD, Vss



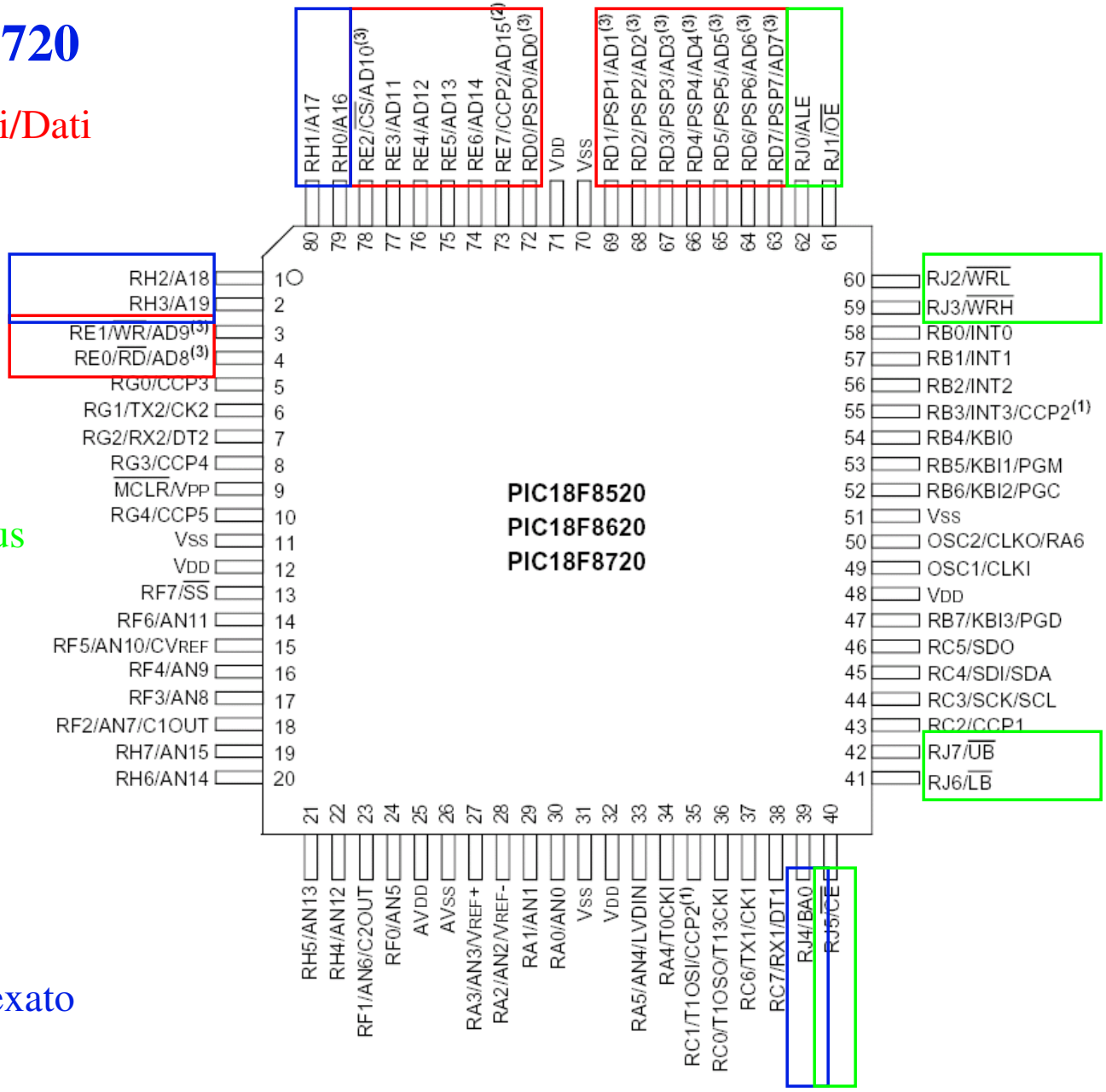
Il segnale di lactch degli indirizzi: ALE
I segnali di Write: /WRH e /WRL
I selettori dell'MSB e LSB: /UB e /LB
Il Chip Enable: /CE
L'Output Enable per abilitare la lettura: /OE

PINOUT PIC18F8720

Bus Multiplexato Indirizzi/Dati

Segnali di controllo del bus

Bus indirizzi non multiplexato



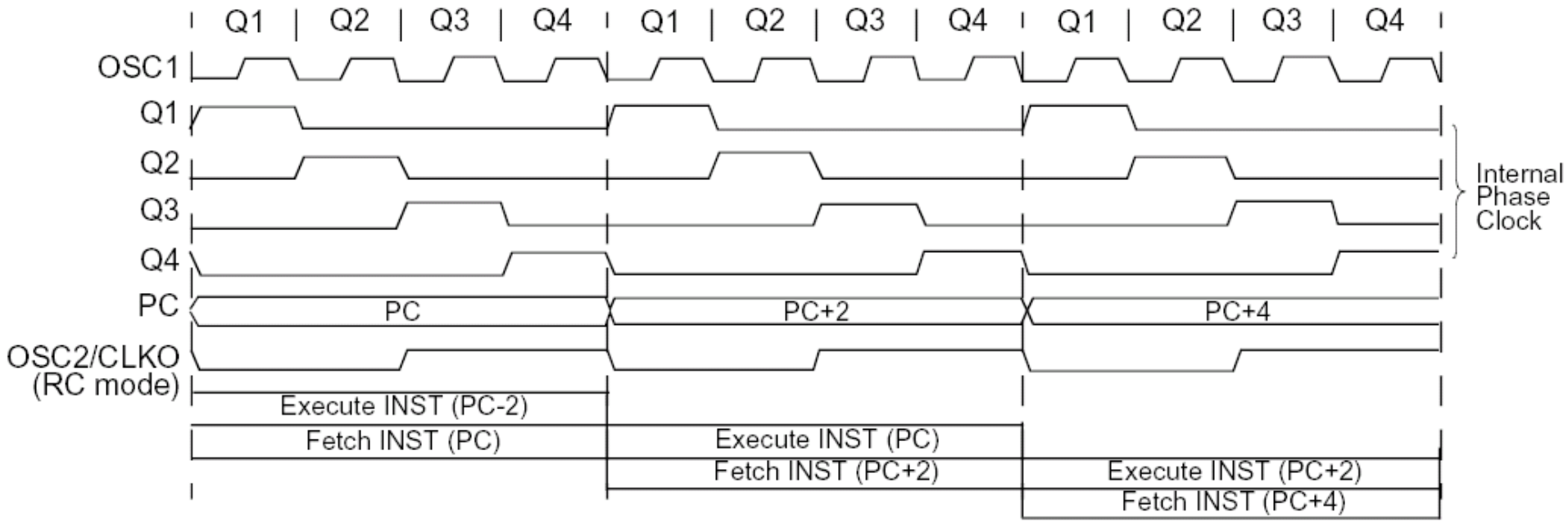
Funzionalità associate ai PIN delle porte del micro

Name	Function
RD0/AD0	EMI Address bit 0 or Data bit 0.
RD1/AD1	EMI Address bit 1 or Data bit 1.
RD2/AD2	EMI Address bit 2 or Data bit 2.
RD3/AD3	EMI Address bit 3 or Data bit 3.
RD4/AD4	EMI Address bit 4 or Data bit 4.
RD5/AD5	EMI Address bit 5 or Data bit 5.
RD6/AD6	EMI Address bit 6 or Data bit 6.
RD7/AD7	EMI Address bit 7 or Data bit 7.
RE0/AD8	EMI Address bit 8 or Data bit 8.
RE1/AD9	EMI Address bit 9 or Data bit 9.
RE2/AD10	EMI Address bit 10 or Data bit 10.
RE3/AD11	EMI Address bit 11 or Data bit 11.
RE4/AD12	EMI Address bit 12 or Data bit 12.
RE5/AD13	EMI Address bit 13 or Data bit 13.

Name	Function
RE6/AD14	EMI Address bit 14 or Data bit 14.
RE7/AD15	EMI Address bit 15 or Data bit 15.
RH0/A16	EMI Address bit 16.
RH1/A17	EMI Address bit 17.
RH2/A18	EMI Address bit 18.
RH3/A19	EMI Address bit 19.
RJ0/ALE	EMI Address Latch Enable (ALE) Control pin.
RJ1/$\overline{OE}$	EMI Output Enable ($\overline{OE}$) Control pin.
RJ2/$\overline{WRL}$	EMI Write Low ($\overline{WRL}$) Control pin.
RJ3/$\overline{WRH}$	EMI Write High ($\overline{WRH}$) Control pin.
RJ4/BA0	EMI Byte Address bit 0.
RJ5/$\overline{CE}$	EMI Chip Enable ($\overline{CE}$) Control pin.
RJ6/$\overline{LB}$	EMI Lower Byte Enable ($\overline{LB}$) Control pin.
RJ7/$\overline{UB}$	EMI Upper Byte Enable ($\overline{UB}$) Control pin.

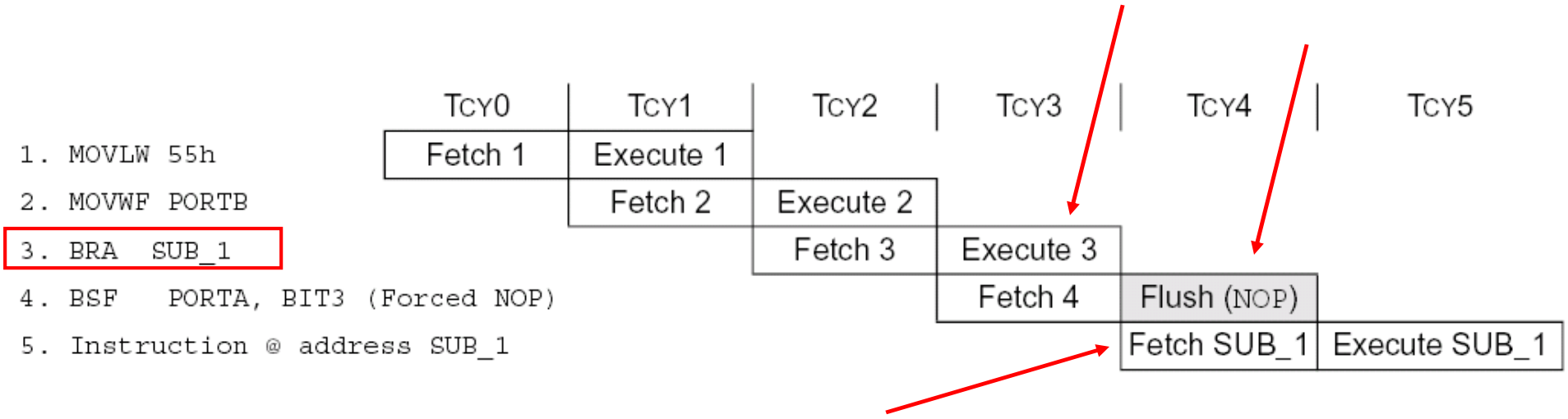
L'Istruction Cycle (IC)

Il Clock viene utilizzato per costruire il ciclo di ogni istruzione che è divisa in 4 parti
Ciascuna della durata di un clock-cycle, i MIPS sono quindi da calcolarsi in $f_{clock}/4$
Quindi a 40 MHz il micro darà 10 MIPS.
Grazie alla Pipeline ogni istruzione viene effettivamente eseguita in un solo IC, fanno eccezione le istruzioni che seguono salti condizionati o incondizionati.



La Pipeline delle istruzioni

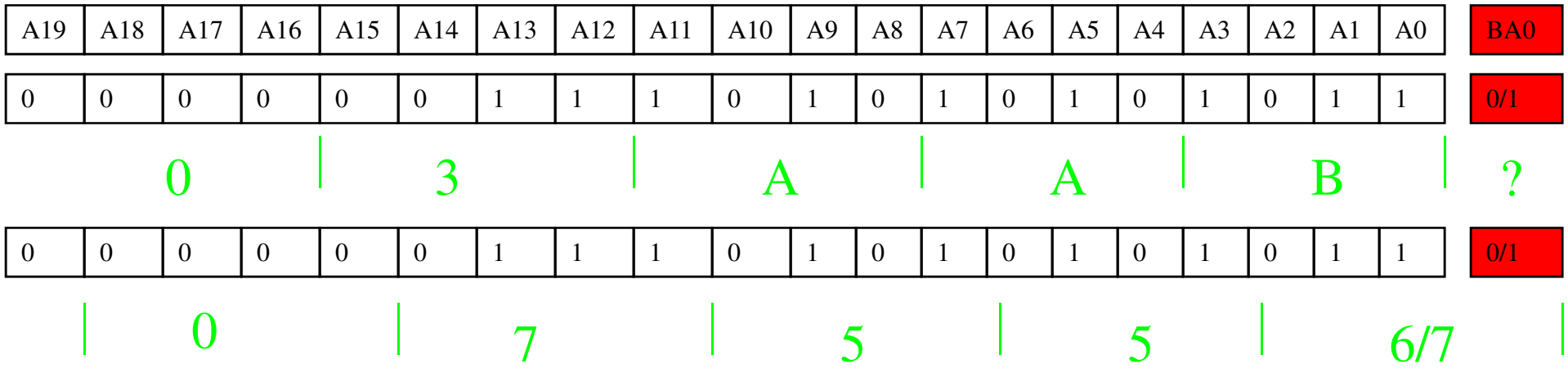
In caso di branch di programma a cui si deve saltare, l'istruzione di cui si eseguita la fetch (istruzione 4) non viene eseguita, perché non valida per la corretta sequenza di istruzioni del programma e una volta spostato l'Instrucion pointer nella corretta zona di memoria, si dovrà eseguire una nuova fetch per il recupero della corretta istruzione da eseguire.



Come Costruire l'Address

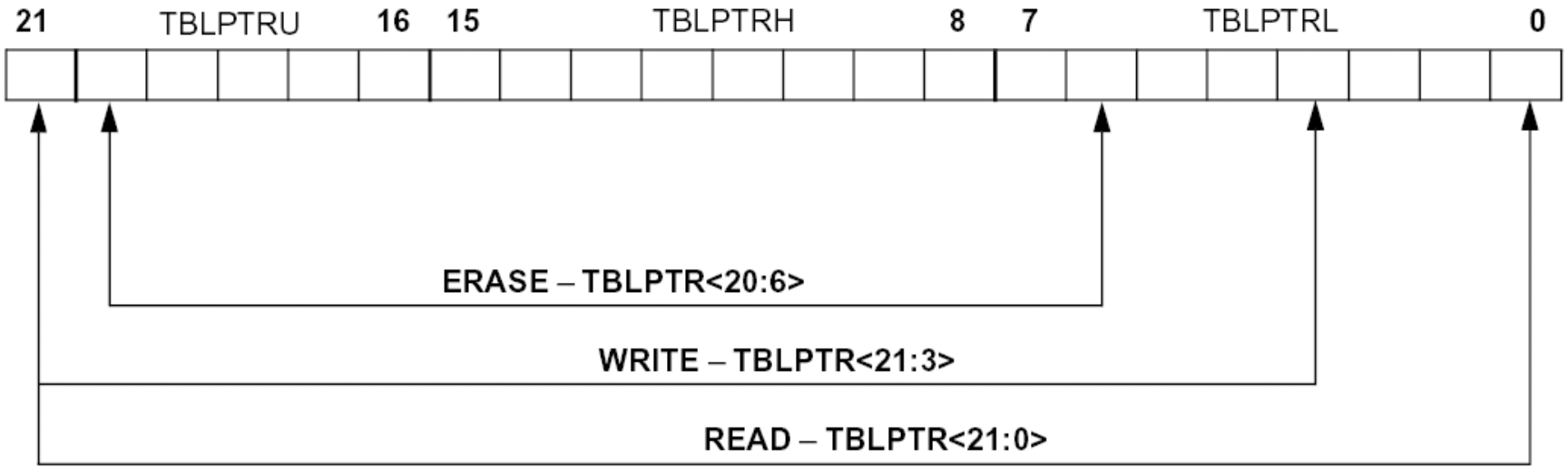
Address: A[19,0] + BA0 BA0 = LSB

BA0 non viene cablato se si realizza un HW con accesso a WORD



Puntatori alla memoria

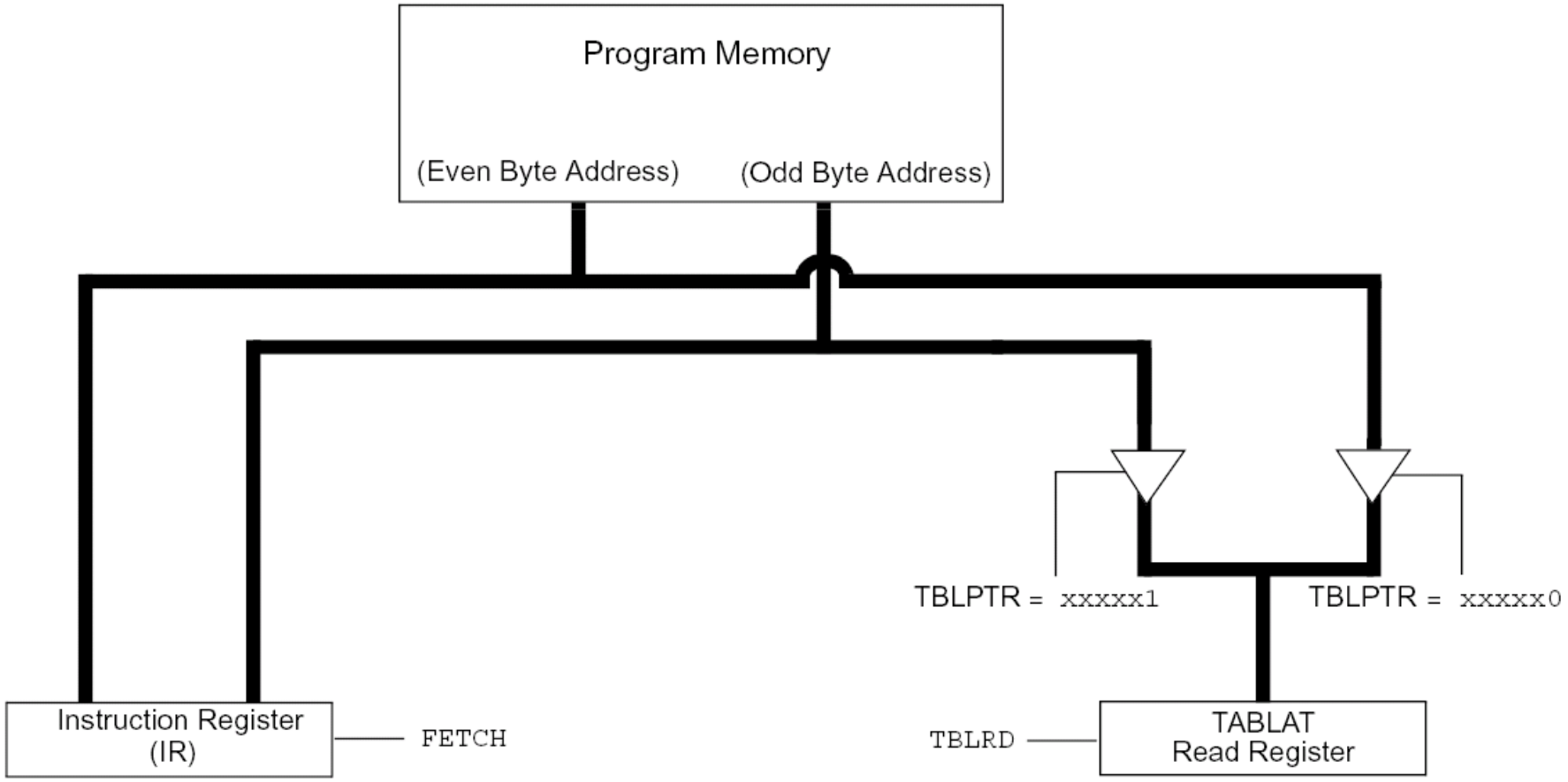
Dove viene caricato l'address delle celle di memoria (Flash/RAM) su cui Effettuare cicli di read/write? In TBLPTR=Table Pointer di 3 byte



Come?
In tre istruzioni:

```
MOVLW   CODE_ADDR_UPPER         ; Load TBLPTR with the base
MOVWF   TBLPTRU                 ; address of the word
MOVLW   CODE_ADDR_HIGH
MOVWF   TBLPTRH
MOVLW   CODE_ADDR_LOW
MOVWF   TBLPTRL
```

Puntatori alla memoria (2)



ARCHITETTURA A LIVELLO DI SISTEMA

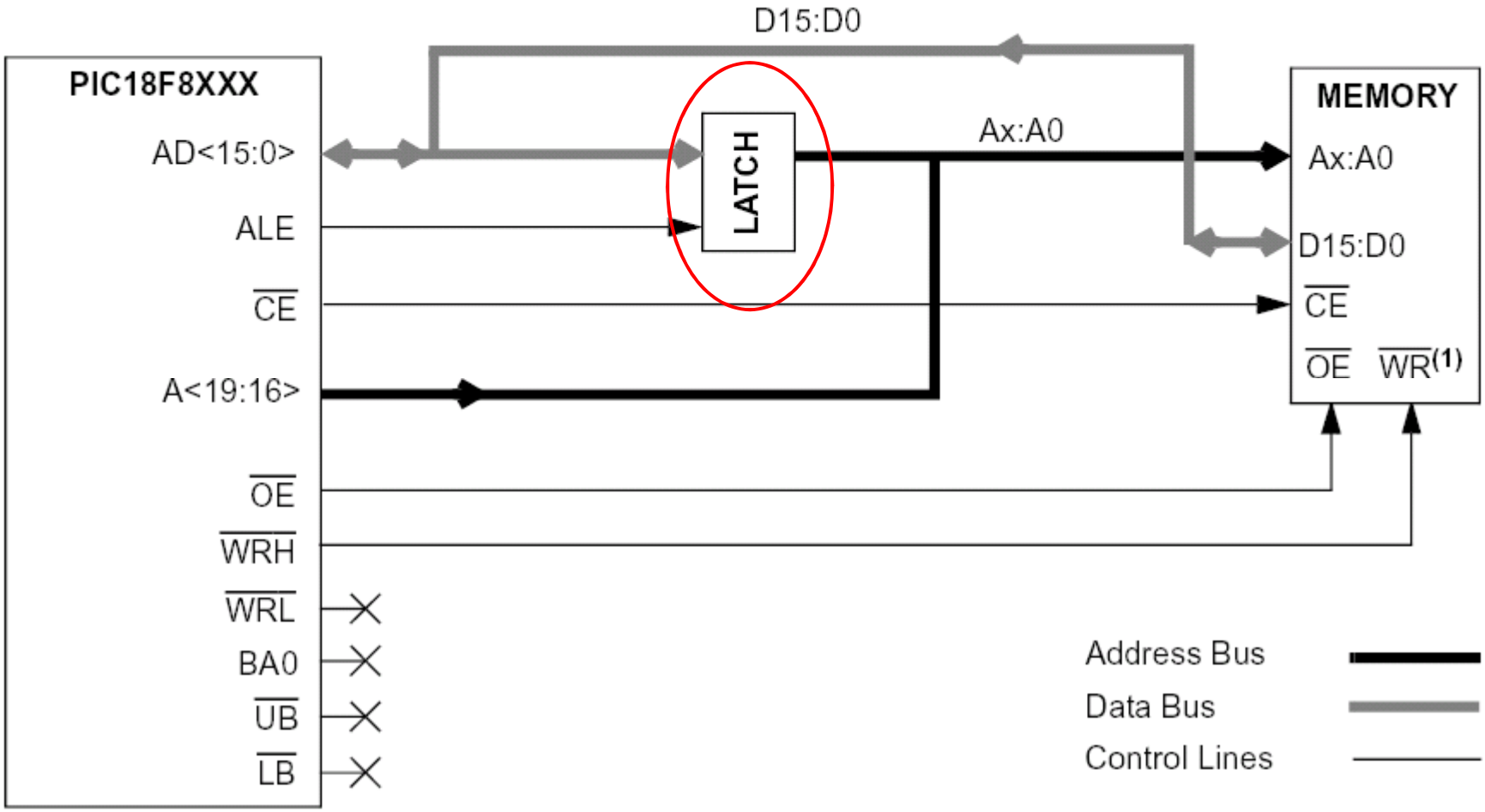
Architettura a livello di sistema

Interfaccia standard nei microprocessori
I segnali esterni dei microprocessori PIC18F8x20 (x = 5,6,7 in funzione dei tagli di flash a bordo)

Architettura del bus
Il ciclo di bus nel PIC18F8x20

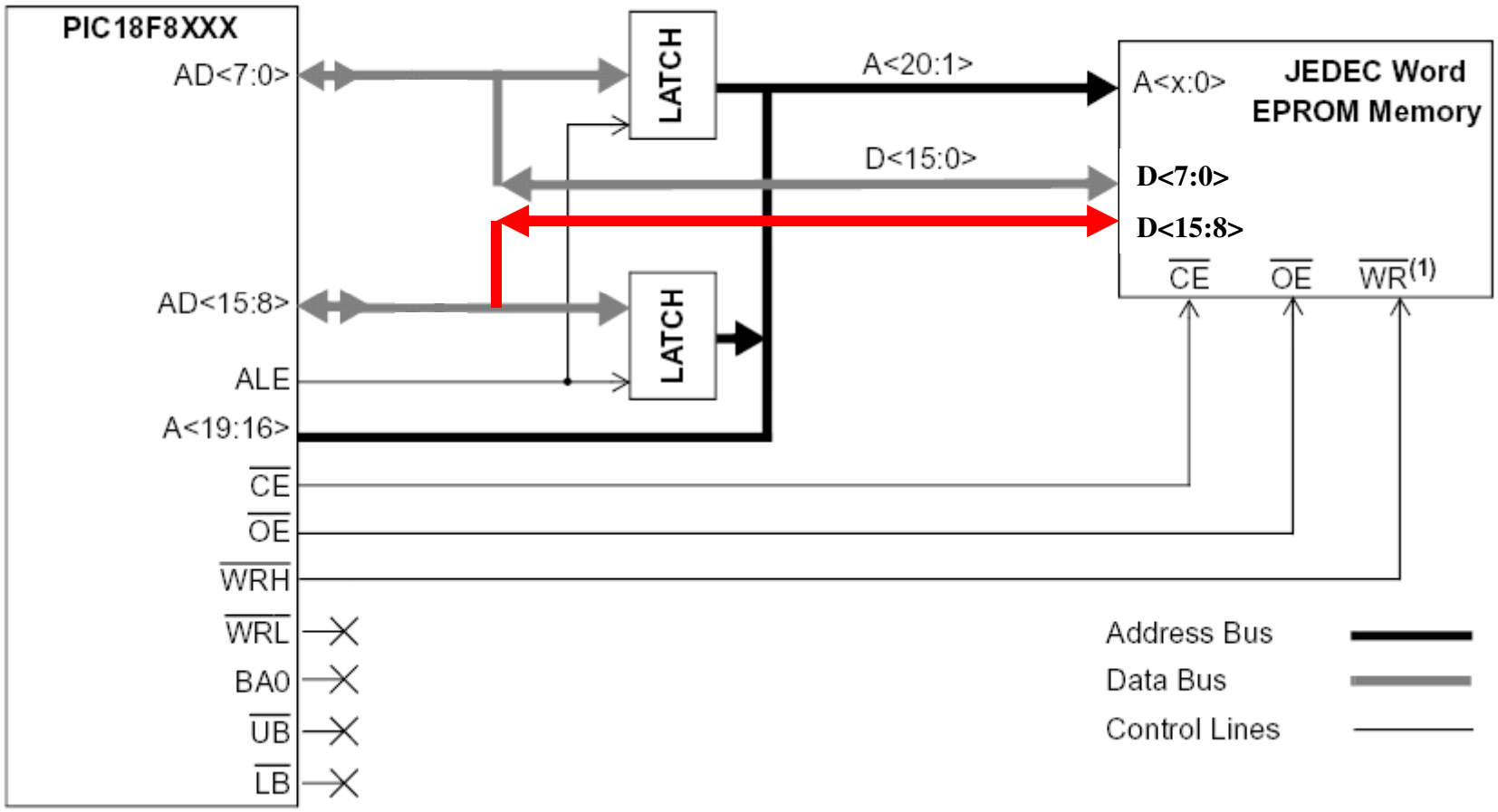
Circuiti logici di interfaccia di bus, le diverse configurazioni:
Interfaccia Word Write Mode /
Byte Write Mode /
Byte Select Mode
Particolarità ed utilizzo delle tre modalità
Gestione del reset, del clock

Schema di interfacciamento di principio



N.B. Il Latch è a parallelismo 16, ovvero memorizza lo stato di 16 bit

Schema di interfacciamento reale: Word Write Mode



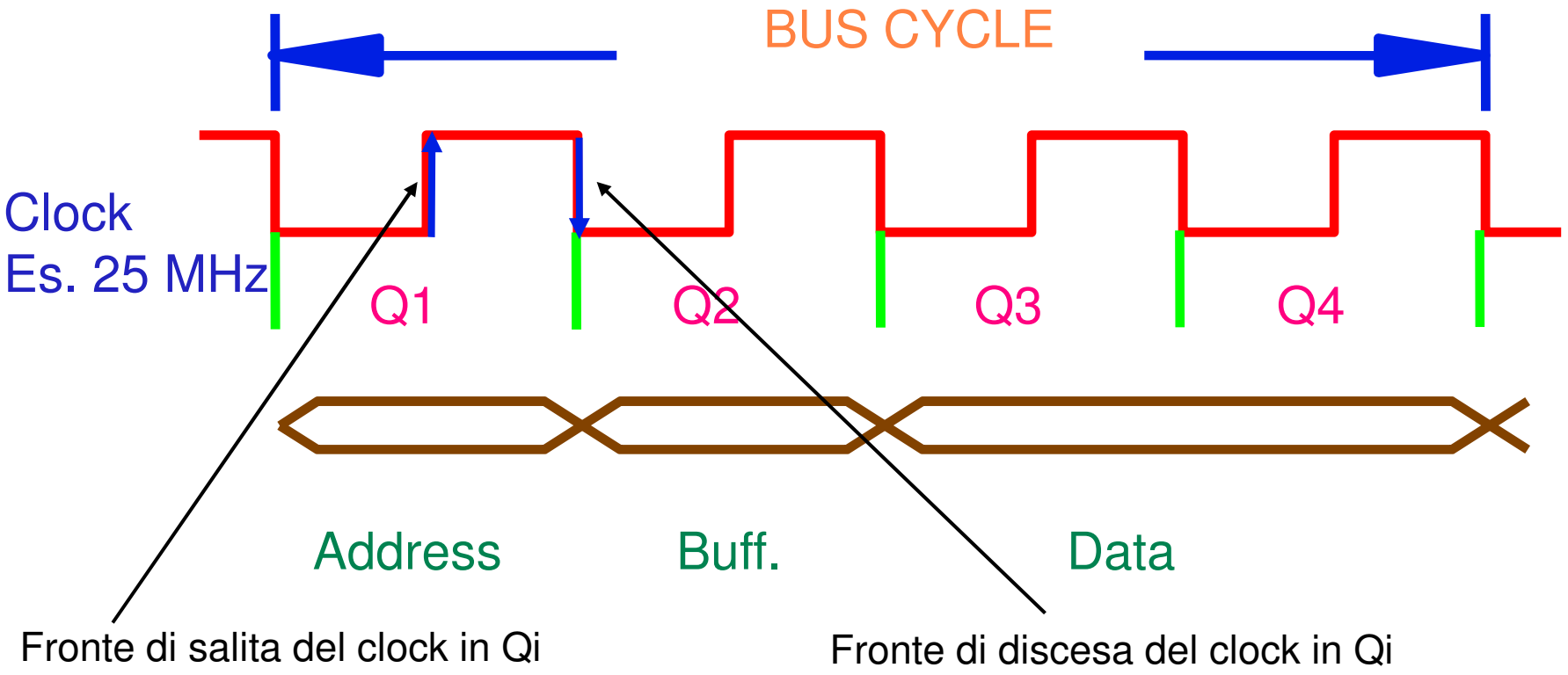
CICLI DI BUS

Ciclo di bus:
Ciclo di trasferimento tra CPU e dispositivi esterni

Per i dispositivi il ciclo di bus e' un evento Asincrono,
per la CPU e' un evento sincrono che avviene in caso di fetch o di execute;
se l'execute e' interna il bus rimane "idle", cioè inattivo: in particolare tutti i segnali di controllo vengono settati al valore inattivo (/WR=1, /OE=1, ALE=0 ecc….)

1) la CPU fornisce l'indirizzo valido
2) *scrittura*:
   la CPU fornisce il dato;
   il dispositivo con un proprio tempo di accesso (Twr)
   campiona il dato
   lettura (sia di operandi che fetch di codice):
   dopo un tempo di accesso di lettura (Tacc) il dispositivo
   fornisce il dato sul bus;
   il dato viene campionato dalla CPU in modo sincrono

CICLO BASE PIC18F8x20

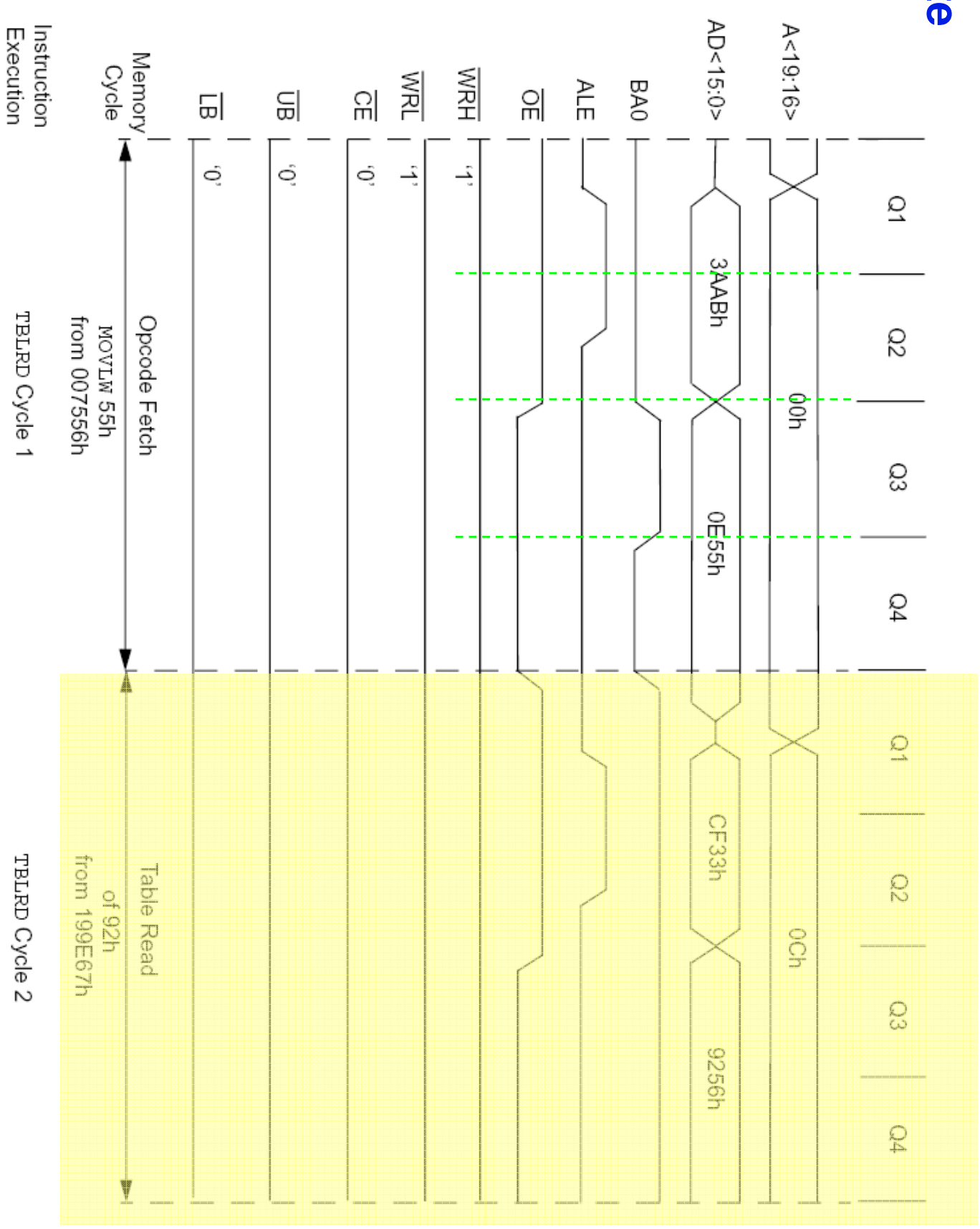


BUS multiplexato

Necessità di segnali di sincronismo per scandire le diverse fasi del ciclo di bus

EMI Timing for Program Fetch & Table Read (lettura di dati sul bus)

Word Write Mode



CICLO BASE PIC18F8x20: lettura -> TABLE READ

Registri:
TBLAT (Table Latch): registro a 8 bit in cui viene registrato il dato letto

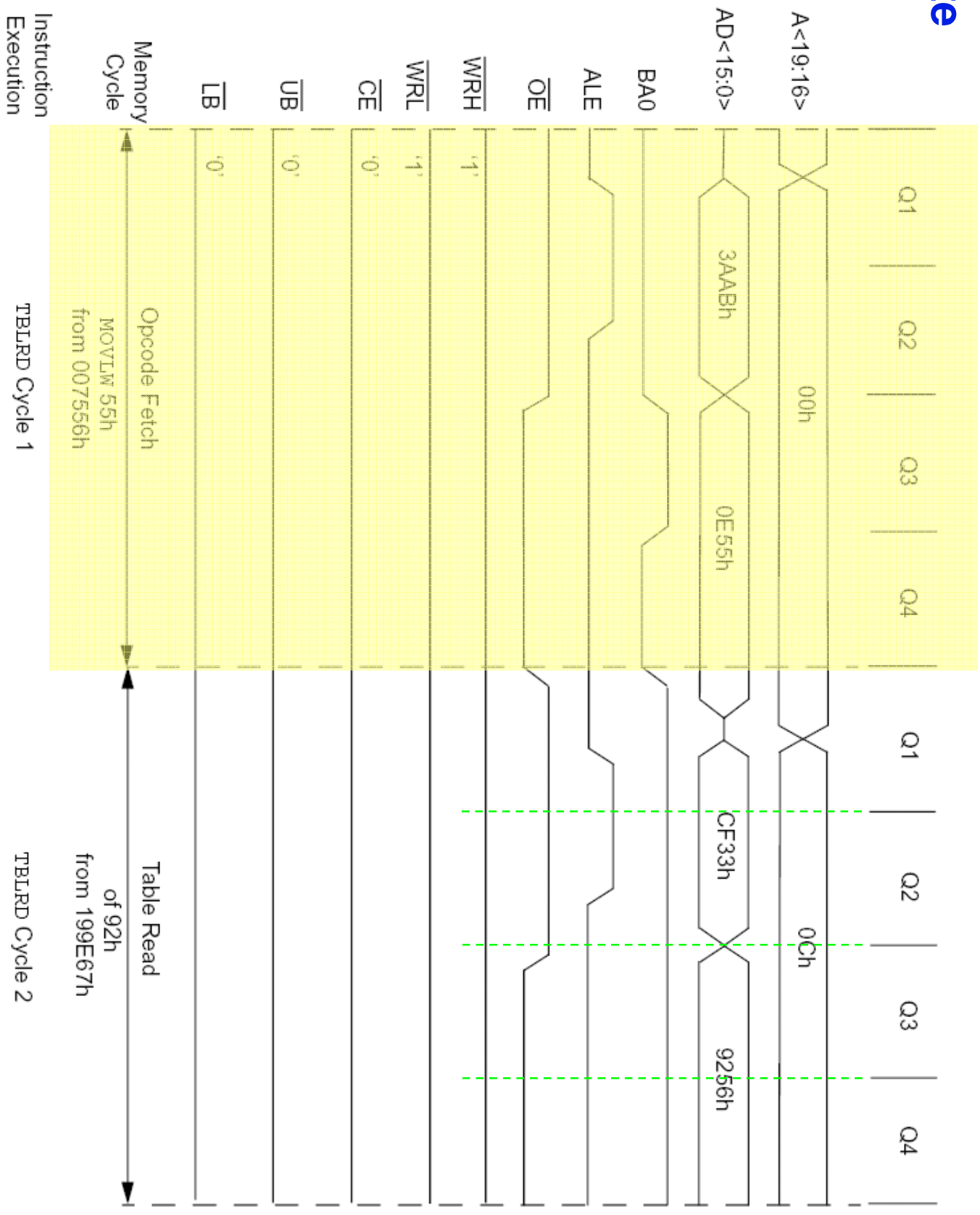
TBLPTR (Table pointer)= TBLPTRU+TBLPTRH+TBLPTRL: registro a 24 bit in cui viene caricato l'indirizzo della cella di memoria a cui si vuole accedere in lettura.

Operazioni possibili:
TBLRD*+: post incremento
TBLRD*-: post decremento
TBLRD+*: pre incremento

```
MOVLW       UPPER (SampleTable)       ;Initialize Table Pointer
MOVWF       TBLPTRU                   ;with the starting address
MOVLW       HIGH  (SampleTable)       ;of the Table
MOVWF       TBLPTRH                   ;
MOVLW       LOW   (SampleTable)       ;
MOVWF       TBLPTRL                   ;
TBLRD*+                               ;Read Program memory and increment Table Pointer
MOVFF       TABLAT, Mydata            ;Store table latch to FSR Mydata
```

EMI Timing for Program Fetch & Table Read (lettura di dati sul bus con accesso a WORD)

Word Write Mode



CICLO BASE PIC18F8x20: scrittura -> Table Write

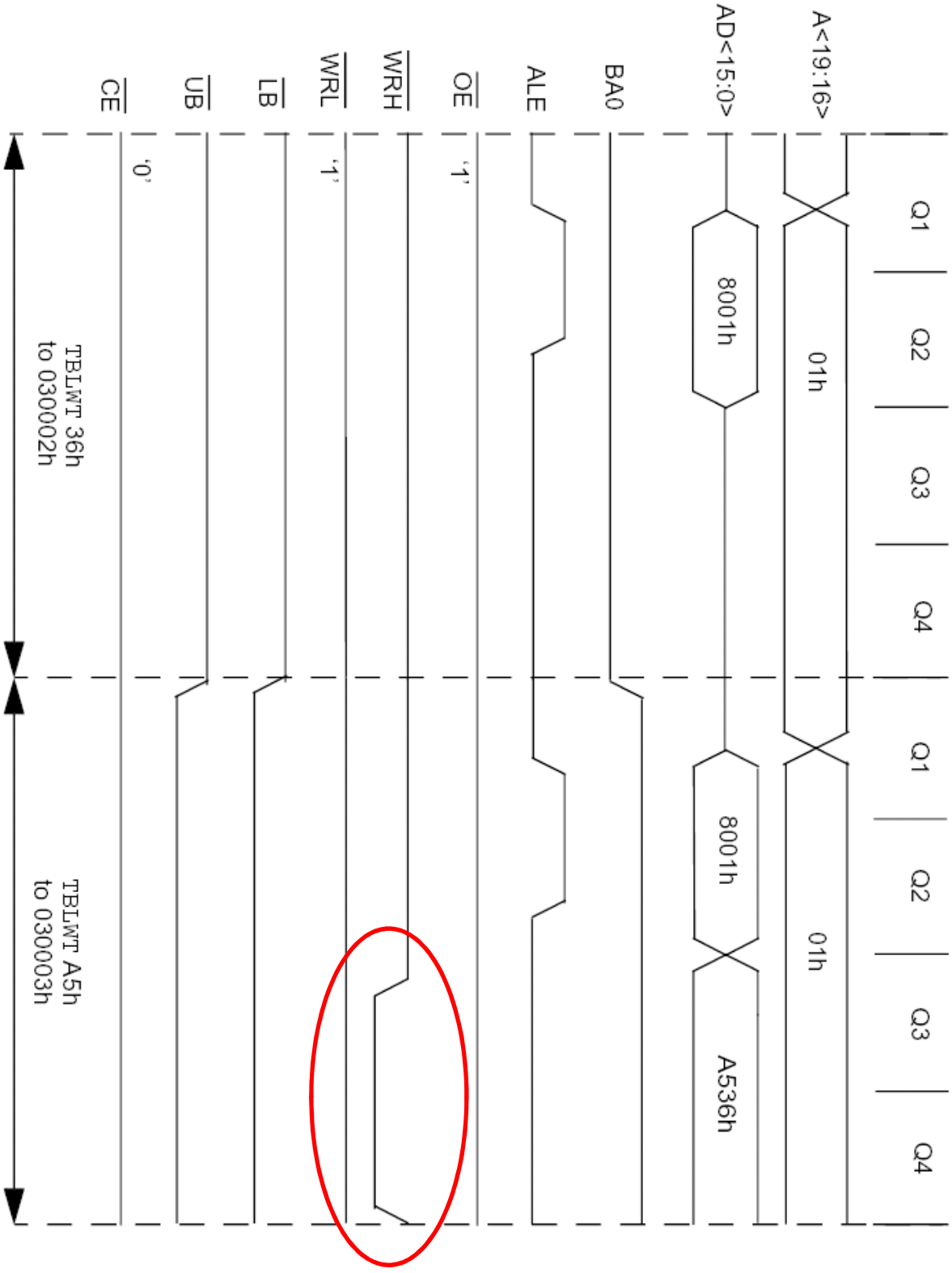
Registri:
TBLAT (Table Latch): registro a 8 bit in cui viene copiato il dato da inviare sul bus
TBLPTR (Table pointer)= TBLPTRU+TBLPTRH+TBLPTRL: registro a 24 bit in cui viene caricato l'indirizzo della cella di memoria a cui si vuole accedere in scrittura.

Operazioni possibili:
TBLWR*+: post incremento
TBLWR*-: post decremento
TBLWR+*: pre incremento

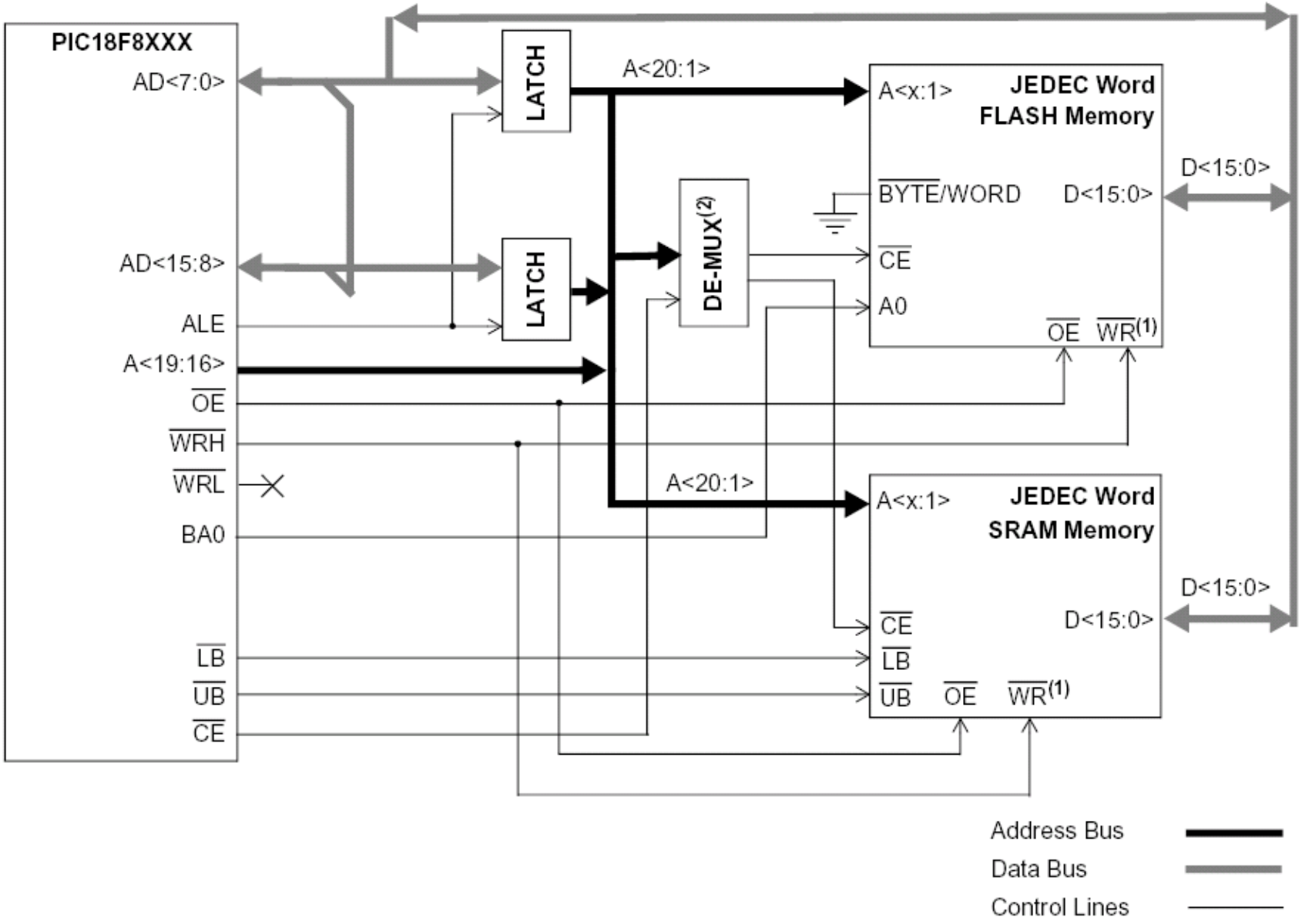
```
MOVLW       UPPER (SampleTable)       ;Initialize Table Pointer
MOVWF       TBLPTRU                   ;with the starting address
MOVLW       HIGH  (SampleTable)       ;of the Table
MOVWF       TBLPTRH                   ;
MOVLW       LOW   (SampleTable)       ;
MOVWF       TBLPTRL                   ;
MOVLW       LOW   (DataWord)          ;Load table latch with low byte
MOVWF       TABLAT                    ;of value to write
TBLWT*+                               ;Write to Program memory and increment Table Pointer
MOVLW       HIGH  (DataWord)          ;Load W register with high byte of value to write
MOVWF       TABLAT                    ;Transfer high byte of value to table latch
TBLWT*                                ;Write to next location/Word
```

EMI Timing for Table Write (scrittura di dati sul bus con accesso a WORD alla memoria)

Word Write Mode

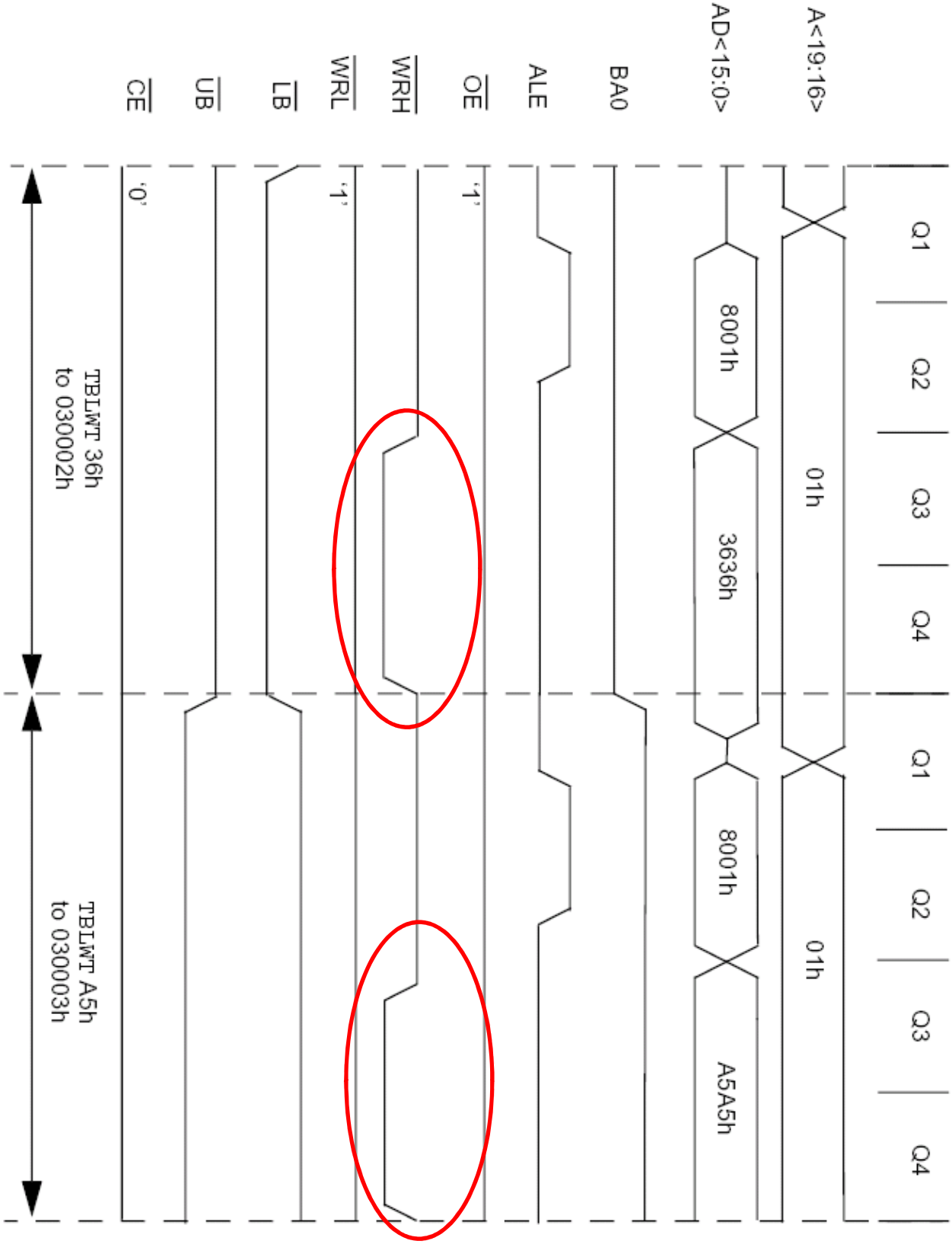


Schema di interfacciamento reale: Byte Select Mode

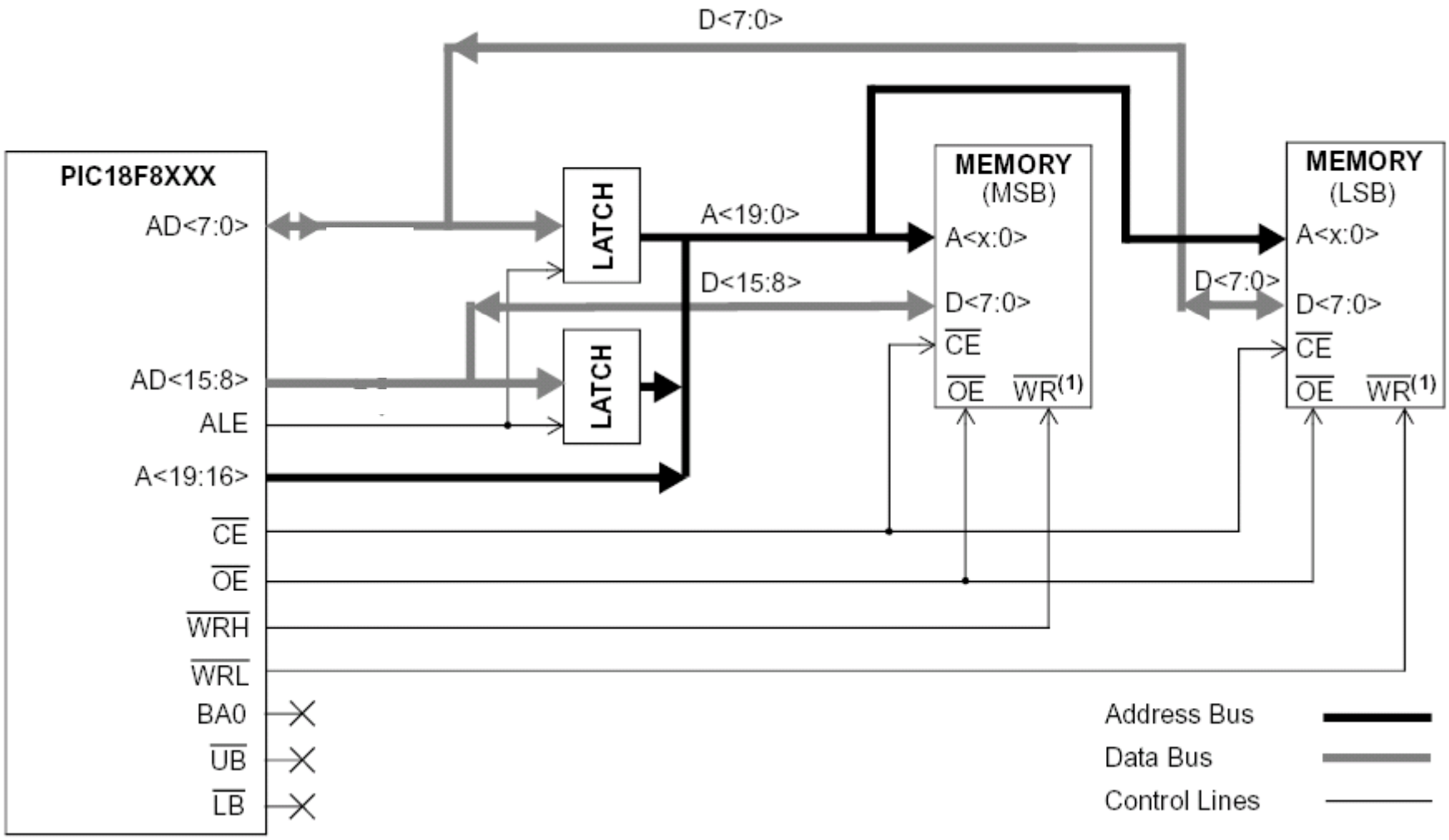


EMI Timing for Table Write (scrittura di dati sul bus con accesso a BYTE alla memoria)

Byte Select Mode

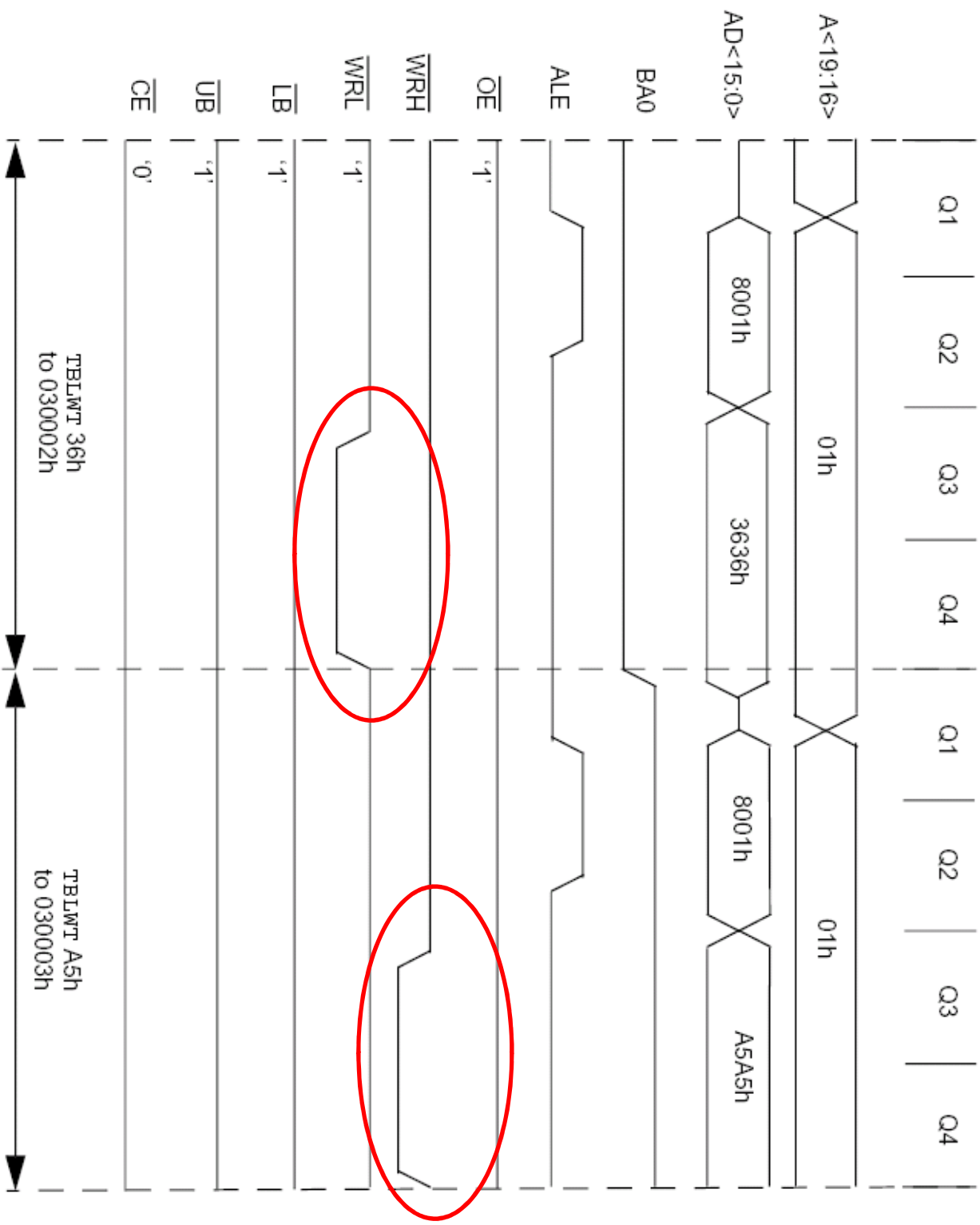


Schema di interfacciamento reale: Byte Write Mode

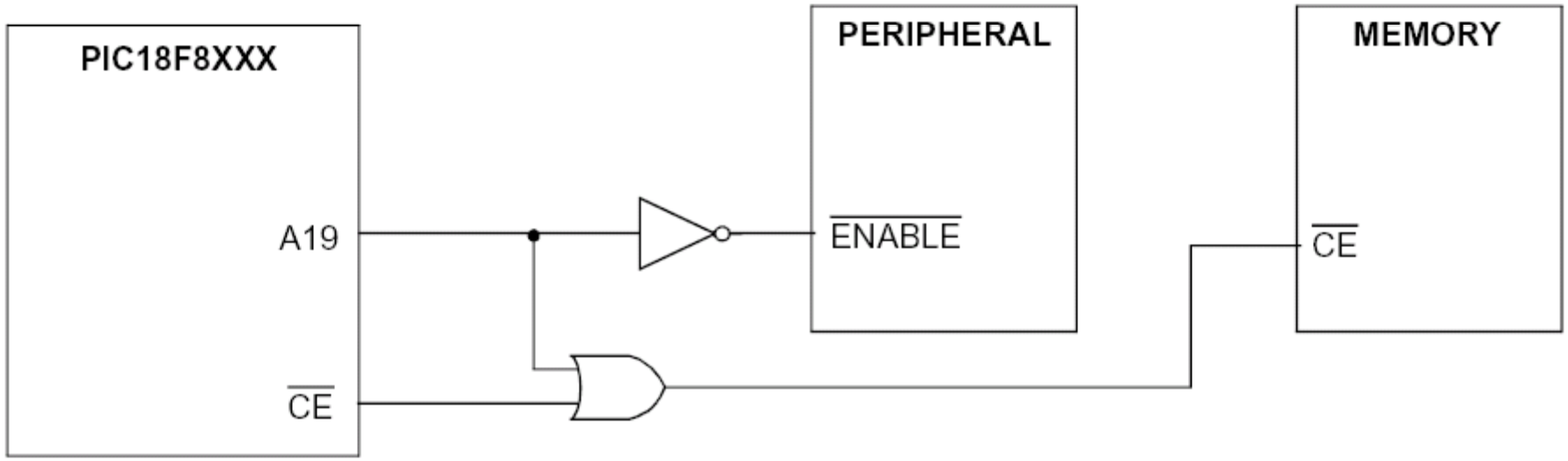


Byte Write Mode

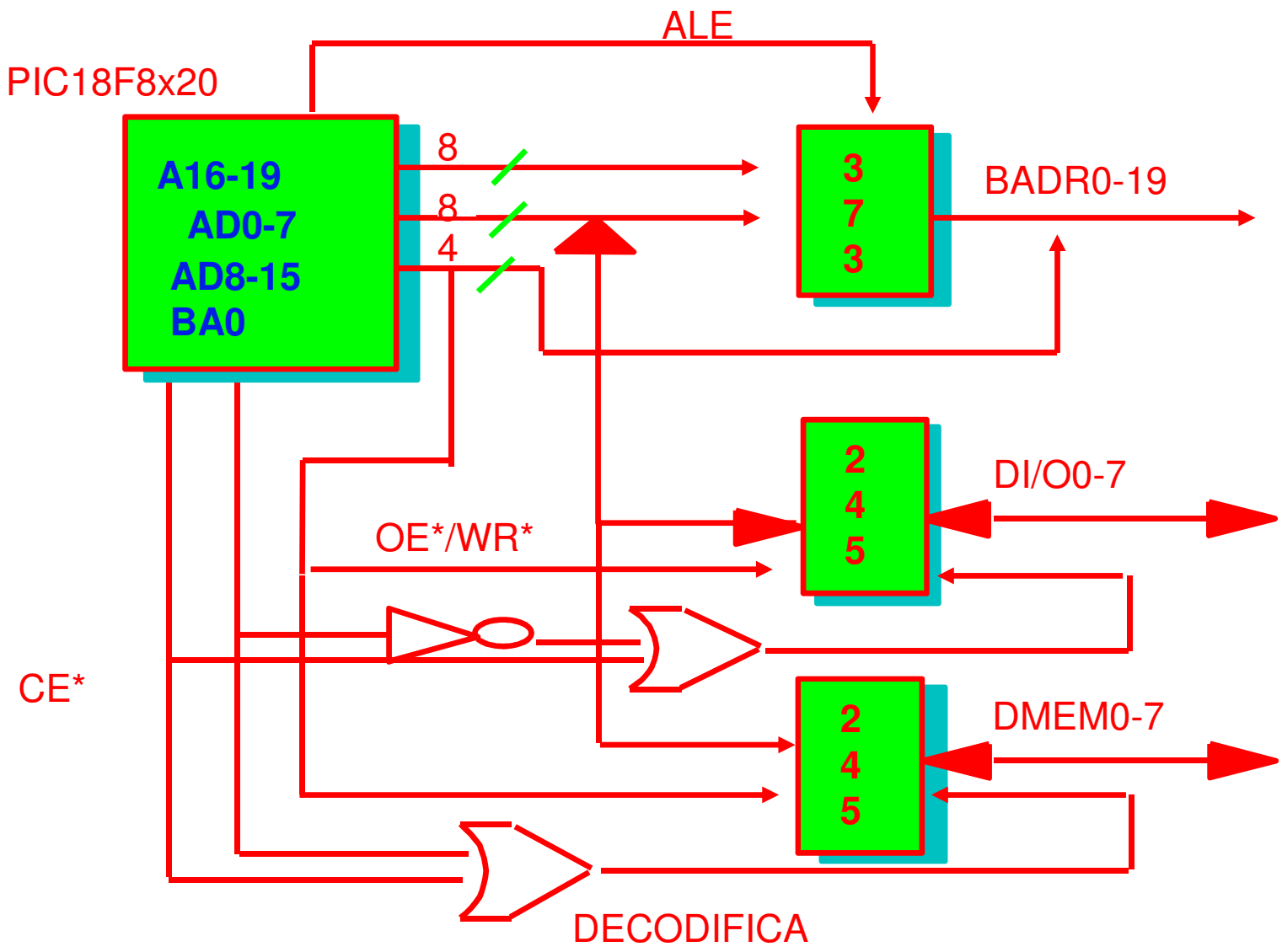
EMI Timing for Table Write (scrittura di dati sul bus con accesso a BYTE alla memoria)



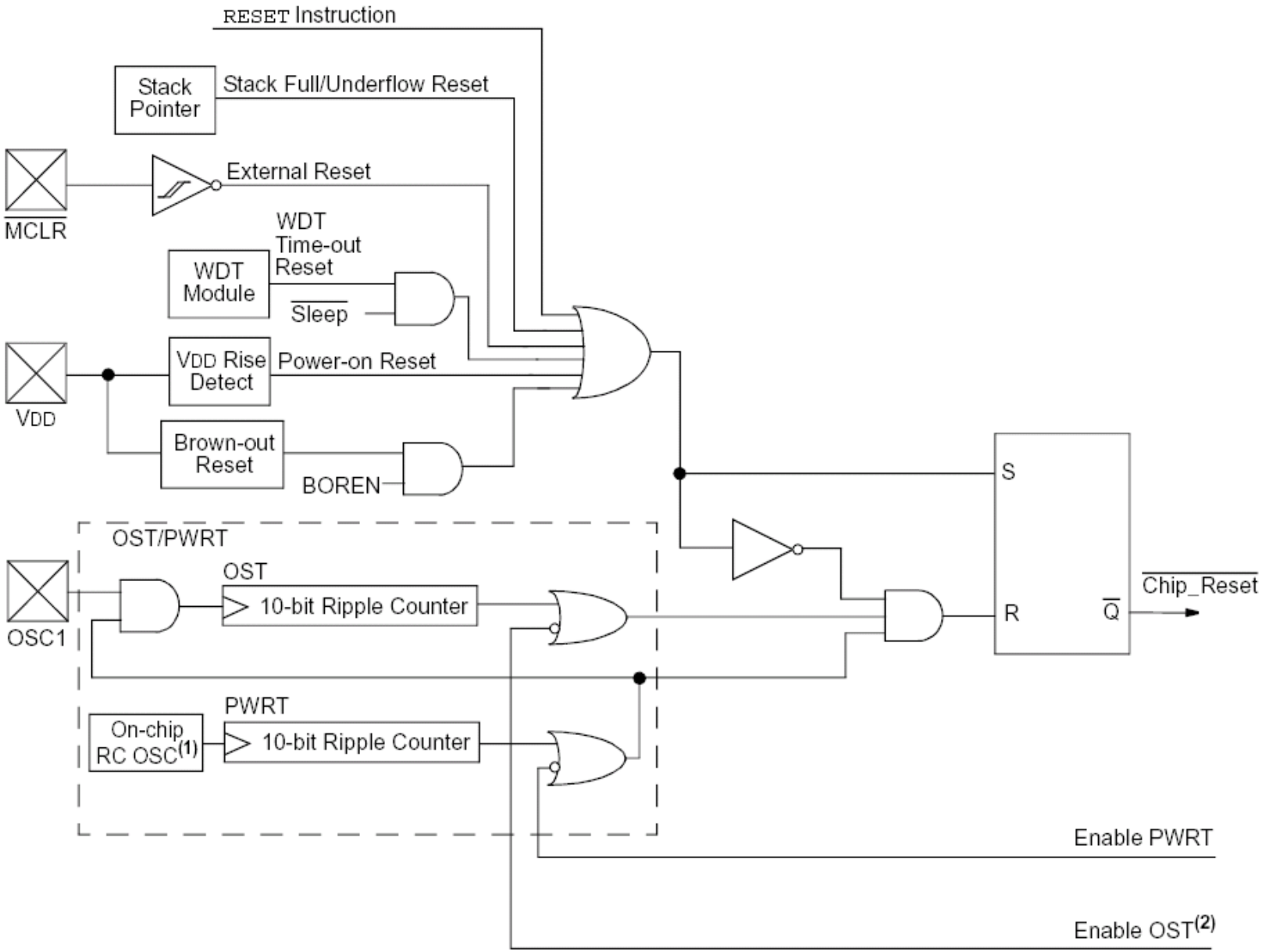
Memory Mapped Peripheral Schematic



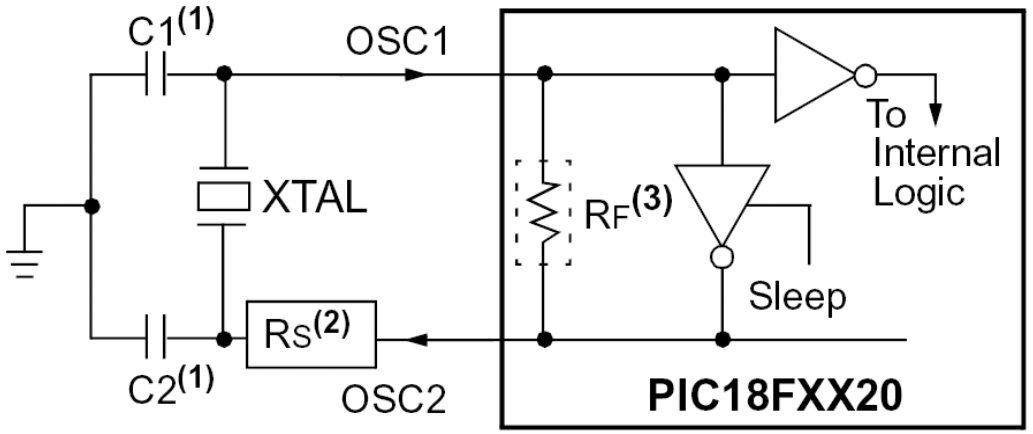
MEMORIE E I/O

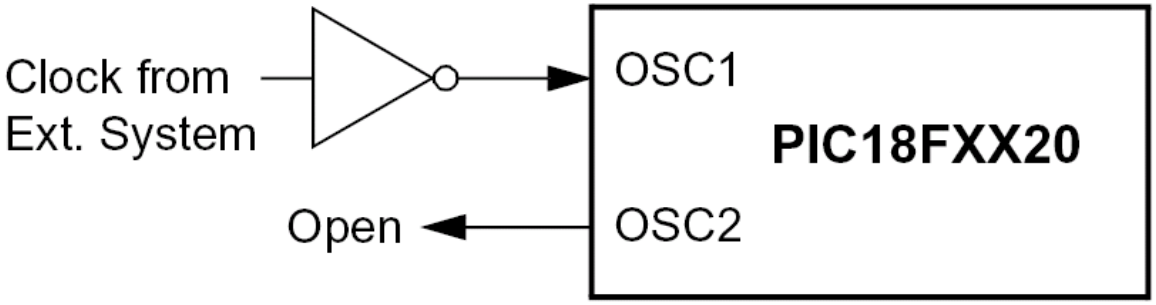

ALE
PIC18F8x20
A16-19
AD0-7
AD8-15
BA0
8
8
4
373
BADR0-19
245
DI/O0-7
OE*/WR*
CE*
245
DMEM0-7
DECODIFICA

SINCRONIZZAZIONE e RESET

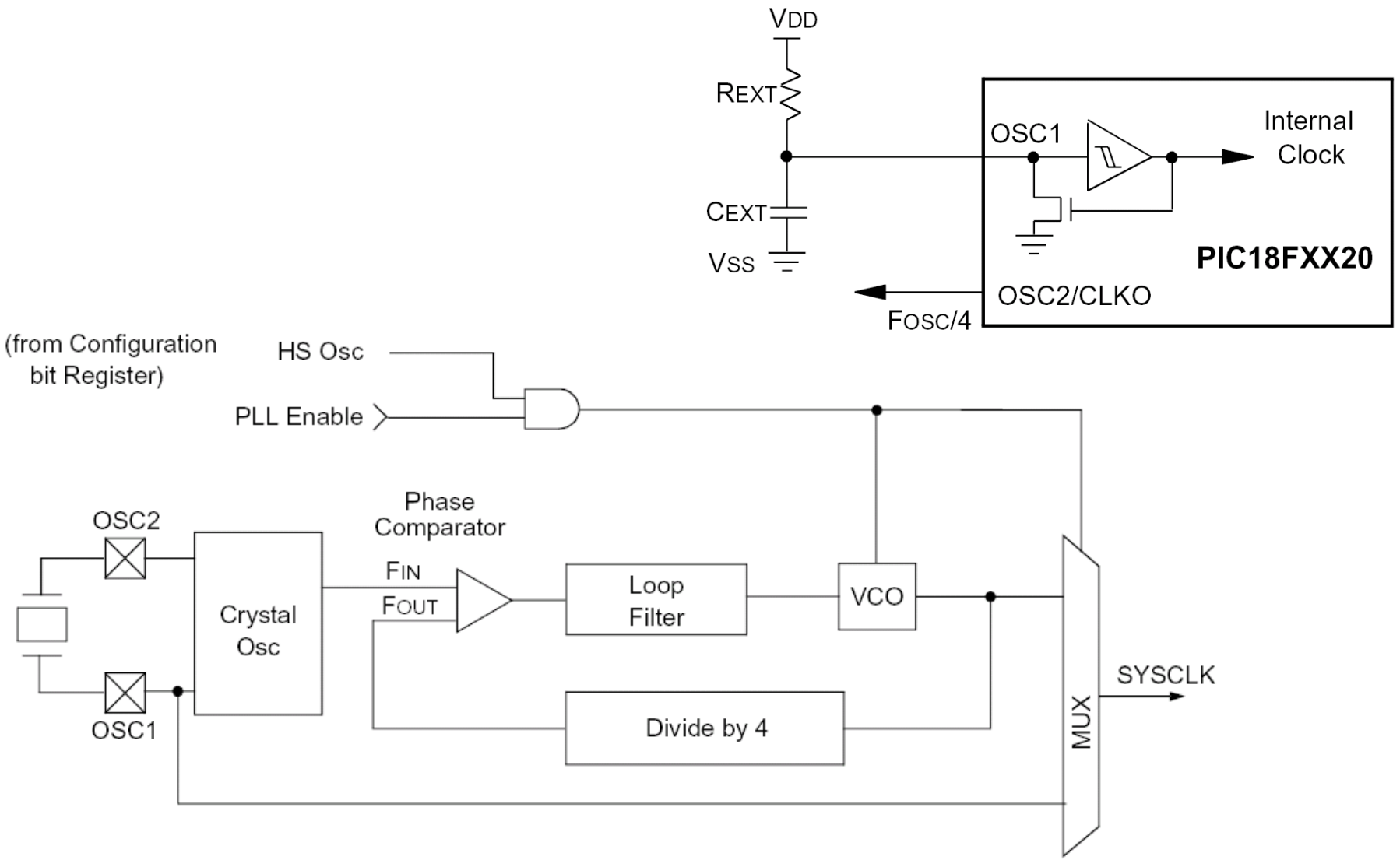


CLOCK GENERATOR

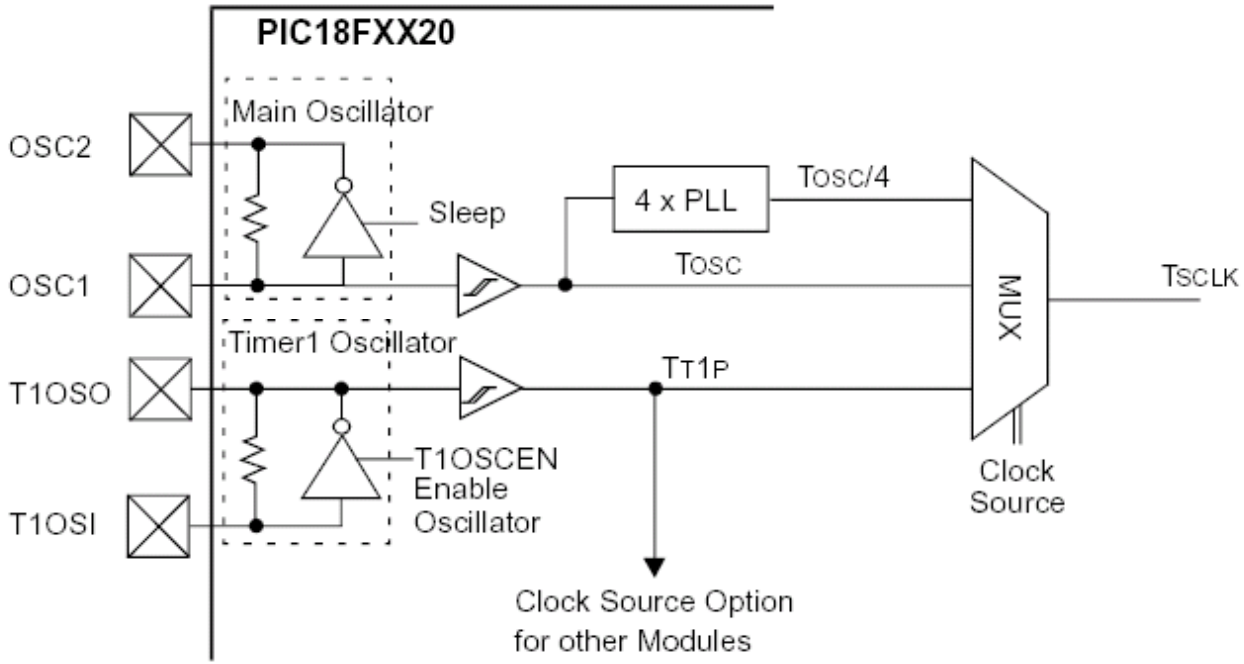




CLOCK GENERATOR (2)



CLOCK GENERATOR (3)



Registri di configurazione del modo di funzionamento: MEMCON

REGISTER 2: MEMCON REGISTER

R/W-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0
EBDIS	—	WAIT1	WAIT0	—	—	WM1	WM0
bit7							bit0

bit 7 **EBDIS**: External Bus Disable bit
1 = External system bus disabled, all external bus drivers are mapped as I/O ports
0 = External system bus enabled and I/O ports are disabled

bit 6 **Unimplemented**: Read as '0'

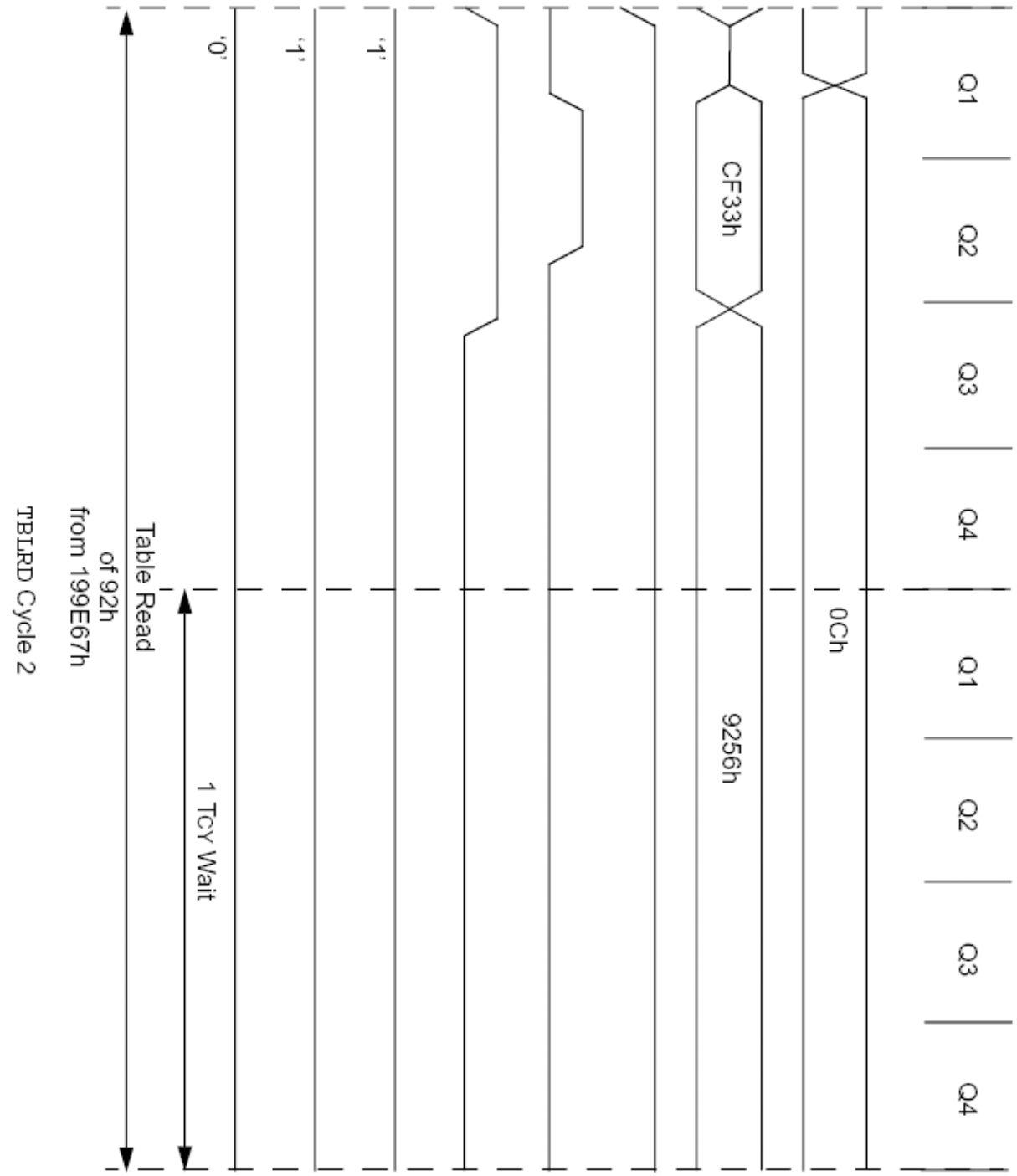
bit 5-4 **WAIT<1:0>**: Table Reads and Writes Bus Cycle Wait Count bits
11 = Table reads and writes will wait 0 TCY
10 = Table reads and writes will wait 1 TCY
01 = Table reads and writes will wait 2 TCY
00 = Table reads and writes will wait 3 TCY

bit 3-2 **Unimplemented**: Read as '0'

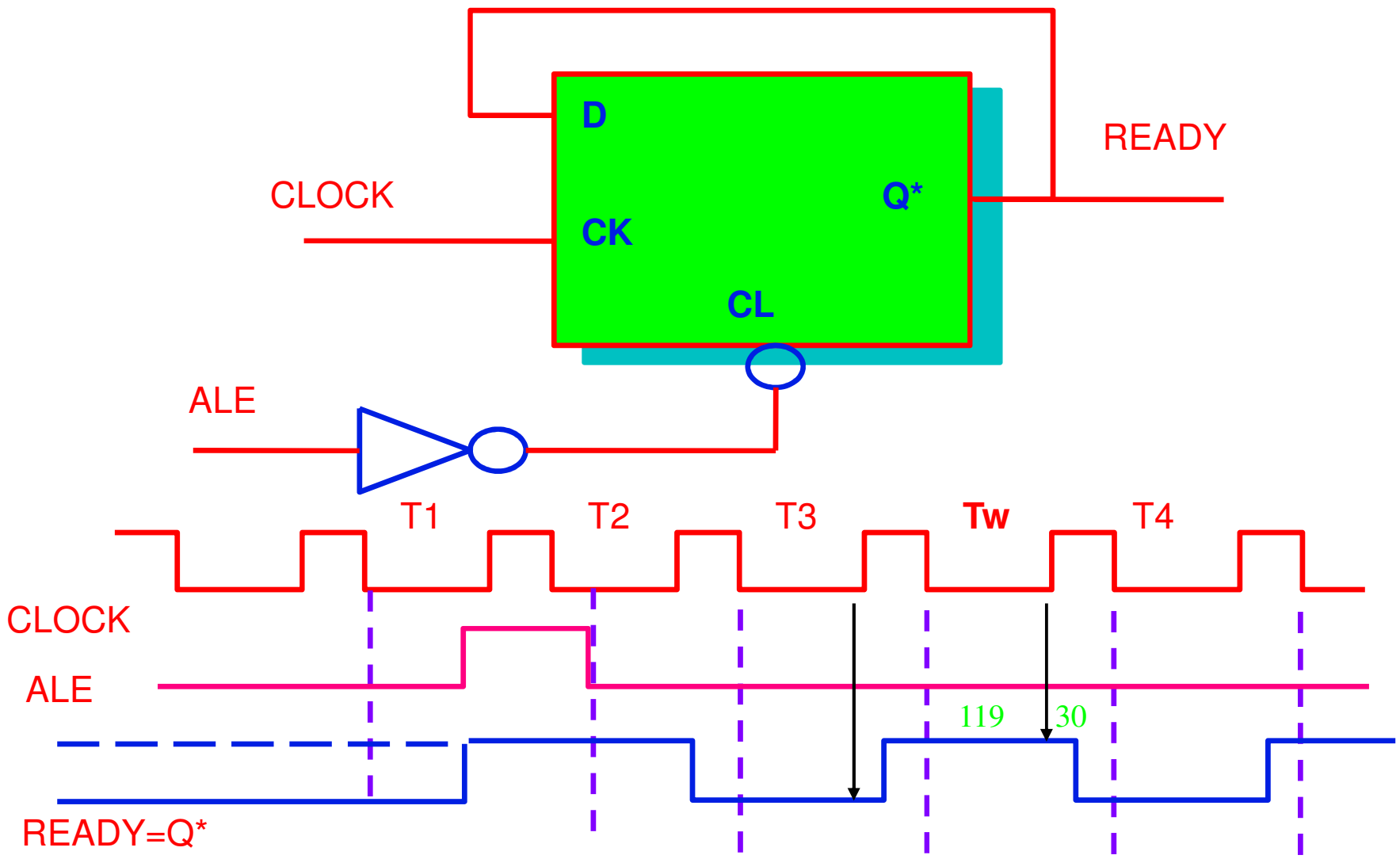
bit 1-0 **WM<1:0>**: TBLWRT Operation with 16-bit Bus bits
1x = Word Write mode: TABLAT<0> and TABLAT<1> word output, $\overline{WRH}$ active when TABLAT<1> written
01 = Byte Select mode: TABLAT data copied on both MS and LS Byte, $\overline{WRH}$ and ($\overline{UB}$ or $\overline{LB}$) will activate
00 = Byte Write mode: TABLAT data copied on both MS and LS Byte, $\overline{WRH}$ or $\overline{WRL}$ will activate

ALL Modes

EMI Timing for Table read con 1 Wait State



1-STATE WAIT GENERATOR



STATI DI WAIT MULTIPLI