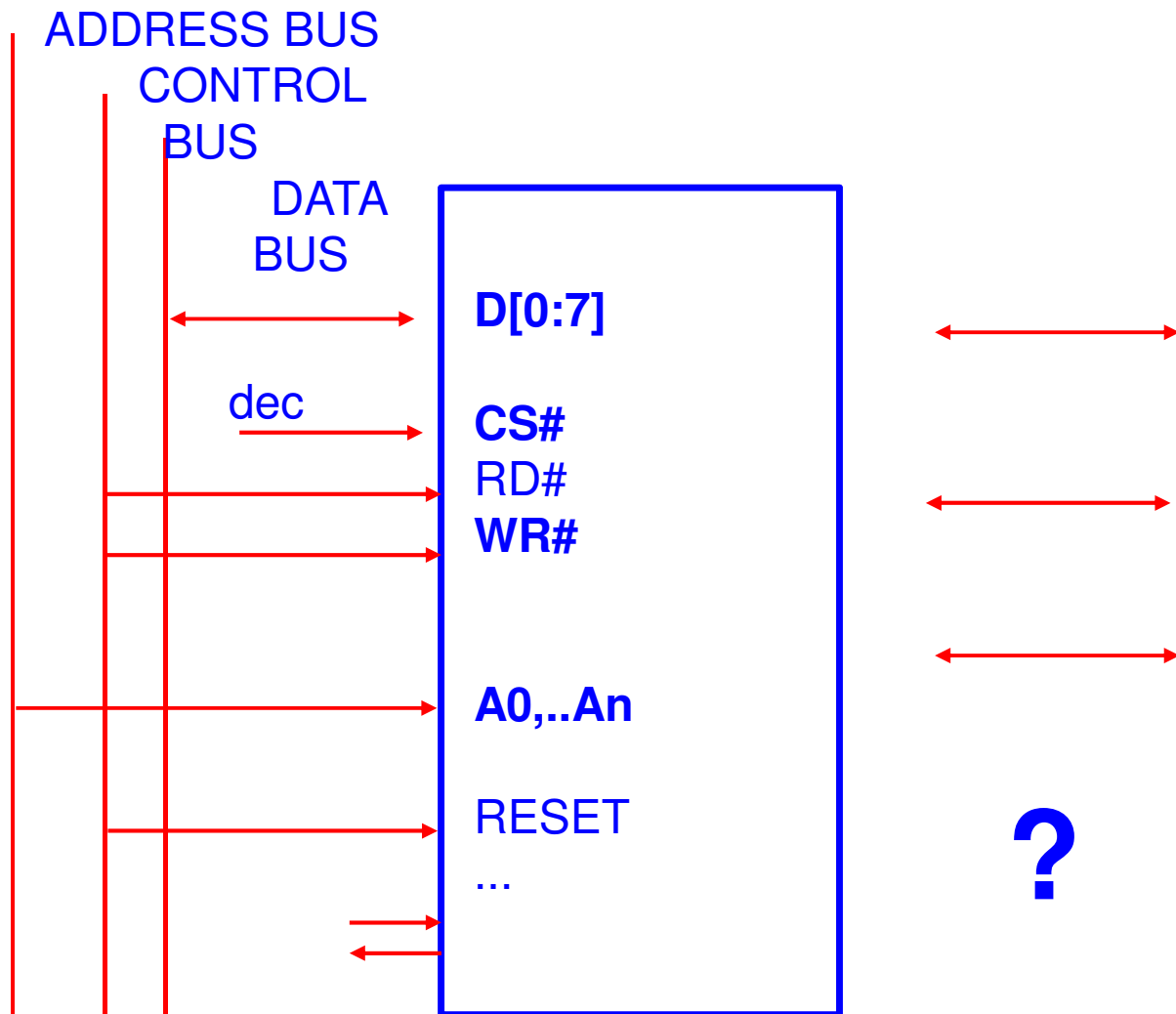


CONTROLLORI DI I/O



cpu

Controllori di I/O (anche detti periferiche):

Due interfacce:

- 1 verso la CPU, standard BTU=Bus Transfer Unit
- 1 verso l'esterno, specifica

All'interno della periferica registri o parole di stato e memoria

Interfaccia con periferiche

Interfaccia con periferiche a 8 bit con un bus dati di 8 bit

Esempio: periferica con 4 registri di configurazione R0.. R3

Necessità di distinguere nell'accesso ai 4 registri: servono 2 pin di indirizzo sul controllore, A0 e A1

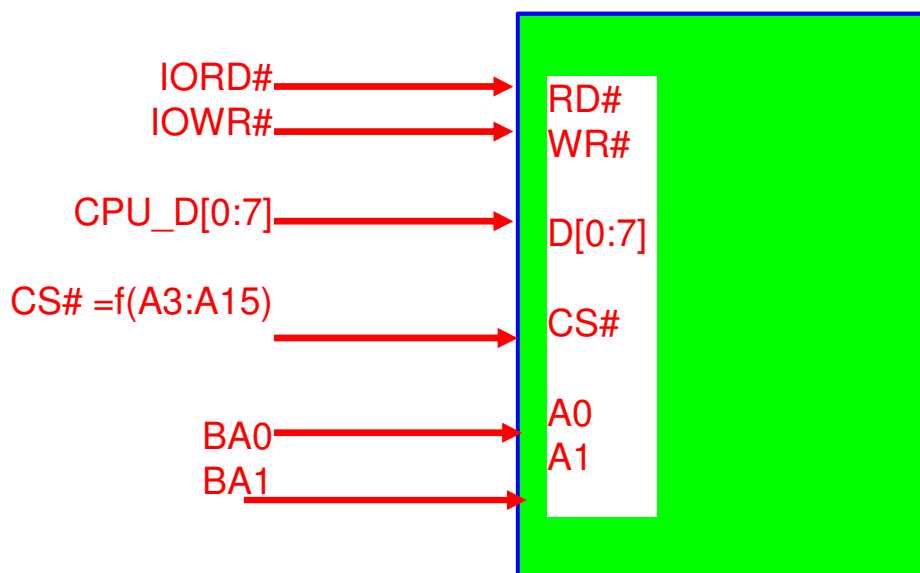
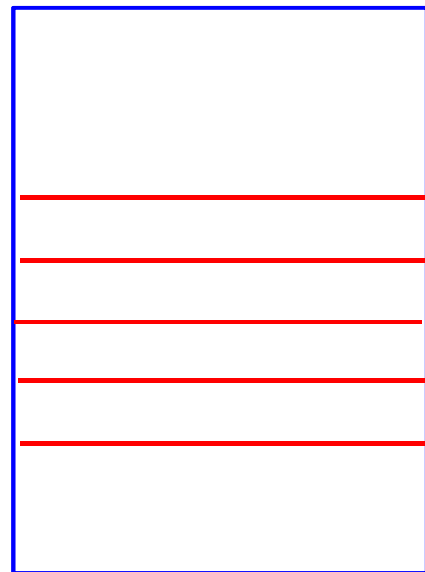
A0 <-- BA0
A1 <-- BA1

SPAZIO DI INDIRIZZI: 21 bit BA0, A0...A19

I 4 registri hanno indirizzi contigui:

Esempio:

CSR3 = 6533H
CSR2 = 6532H
CSR1 = 6531H
CSR0 = 6530H



Interfaccia su bus a più di 8 bit

- ❑ A differenza dell'interfaccia con la memoria, l'interfaccia con i controllori di I/O non ha in genere l'esigenza di bus a elevato parallelismo
- ❑ **Molti controllori di I/O hanno una porta dati a soli 8 bit**
- ❑ Quando si interfaccia un controllore di I/O a 8 bit con un bus di dati ad esempio a 16 bit, si devono operare delle scelte:
 - collegare il controllore al solo bus basso
 - collegare il controllore al solo bus alto
 - collegare il controllore alternativamente a entrambi i bus

In base alla connessione scelta si dovranno valutare le eventuali limitazioni di indirizzamento, nel senso visto nella lezione dedicata agli interfacciamenti del micro al bus a 8 bit.

Interfaccia con periferiche

Interfaccia con periferiche a 8 bit con un bus dati di 16 bit

Scelta semplice: colleghiamo la periferica al solo bus basso D0-D7

! La periferica è raggiungibile solo a indirizzi pari!

Periferica - micro

A0 <-- A0 (da ricordare l'esistenza di BA0)

A1 <-- A1

=>

Per ritornare all'esempio citato in precedenza della periferica dotata di 4 registri interni:

I 4 registri hanno indirizzi pari contigui:

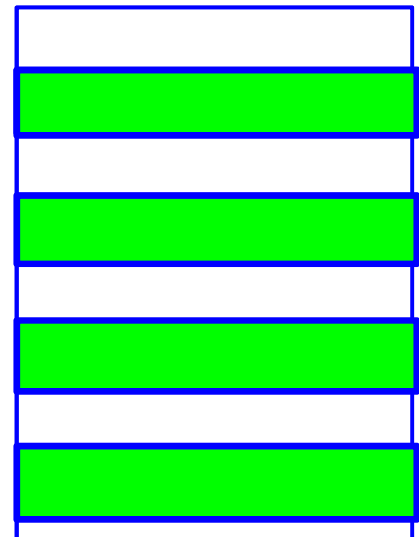
Esempio:

CSR3 = 6536H

CSR2 = 6534H

CSR1 = 6532H

CSR0 = 6530H



Allo stesso modo i 4 registri avrebbero indirizzi dispari contigui se avessimo collegato la periferica solo al bus alto

La periferica si comporta come un banco di memoria o pari o dispari

Con bus a 32 bit:

A0 <-- A1

A1 <-- A2

CSR0 = 6530h

CSR1 = 6534h

CSR2 = 6538h

CSR3 = 653Ch

..

Interfaccia con periferiche

Interfaccia con periferiche a 8 bit con un bus dati a 16 bit

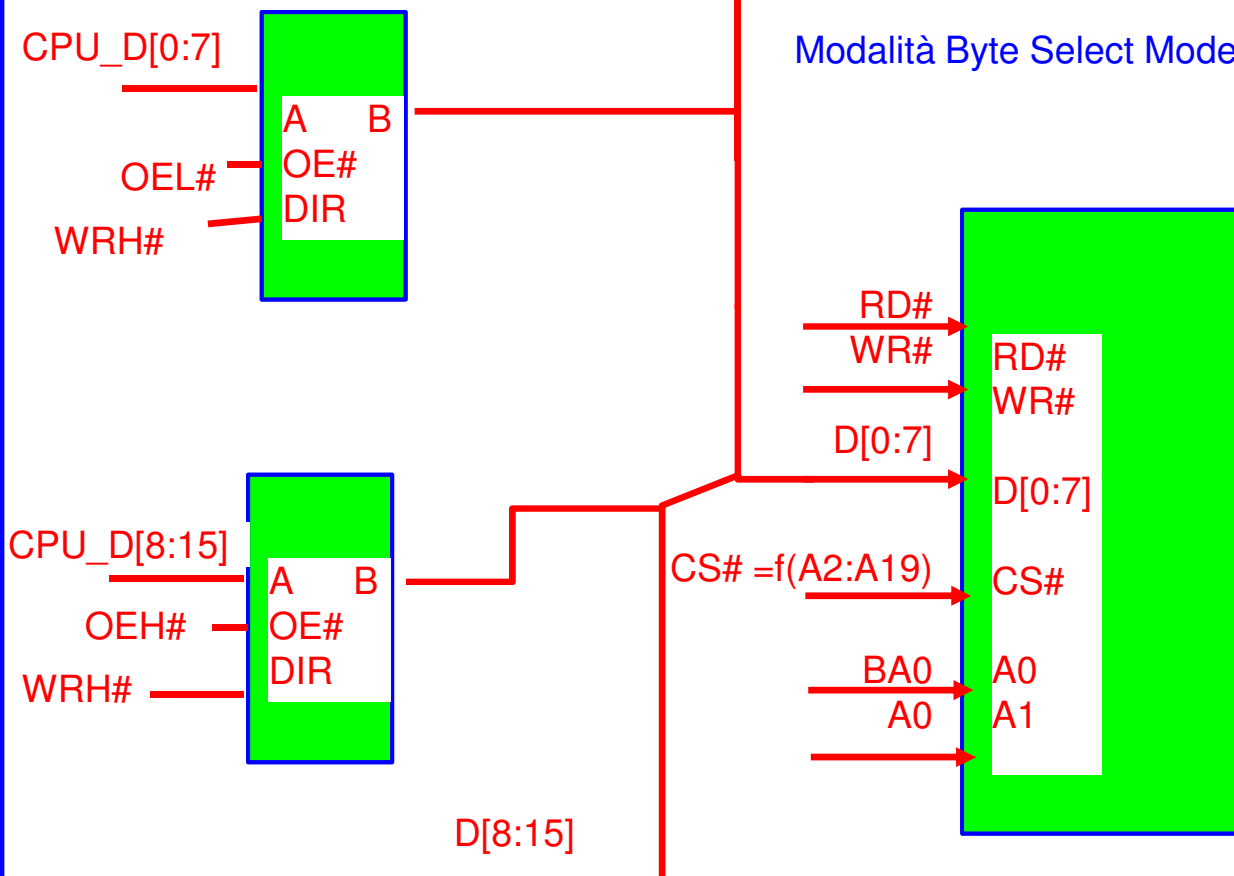
!!! durante la scrittura di un byte il micro pilota tutti i 16 bit

SE NECESSITA' DI INDIRIZZI CONTIGUI ->
CIRCUITI DI PILOTAGGIO CON TRANSCEIVERS

A0 <-- BA0
A1 <-- A0
CSR0 = 6530H
CSR1 = 6531H
CSR2 = 6532H
CSR3 = 6533H

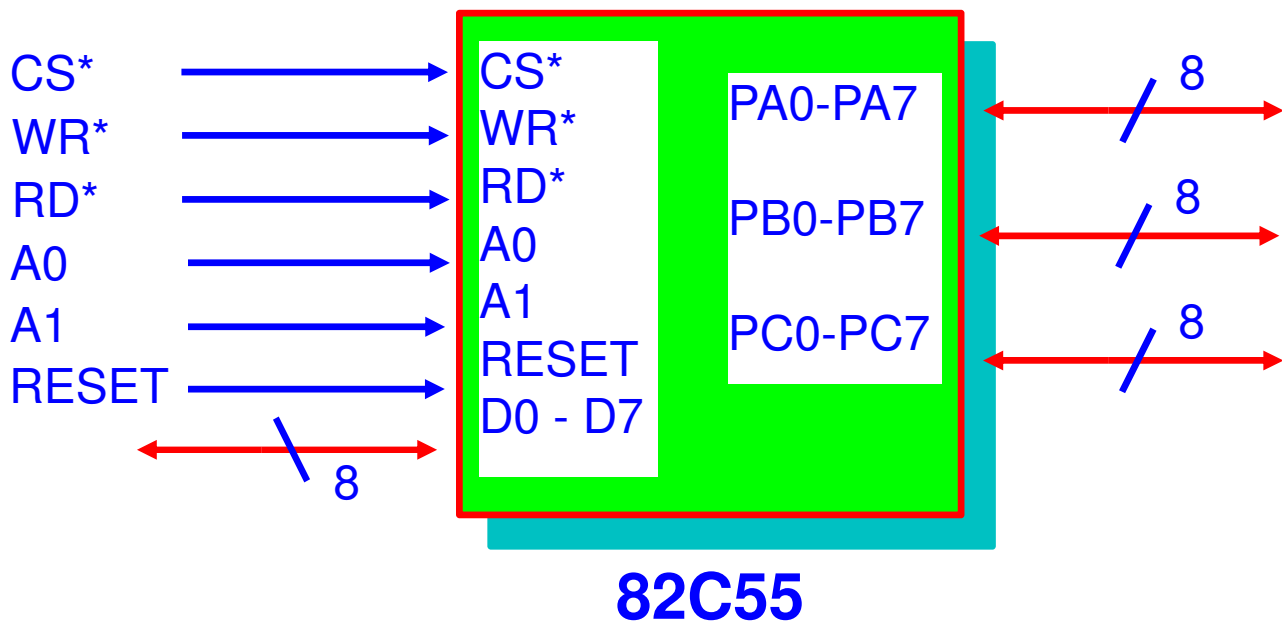
BA0=0 PARI
OEH# <-- off
OEL# <-- on
BA0=1 DISPARI
OEH# <-- on
OEL# <-- off
OEL#=BA0
OEH#= $\overline{\text{BA0}}$

Modalità Byte Select Mode



CONTROLLORE PORTA PARALLELA 82(C)55

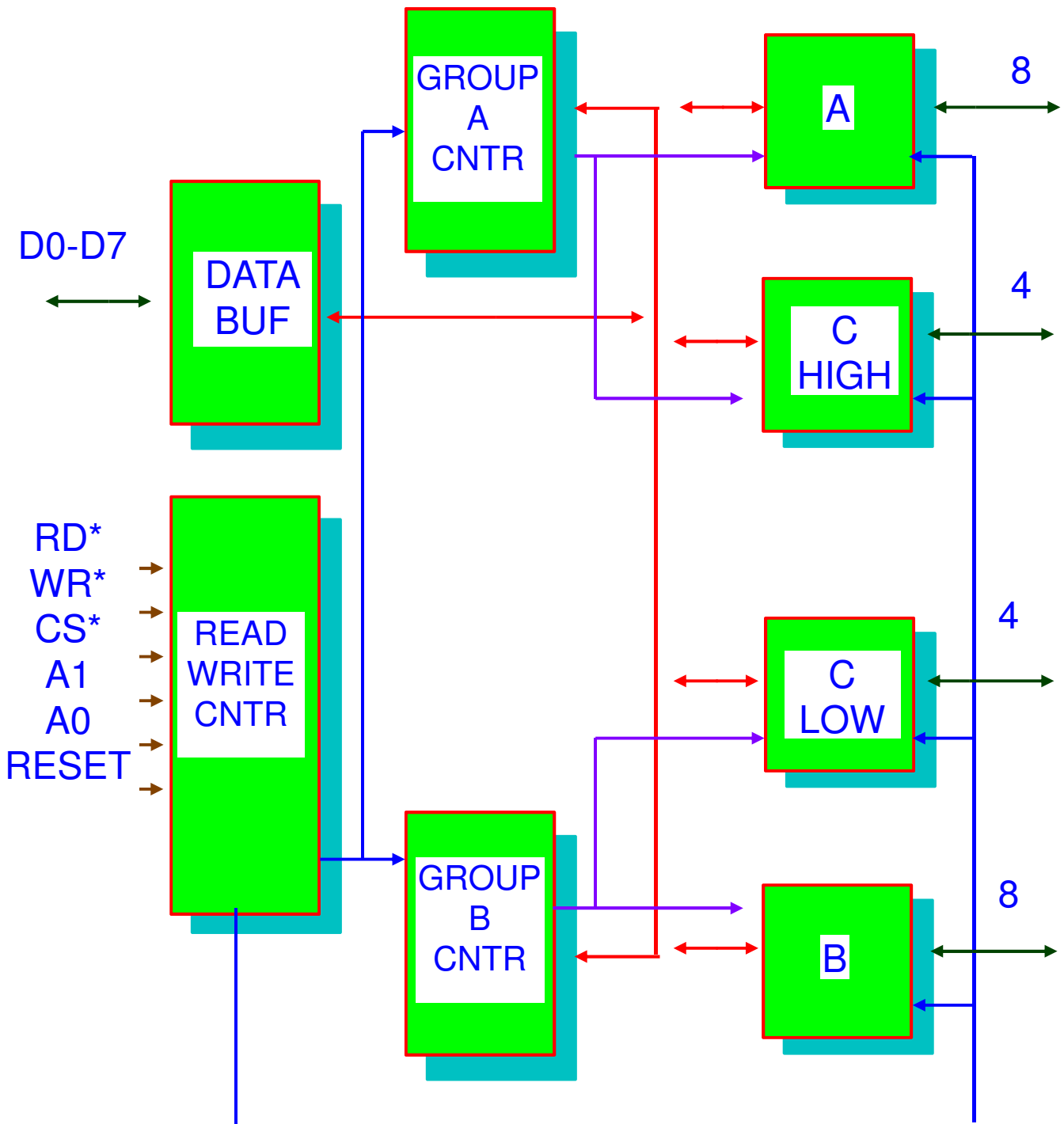
- ❑ Gestione differenziata e programmabile di tre porte parallele bidirezionali (input o output): PORT A, PORT B e PORT C



- ❑ Il dispositivo occupa 4 locazioni di indirizzo interne, ovvero 4 registri indirizzabili: 3 per i valori di A, B e C e 1 (in realtà 2) di controllo e di Set/Reset dei bit non usati per Controllo di C
- ❑ Nel caso di bus a 16 bit occupa 8 locazioni (minimo) se mappato solo a indirizzi pari o dispari (4 registri * 2 indirizzi per ogni registro)

8255

STRUTTURA INTERNA



82C55 PROGRAMMAZIONE

Il micro si interfaccia attraverso la scrittura/lettura di registri ovvero di celle di byte di comandi/dati

Programmazione della **parola di controllo**, che contiene:

- **modo e direzione per ogni porta**

Operazioni ammesse:

- Lettura / scrittura da ogni porta
- Scrittura di un singolo bit per volta (per la sola porta C)

Truth table delle funzioni legate allo stato dei PIN di controllo e di indirizzo (controllati dal microprocessore)

A1	A0	RD*	WR*	CS*	
x	x	x	x	1	TRI-STATE
x	x	1	1	0	TRI-STATE
0	0	0	1	0	Read A
0	0	1	0	0	Write A
0	1	0	1	0	Read B
0	1	1	0	0	Write B
1	0	0	1	0	Read C
1	0	1	0	0	Write C
1	1	1	0	0	Write Control

N.B.: la parola di controllo non può essere riletta

Modi di funzionamento

1) Mode 0: Basic I/O

LA CPU MASTER DECIDE SENZA SINCRONIZZAZIONE I TEMPI DI LETTURA E SCRITTURA SULLA PORTA (non c'è alcun controllo hardware) A, B, C indipendenti, il dispositivo che riceve è considerato "sempre pronto" alla ricezione del dato (quasi come fosse un dispositivo "dedicato").

2) Mode 1: Strobed I/O

L'INTERFACCIA CON L'ESTERNO E' SINCRONIZZATA DA UN PROTOCOLLO AD HANDSHAKE (inoltre è permessa la sola scrittura o la sola lettura)

in questo caso la CPU deve

1) ESEGUIRE PRIMA UN CONTROLLO SOFTWARE DELLO STATO DI REGISTRI INTERNI,

oppure:

2) LAVORARE AD INTERRUPT (utilizzando segnali di OUT del componente

3) Mode 2: Strobed I/O bidirezionale

con doppio *handshake* in trasmissione e ricezione

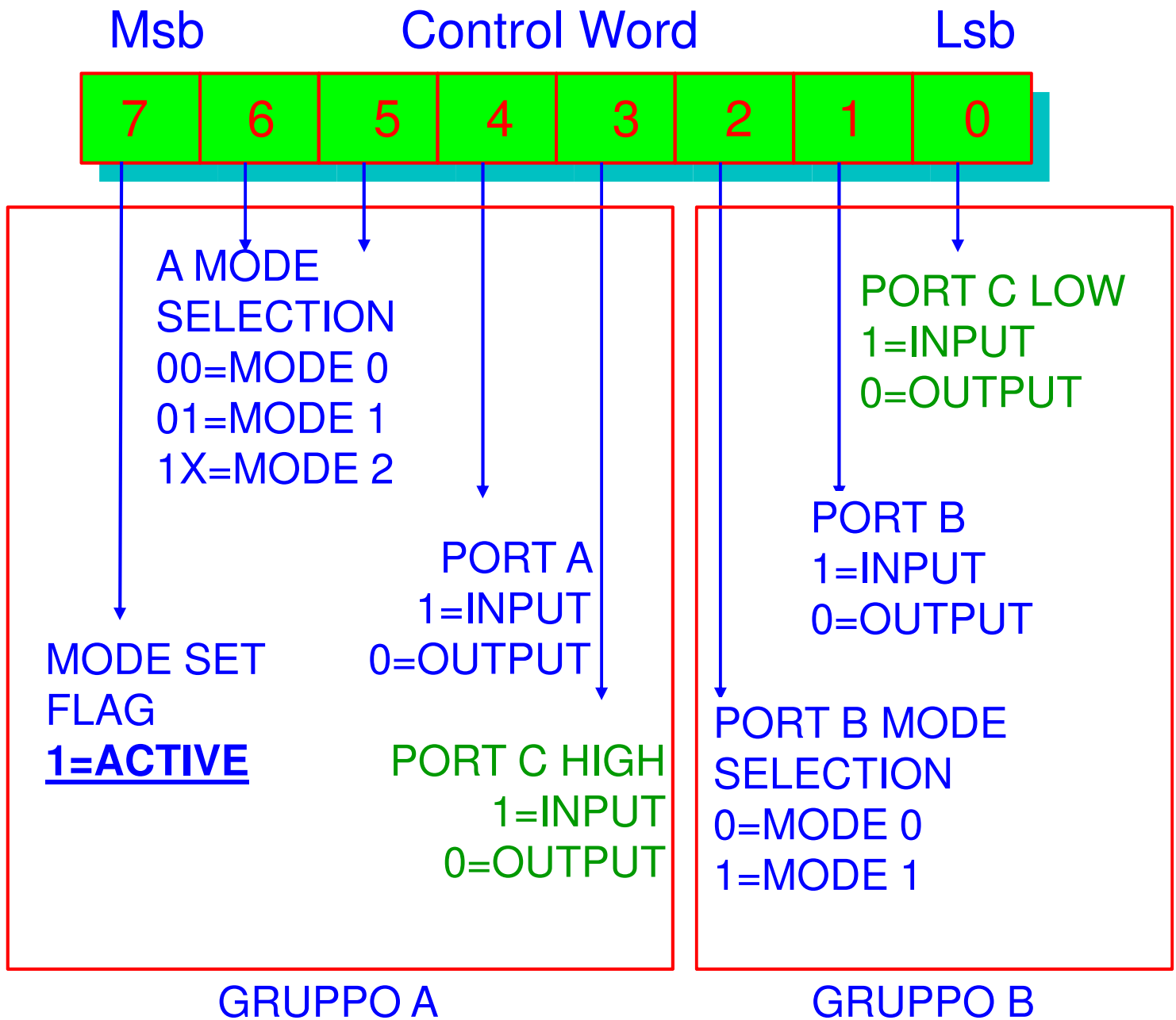
In Modo 0 possono essere programmate le porte **A**, **B**, **C**.

In Modo 1 possono essere programmate le porte **A**, **B**.

In Modo 2 può essere programmata solo la porta **A**.

N.B.: Default Mode = al RESET (ovvero al power-on) le 3 porte sono programmate in modo 0 in ricezione

8255 PROGRAMMAZIONE



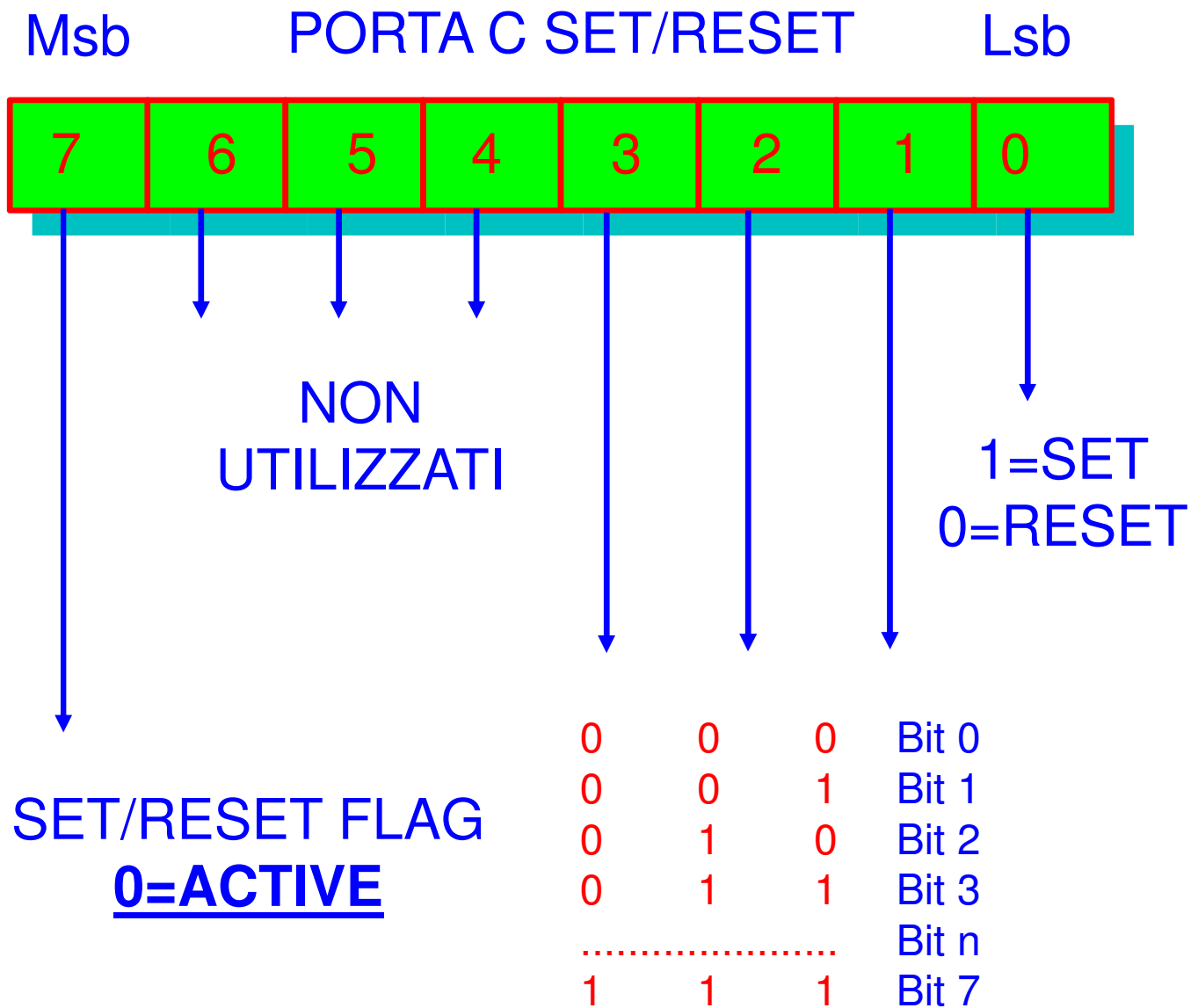
- ESEMPIO:
 - PORTA C LOW = INPUT
 - PORTA C HIGH = OUTPUT
 - PORTA B = OUTPUT MODO 1
 - PORTA A = INPUT MODO 0

CONTROL WORD = 10010101=95H

- N.B.: la programmazione della porta C si riferisce ai pin non usati per il controllo di A o B

8255 PROGRAMMAZIONE

Set/Reset Word

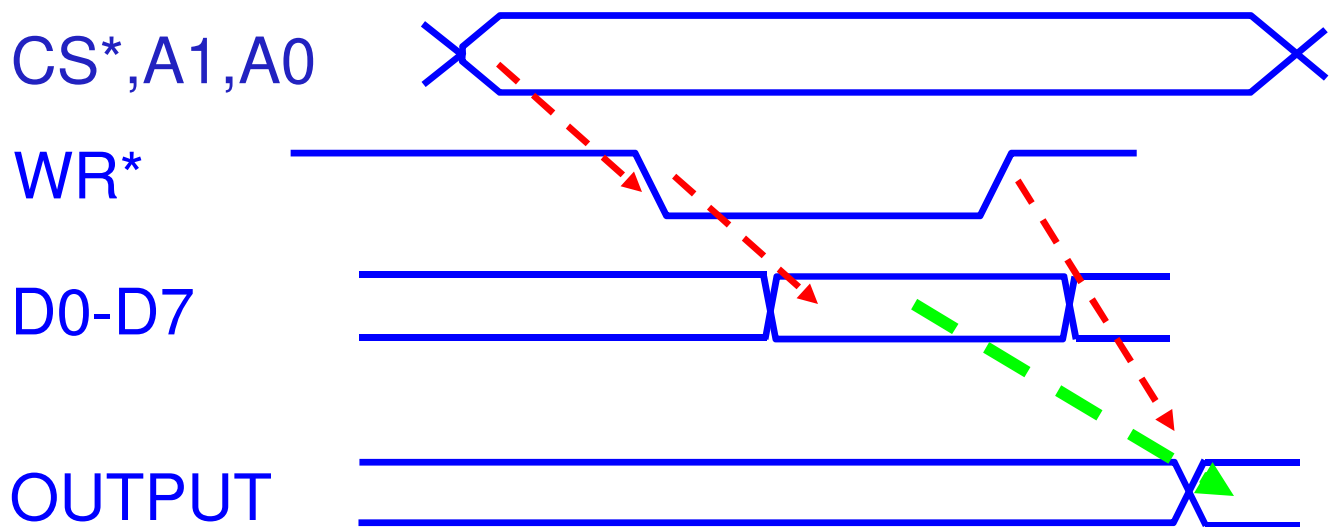


In MODO 1 e MODO 2 la set/reset Word viene utilizzata anche per abilitare e disabilitare gli interrupt associati all'invio e alla ricezione di un dato, attraverso il set/reset dei FF interni della porta C non utilizzati per la generazione di segnali di controllo e/o di I/O

I FF interni associati agli interrupt sono: FF2 - Interrupt enable port B, FF4 - Int. Enable portA Input e FF6 - Int. Enable portA Output

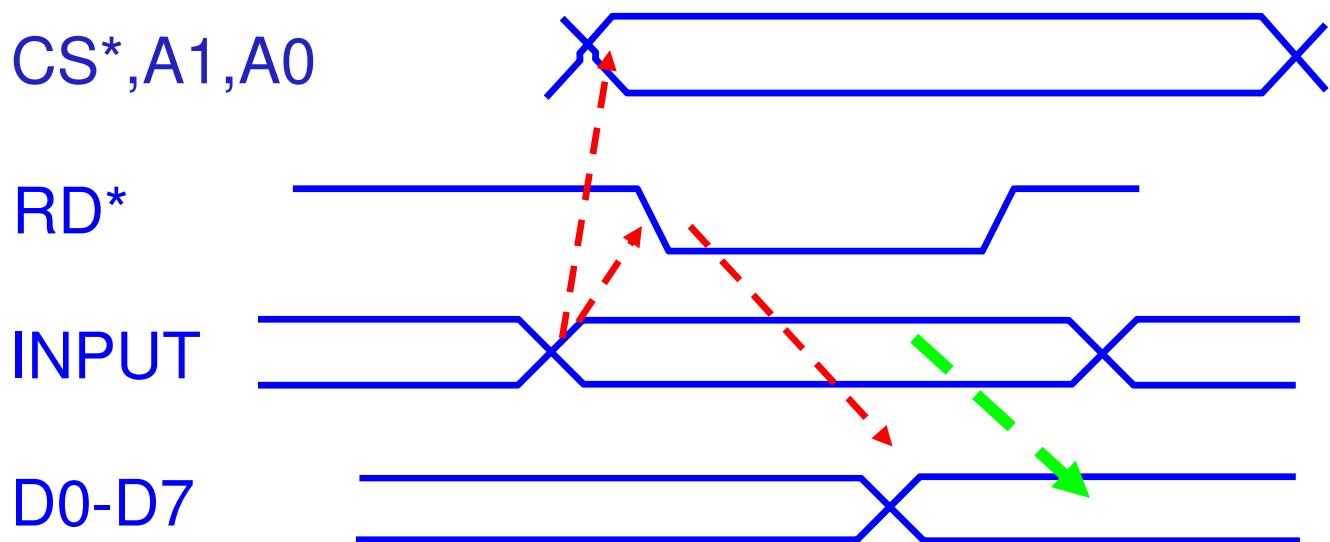
8255 INTERFACCIA CON LA CPU

MODO 0 - SCRITTURA



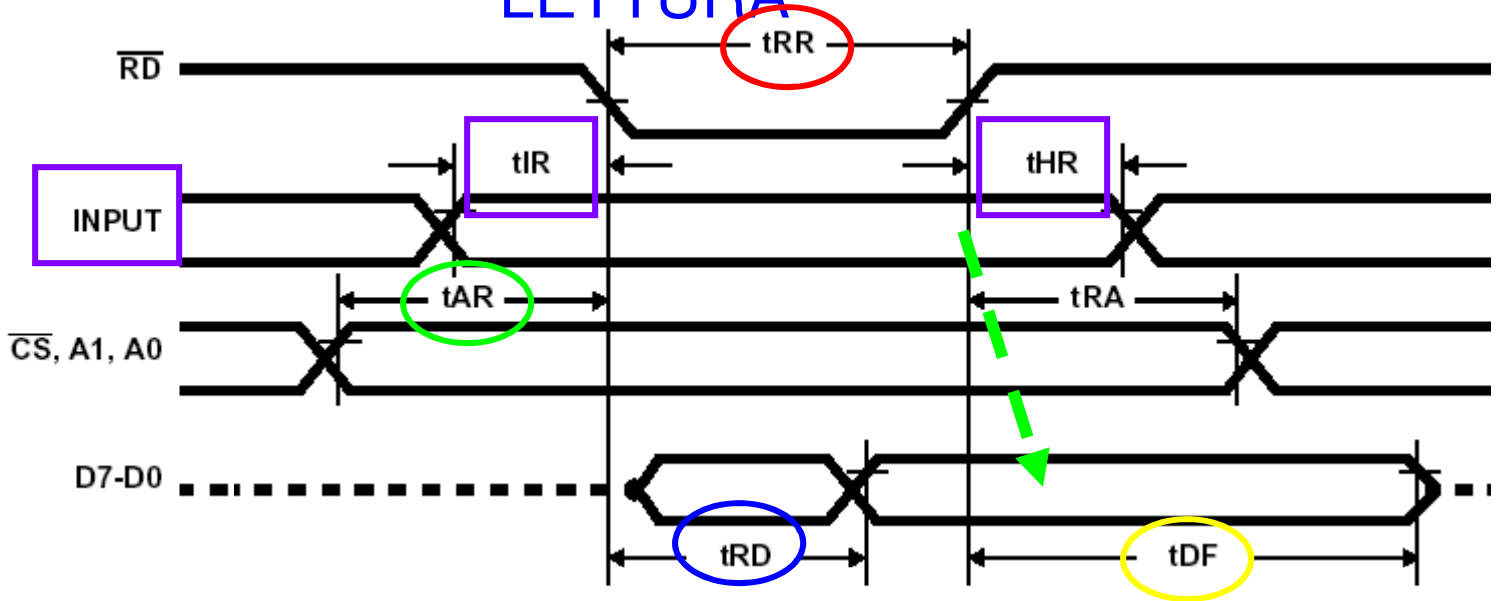
(l'output è latchato, infatti non sappiamo quando il dispositivo esterno andrà a leggerlo)

MODO 0 - LETTURA

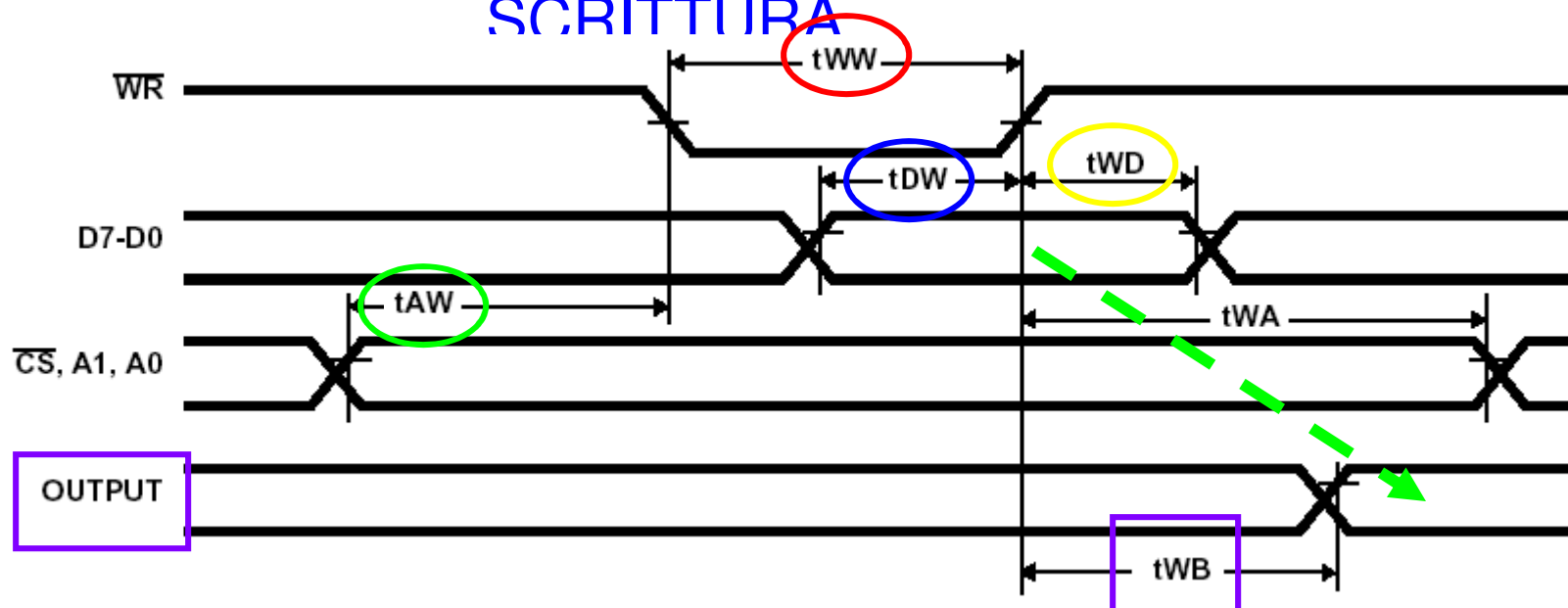


8255 Interfaccia con la CPU

MODO 0 - LETTURA



MODO 0 - SCRITTURA



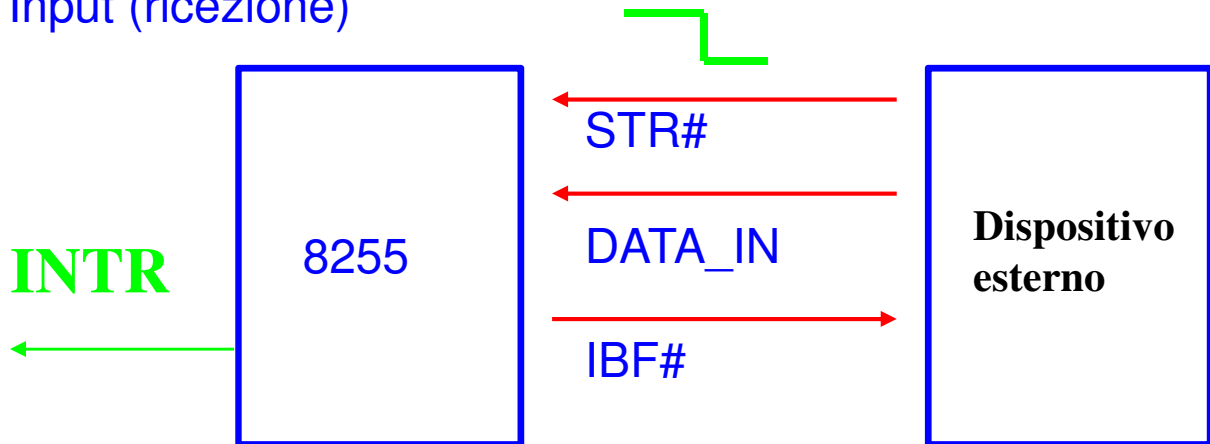
Temporizzazioni Caratteristiche della Periferica 82C55

Periferica lenta in cui non c'è necessità di avere indirizzi stabili prima dei dati
Si accede al dato contemporaneamente al set degli indirizzi e del /CS, ma
con tempi di accesso molto lunghi (vedere ad esempio tRR e tWW)
Sono importanti anche i tempi (qui non riportati per semplicità) relativi alla
interfaccia della periferica con l'esterno (tempi relativi all'INPUT e
all'OUTPUT nel diagramma precedente) Vedere il data sheet Intersil

SYMBOL	PARAMETER	82C55A-5		82C55A		UNITS
		MIN	MAX	MIN	MAX	
READ TIMING						
(1) tAR	Address Stable Before \overline{RD}	0	-	0	-	ns
(2) tRA	Address Stable After \overline{RD}	0	-	0	-	ns
(3) tRR	\overline{RD} Pulse Width	250	-	150	-	ns
(4) tRD	Data Valid From \overline{RD}	-	200	-	120	ns
(5) tDF	Data Float After \overline{RD}	10	75	10	75	ns
(6) tRV	Time Between \overline{RD} s and/or \overline{WR} s	300	-	300	-	ns
WRITE TIMING						
(7) tAW	Address Stable Before \overline{WR}	0	-	0	-	ns
(8) tWA	Address Stable After \overline{WR}	20	-	20	-	ns
(9) tWW	\overline{WR} Pulse Width	100	-	100	-	ns
(10) tDW	Data Valid to \overline{WR} High	100	-	100	-	ns
(11) tWD	Data Valid After \overline{WR} High	30	-	30	-	ns

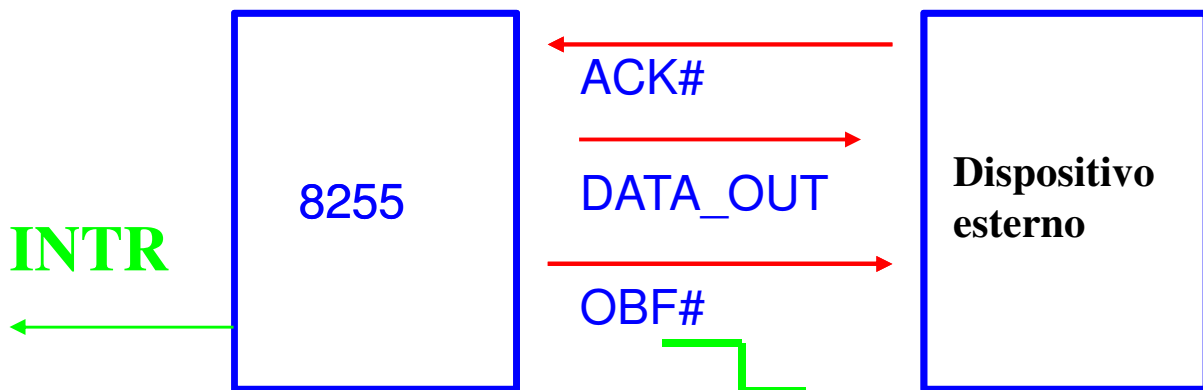
8255 MODO 1

Input (ricezione)



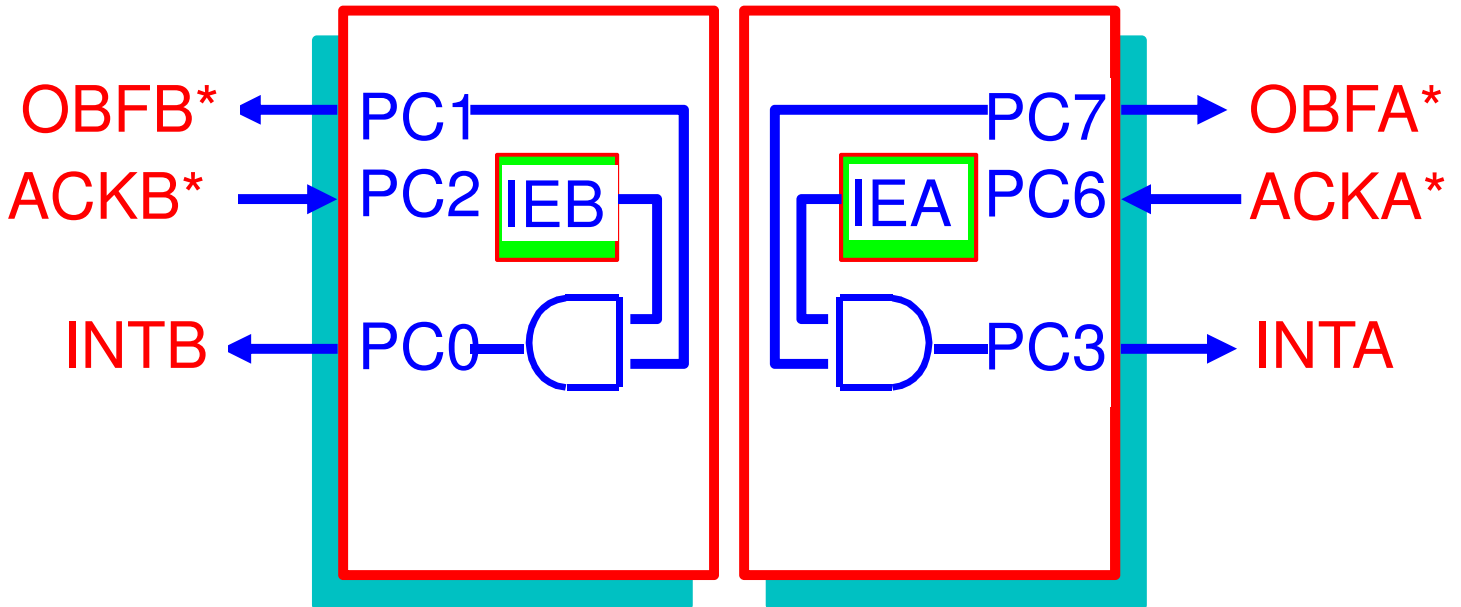
Handshake input: l'8255 comunica al dispositivo esterno (sulla destra in figura) quando è pronto a ricevere un carattere; il dispositivo lo trasmette quando è disponibile e segnala con strobe l'avvenuto invio

Output (trasmissione)

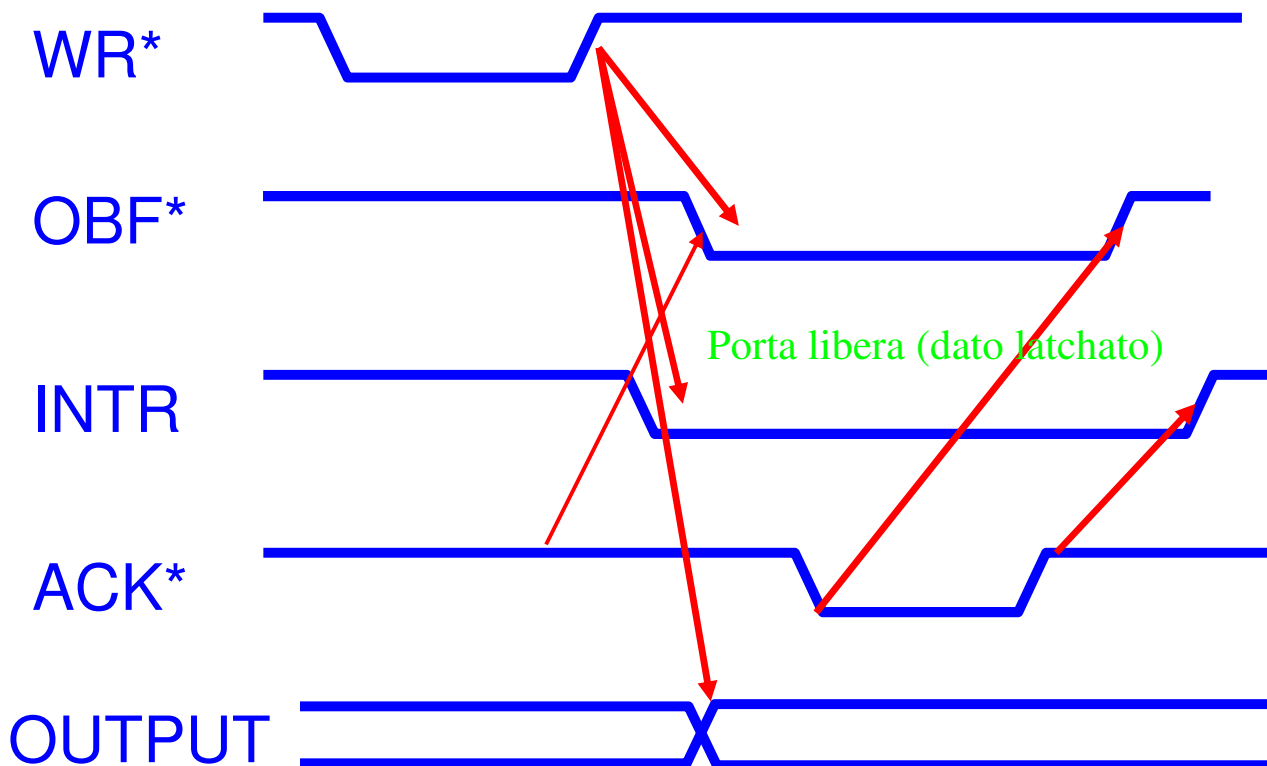


Handshake output: l'8255 comunica al dispositivo esterno (sulla destra in figura) quando è pronta a trasmettere un carattere; il dispositivo lo riceve quando è disponibile e segnala con ack - acknowledge (segnala l'avvenuta ricezione)

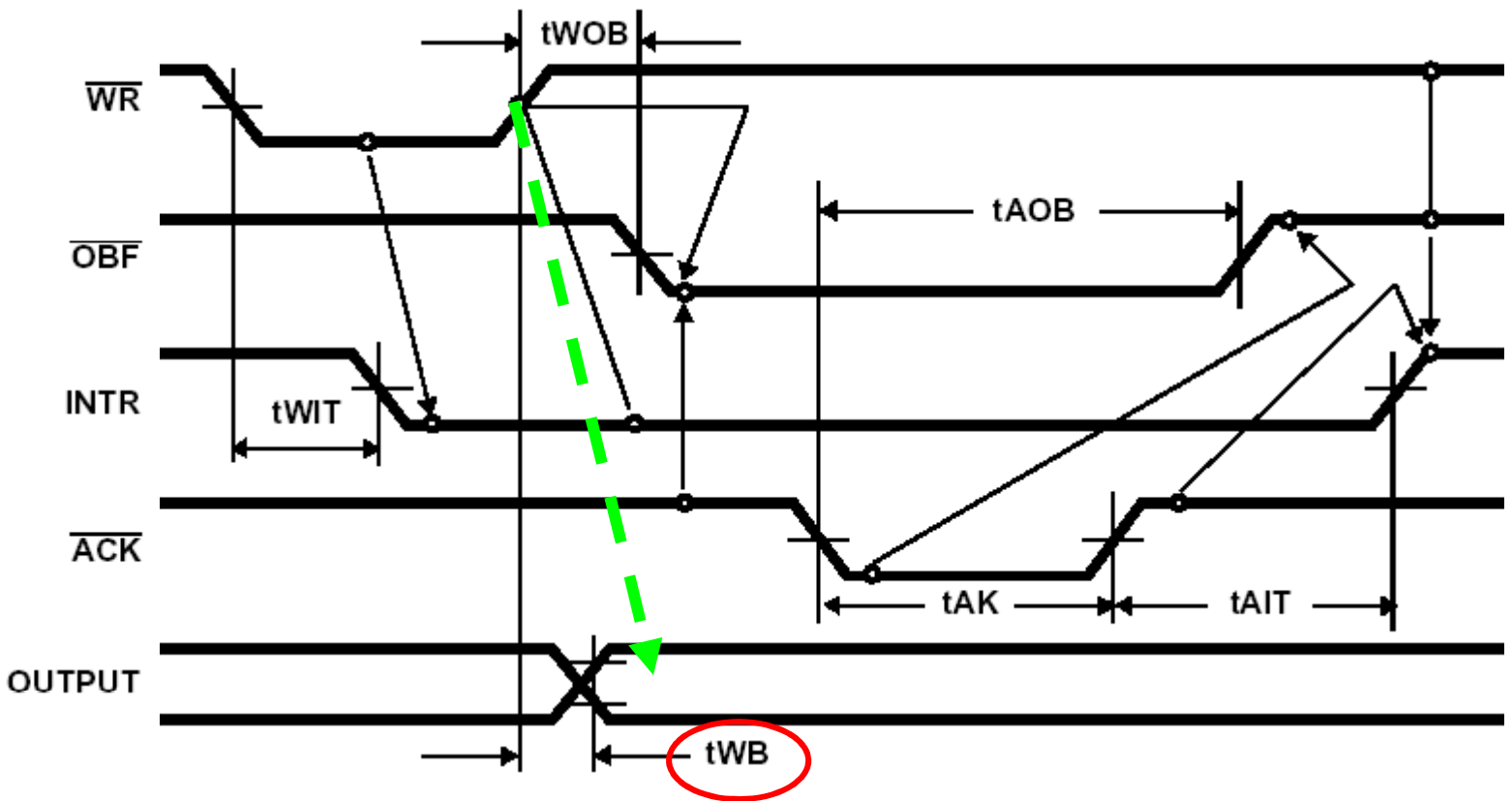
MODO 1 - SCRITTURA CAMPIONATA



- IEA = FF 6 del registro C
IEB = FF 2 del registro C
- Alcuni pin della porta C richiesti: in questo caso il pin esterno corrispondente è **disconnesso** dal flip flop interno (supporta contemporaneamente 2 funzioni)



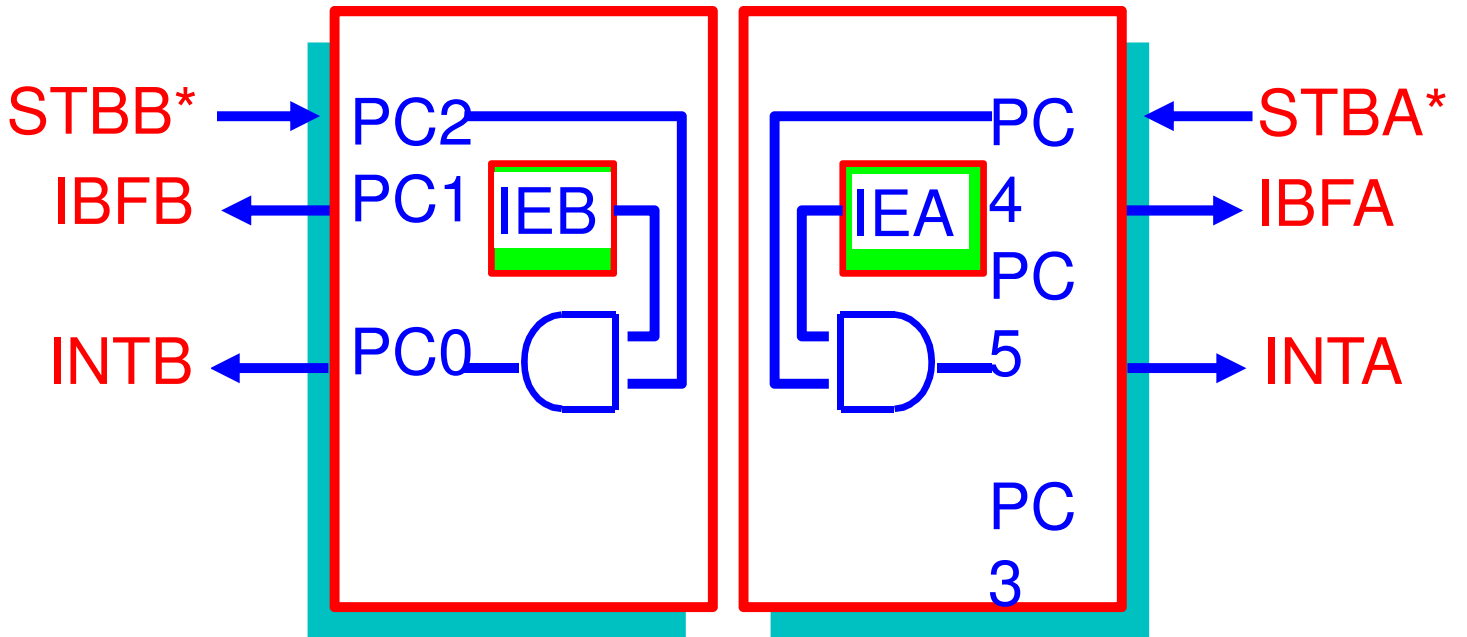
MODO 1 - SCRITTURA CAMPIONATA



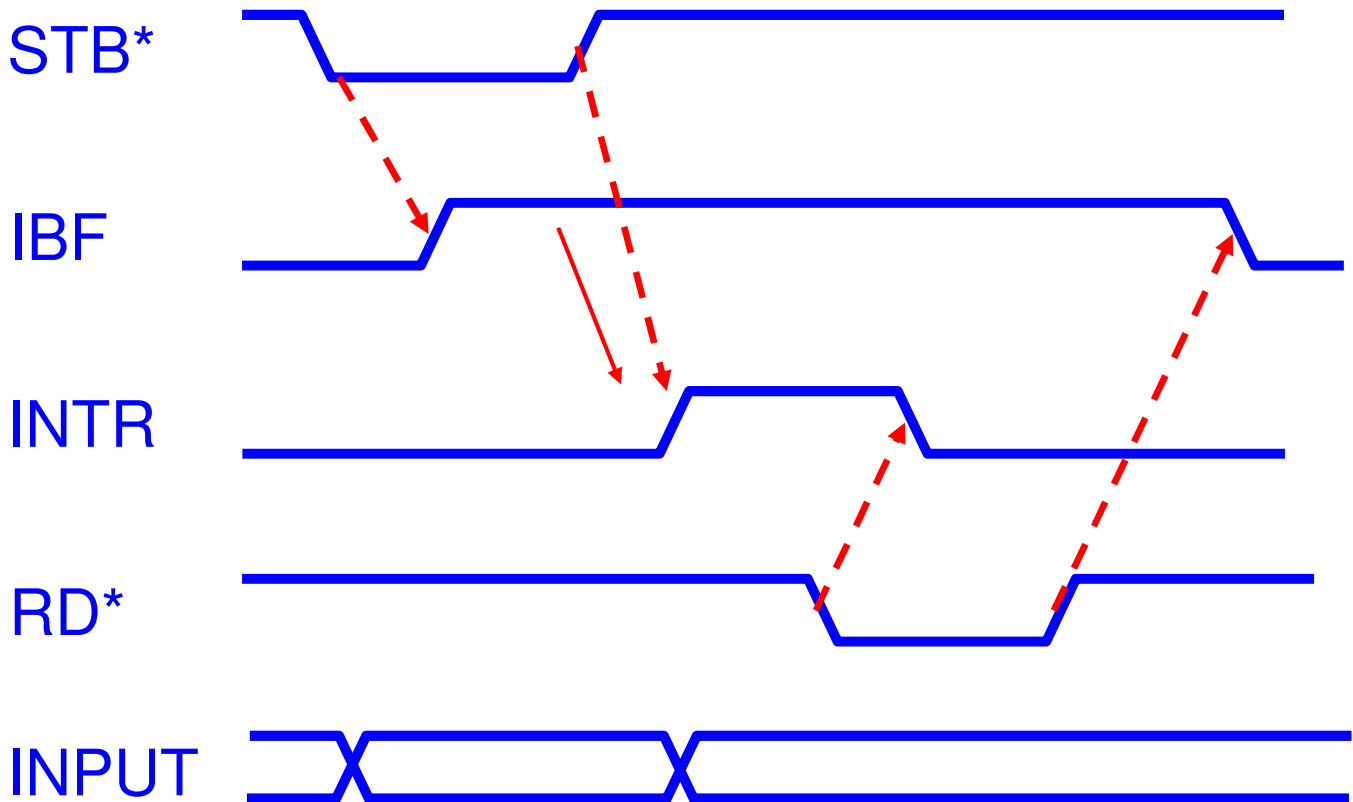
Solo una tempistica come esempio: t_{WB} lasso temporale dalla fine dell'impulso di \overline{WR} alla sicura emissione dei dati alla interfaccia di uscita verso il "mondo esterno" = 350 ns.

SYMBOL	PARAMETER	82C55A-5		82C55A		UNITS
		MIN	MAX	MIN	MAX	
OTHER TIMING						
(12) t_{WB}	$\overline{WR} = 1$ to Output	-	350	-	350	ns

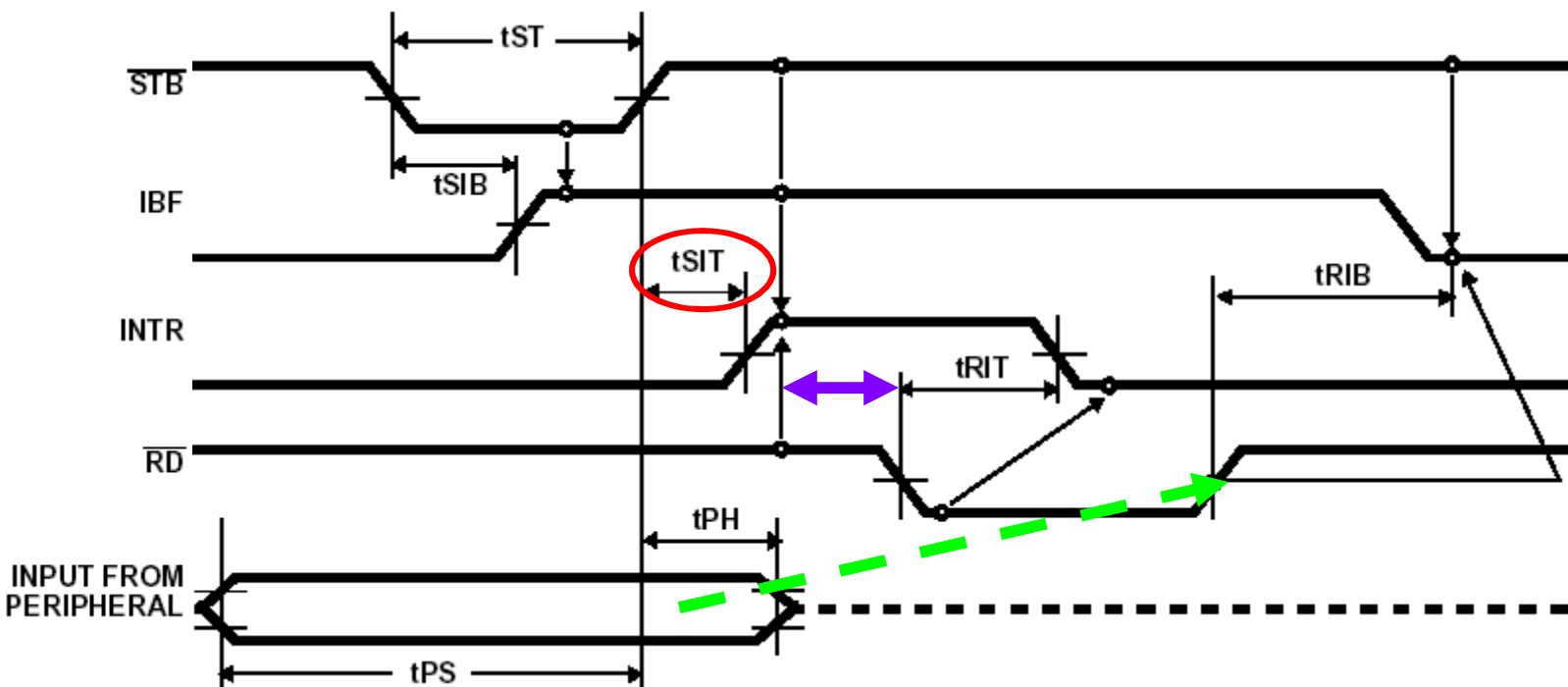
MODO 1 - LETTURA CAMPIONATA



- IEA = FF 4 del registro C
IEB = FF 2 del registro C
- Alcuni pin della porta C requisiti



MODO 1 - LETTURA CAMPIONATA

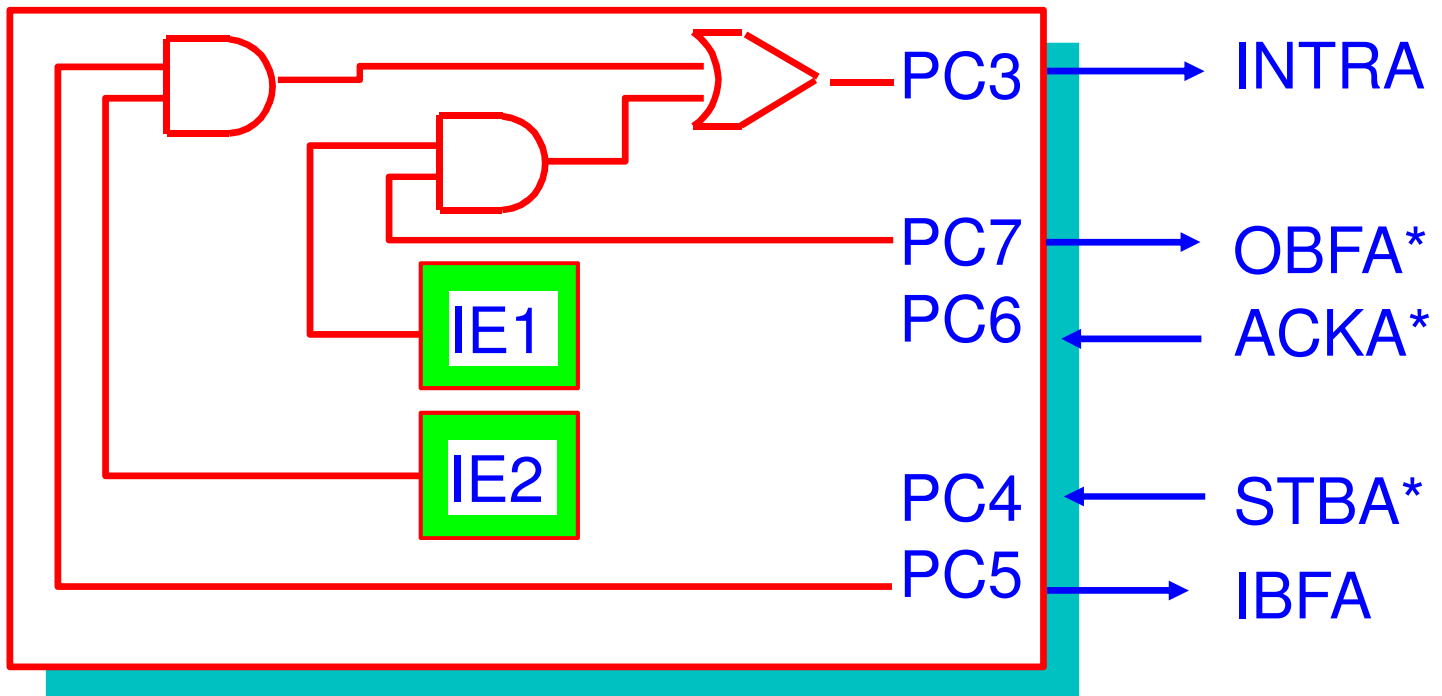


Nelle tempistiche manca un collegamento temporale, che rappresenta il tempo di risposta del micro all'interrupt, che inizia con la comunicazione della ricezione del dato e che termina con la operazione di read, nel momento in cui la CPU serve l'interrupt.

Tale tempo non è predicibile a priori, dato che non si conosce lo stato della CPU e la priorità assegnata a tale interrupt. Non si conosce neppure la coda di interrupt pendenti.

SYMBOL	PARAMETER	82C55A-5		82C55A		UNITS
		MIN	MAX	MIN	MAX	
(26) t_{SIT}	STB = 1 to INTR = 1	-	150	-	150	ns

MODO 2 - TRASFERIMENTO BIDIREZIONALE CAMPIONATO



- La sincronizzazione è effettuata dal dispositivo esterno che pilota ACKA* e STBA* (è necessaria una sincronizzazione dei due sistemi per evitare contemporanea TRX/RX)
- I dati sono depositati in buffer temporanei
- Le abilitazioni degli interrupt sono: IE1 = PC6 (FF6); IE2 = PC4 (FF4)
- La temporizzazione è la combinazione dei due diagrammi precedenti (HALF DUPLEX)
- Rileggendo la porta C quando alcuni dei suoi bit sono requisiti (per i segnali di controllo della porta A e/o B) si legge lo stato del relativo flip flop

MODO 2 - TRASFERIMENTO BIDIREZIONALE CAMPIONATO

