

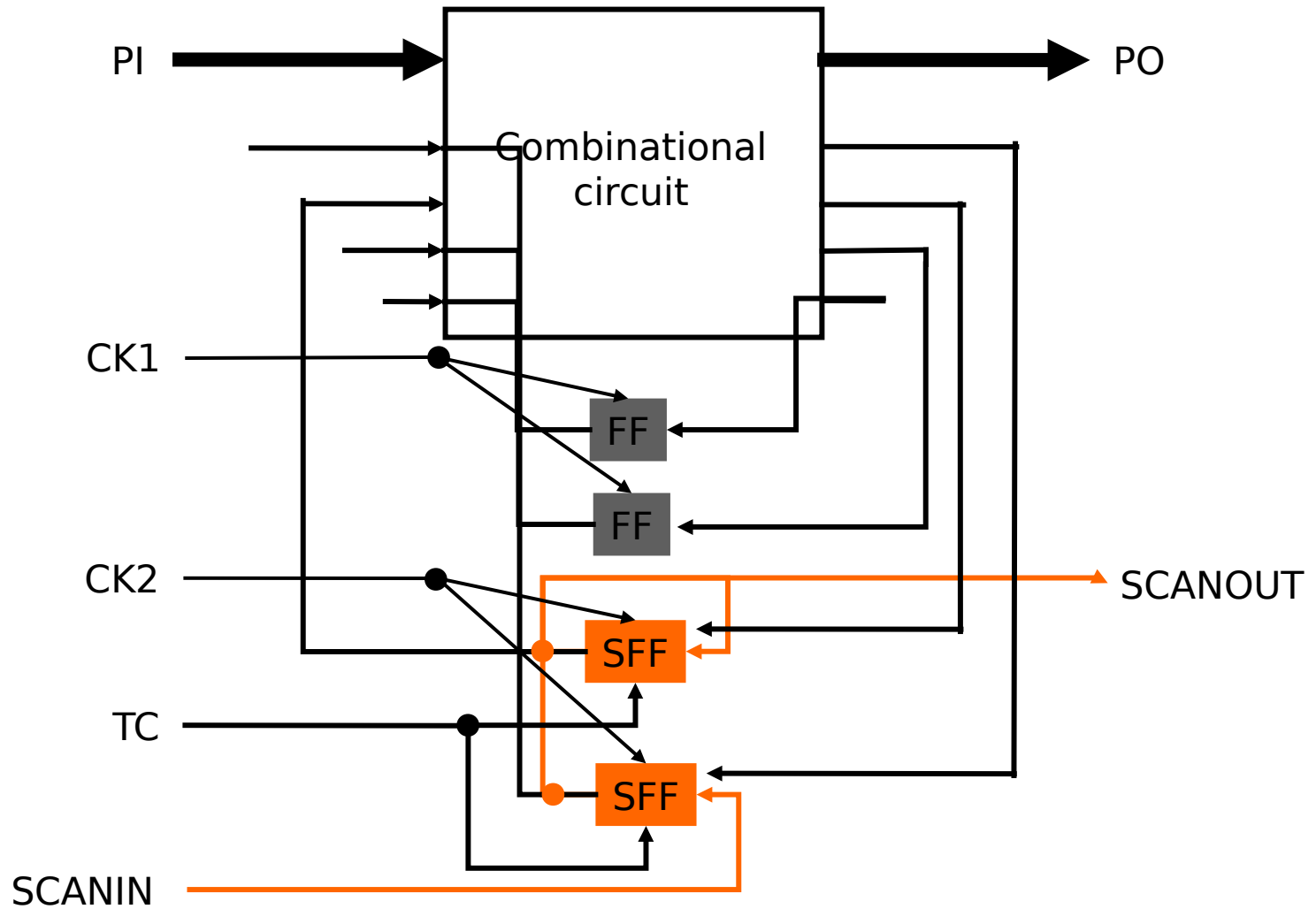
Partial-Scan & Variazioni sullo scan

- Definizioni
- *Partial-scan*
- Lavori in letteratura
- Strutture cicliche e acicliche
- Partial-scan per apertura di cicli
 - S-graph e MFVS
 - Test generation e statistiche di test
 - Confronto fra partial e full scan
 - Partial-scan flip-flop
- *Random-access scan (RAS)*
- *Scan-hold flip-flop (SHFF)*
- Sommario

Definizioni

- Solo un sottoinsieme di è inserito nei registri flip-flops.
- Obiettivi:
 - Minimizza l'overhead di area e la lunghezza delle sequenze di scan, mantenendo i valori precedenti di copertura di guasti
 - Esclude alcuni flip-flops dallo scan:
 - Migliora le prestazioni
 - Permette piccole violazioni sullo scan
 - Permette l'automazione sia:
 - Nella selezione dei singoli flip-flop
 - Nella test generation
 - Sequenza più corte

Architettura



Storia del partial-scan

- Selezione dei flip-flop di scan da misure di testabilità, Trischler *et al.*, ITC-80; non molto efficiente.
- Uso di ATPG combinatori:
 - Agrawal *et al.*, D&T, Apr. 88
 - Vettori funzionali vettori per la copertura iniziale di guasti
 - Scan flip-flops selezionati dall'ATPG
 - Gupta *et al.*, IEEETC, Apr. 90
 - Strutture bilanciate (come cicli)
 - Può richiedere elevate percentuali
- Utilizzo di ATPG sequenziali:
 - Cheng and Agrawal, IEEETC, Apr. 90; Kunzmann and Wunderlich, JETTA, May 90
 - Creano strutture prive di cicli per l'ATPG

Difficoltà nell'ATPG sequenziale

- Poca iniziabilità.
- Poca controllabilità/osservabilità delle variabili di stato.
- Numero di gate, flip-flops, e profondità sequenziale non spiegano il problema.
- I cicli sono principalmente responsabili per la complessità.
- Esperimento:

Circuit	Number of gates	Number of flip-flops	Sequential depth	ATPG CPU s	Fault coverage
TLC	355	21	14*	1,247	89.01%
Chip A	1,112	39	14	269	98.80%

* Maximum number of flip-flops on a PI to PO path

Benchmarks

Circuit	s1196	s1238	s1488	s1494
PI	14	14	8	8
PO	14	14	19	19
FF	18	18	6	6
Gates	529	508	653	647
Structure	Cycle-free	Cycle-free	Cyclic	Cyclic
Sequential depth	4	4	--	--
Total faults	1242	1355	1486	1506
Detected faults	1239	1283	1384	1379
Potentially detected faults	0	0	2	2
Untestable faults	3	72	26	30
Abandoned faults	0	0	76	97
Fault coverage (%)	99.8	94.7	93.1	91.6
Fault efficiency (%)	100.0	100.0	94.8	93.4
Max. sequence length	3	3	24	28
Total test vectors	313	308	525	559
Gentest CPU s (Sparc 2)	10	15	19941	19183

Risultati rilevanti

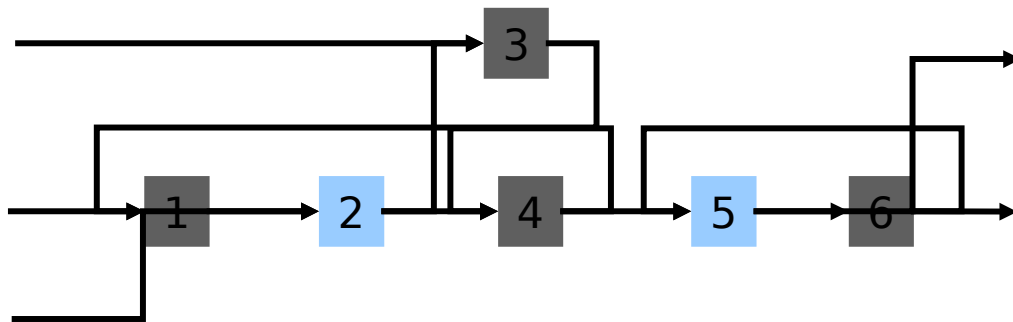
- Teorema: Un circuito cycle-free è sempre inizializzabile. E' tale anche in presenza di guasti non sui flip-flop.
- Teorema: ogni guasto non sui flip-flop in un circuito cycle-free può essere rivelato con non più di $d_{seq} + 1$ vettor di test.
- Complessità dell'ATPG: per determinare se un guasto è non testabile in un circuito ciclico, un ATPG che usa una logica a nove valori può dover analizzare $9^{N_{ff}}$ time-frames.

Un metodo di Partial-Scan

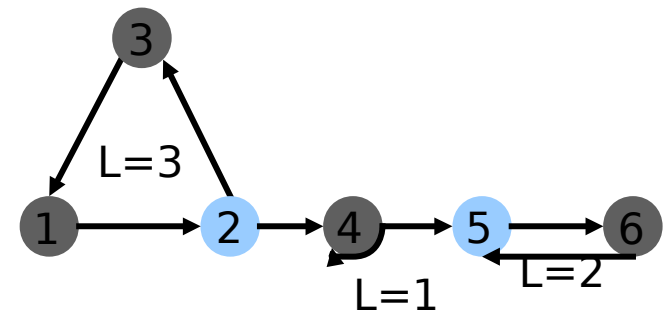
- Seleziona un insieme minimo di flip-flops per lo scan per eliminare tutti i cicli.
- Alternativamente, per ridurre l'overhead solo i cicli lunghi possono essere eliminati.
- In alcuni circuiti con un grande numero di autoanelli, si possono eliminare tutti i cicli diversi dai self-loop.

Il problema MFVS

- Per un grafo diretto, trova un insieme di vertici con la più piccola cardinalità tale che la loro eliminazione rende il grafo aciclico.
- Il problema di *minimum feedback vertex set* (MFVS) è NP-completo; utilizzo di euristici.
- Può essere utile un obiettivo secondario di minimizzare la profondità sequenziale.



Circuito con 6-flip-flop



s-graph

Test Generation

- Scan e non-scan flip-flop sono controllati da PI di clock separati:
 - Modo normale - entrambi i clock attivi
 - Scan mode - solo il clock di scan attivo
- Modello per ATPG:
 - Scan flip-flops sostituiti da PI e PO
 - ATPG sequenziale usato per la test generation
 - Test sequence per scan register, 001100..., applicate in modo scan
 - Ciascun vettore di ATPG è preceduto da una sequenza di scan-in
 - Si aggiunge una sequenza di scan-out dopo ogni vettore
- Test length = $(n_{\text{ATPG}} + 2) n_{\text{sff}} + n_{\text{ATPG}} + 4$ clocks

Scan Parziale

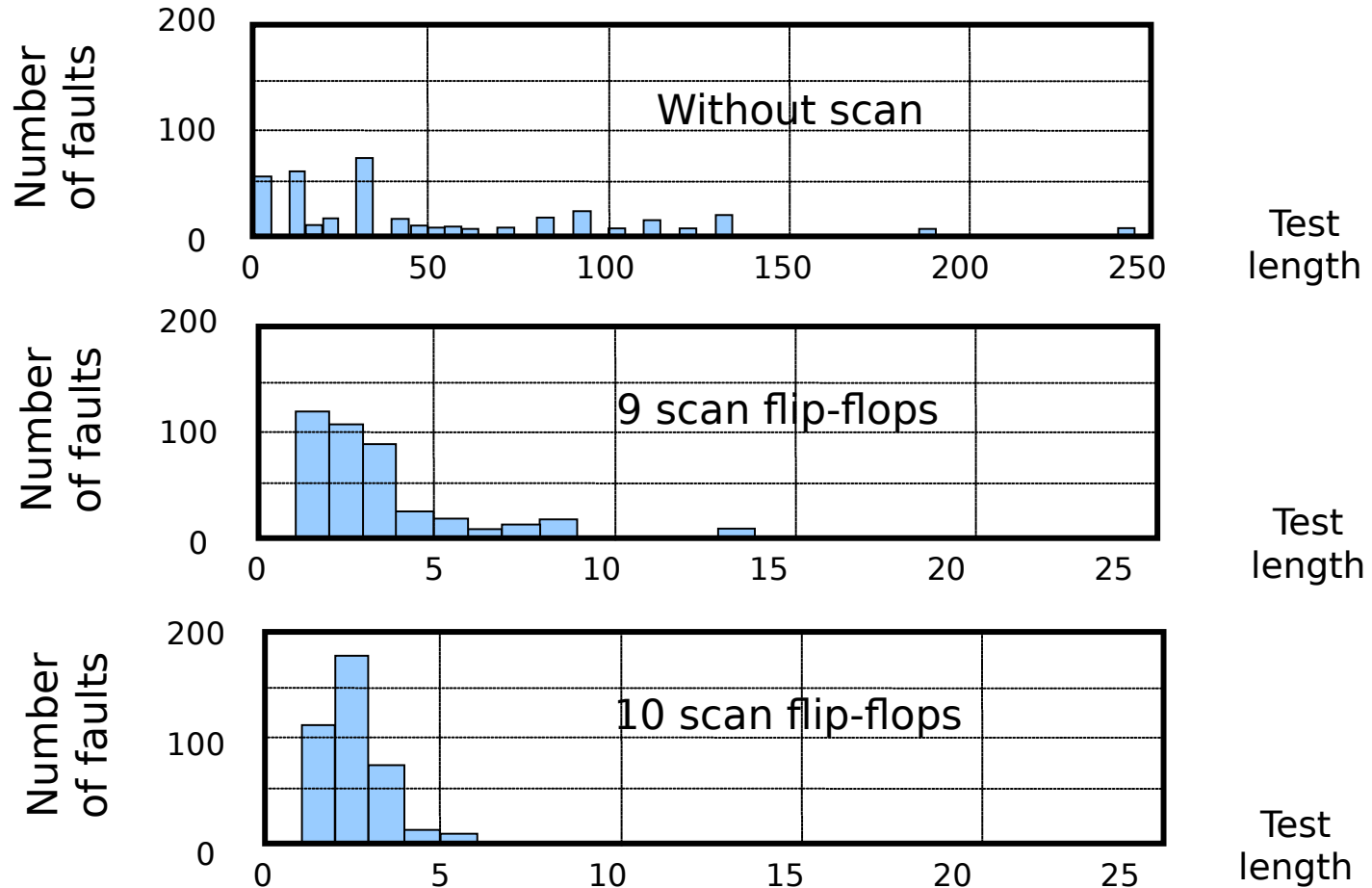
- Circuito: TLC
- 355 gate
- 21 flip-flop

Scan flip-flops	Max. cycle length	Depth*	ATPG CPU s	Fault sim. CPU s	Fault cov.	ATPG vectors	Test seq. length
0	4	14	1,247	61	89.01%	805	805
4	2	10	157	11	95.90%	247	1,249
9	1	5	32	4	99.20%	136	1,382
10	1	3	13	4	100.00%	112	1,256
21	0	0	2	2	100.00%	52	1,190

* Ignora i cammini ciclici

Lunghezza di test

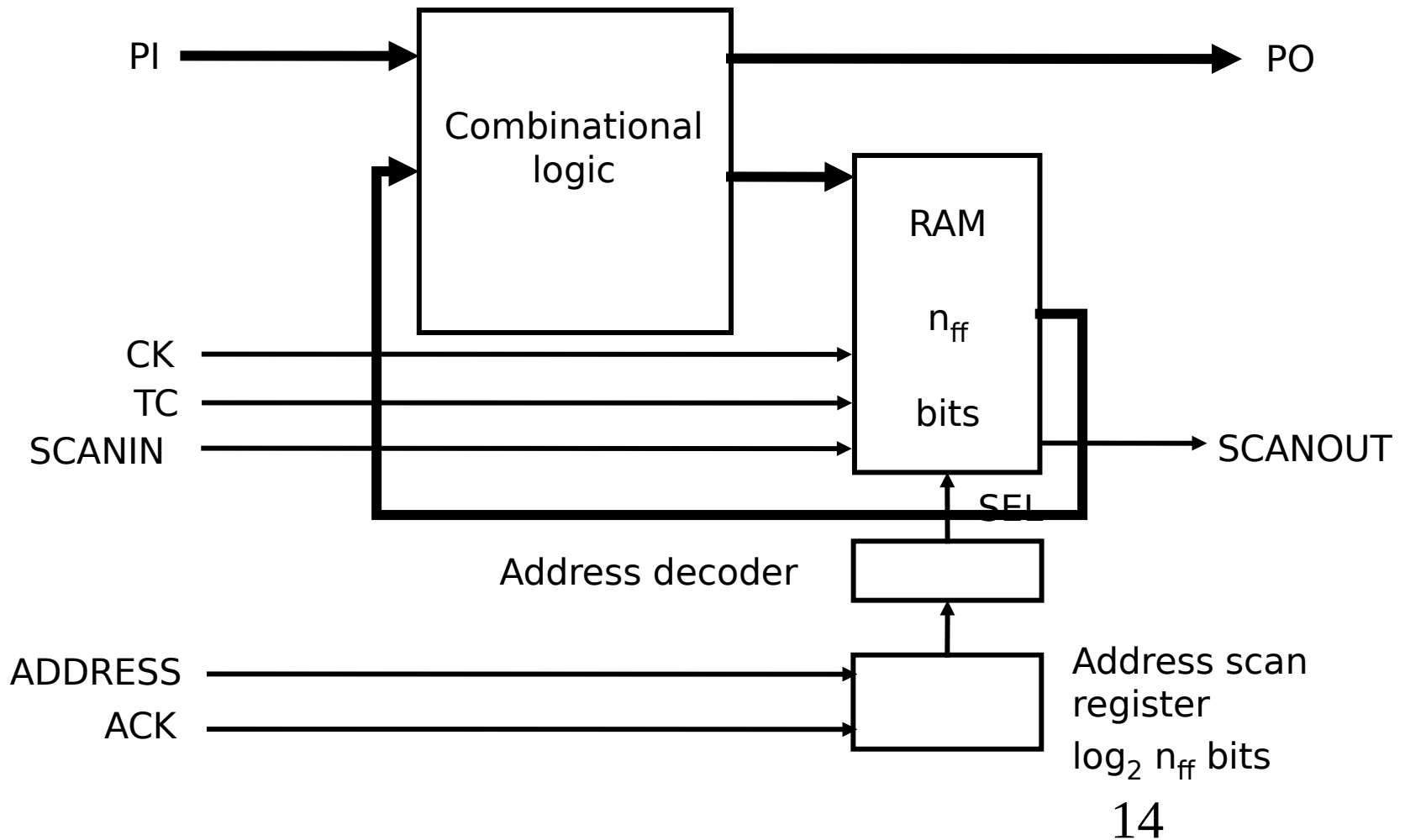
- Circuito: TLC



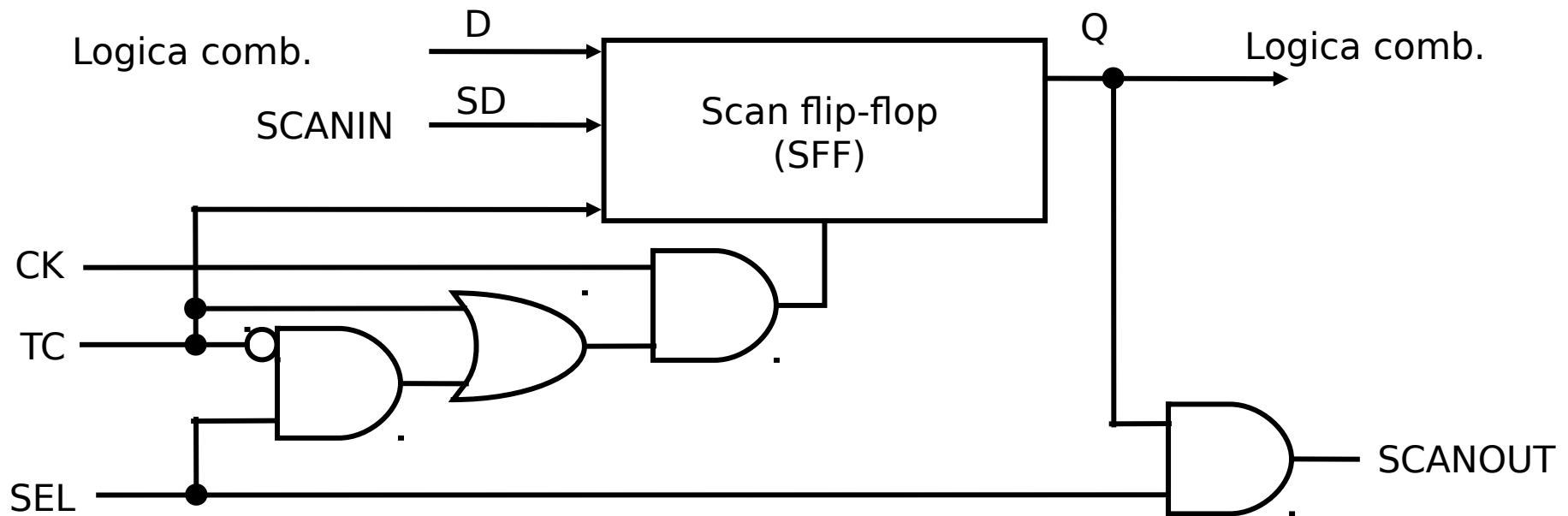
Partial - Full Scan: S5378

	Originale	Partial-scan	Full-scan
Numero di gate (comb.)	2,781	2,781	2,781
Numero di flip-flop non-scan (10 gates)	179	149	0
Numero di scan flip-flops (14 gates)	0	30	179
Gate overhead	0.0%	2.63%	15.66%
Numero di guasti	4,603	4,603	4,603
PI/PO disponibili per ATPG	35/49	65/79	214/228
Fault coverage	70.0%	93.7%	99.1%
Fault efficiency	70.9%	99.5%	100.0%
CPU time su SUN Ultra II 200MHz	5,533 s	727 s	5 s
Numero di vettori ATPG	414	1,117	585
Lunghezza della sequenza di scan	414	34,691	105,662

Random-Access Scan (RAS)



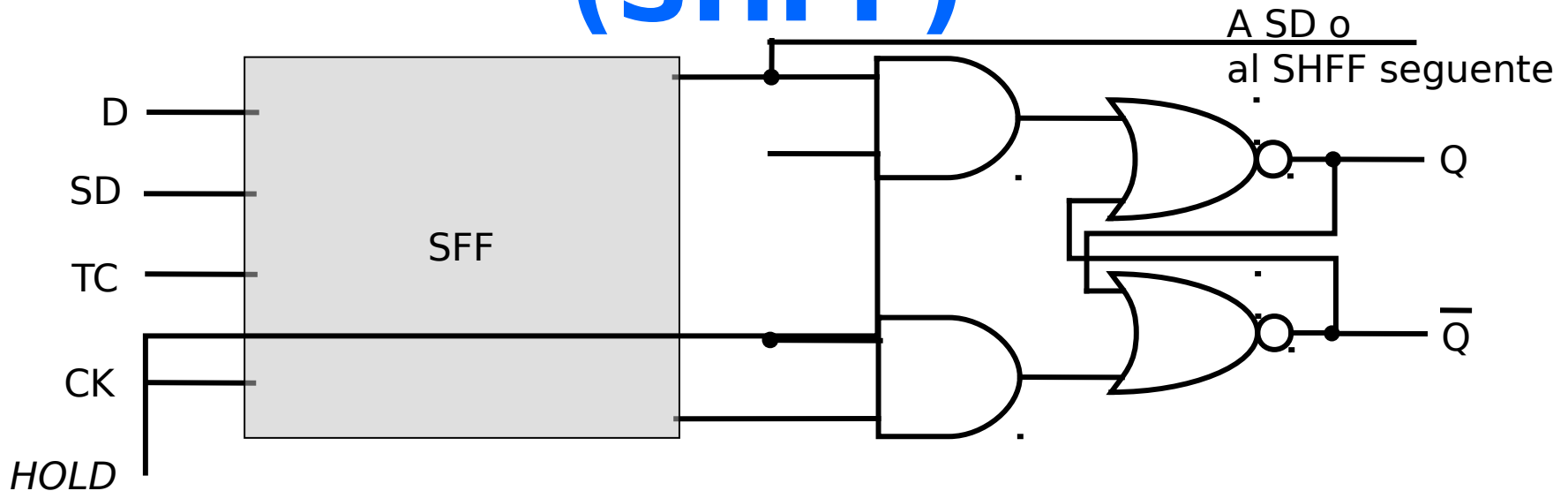
RAS Flip-Flop (cella di RAM)



Applicazioni della tecnica RAS

- Collaudo funzionale: riduce la lunghezza di test.
- Delay testing: genera facilmente *single-input-change* (SIC) tests.
- Vantaggi: RAS può essere vantaggioso dove la memoria è realizzata mediante una RAM.
- Svantaggi:
 - Non adatto per random logic
 - Overhead molto alto

Scan-Hold Flip-Flop (SHFF)



- L'ingresso di controllo *HOLD* mantiene stabile l'uscita del FF.
- Applicazioni:
 - Riduce il consumo di potenza durante scan
 - Isola le part asincrone
 - Delay testing

Sommario

- Lo scan parziale è un metodo di scan generalizzato, il numero di FF varia dal 0 al 100%.
- Eliminazione di cicli lunghi migliora la collaudabilità per ATPG sequenziali.
- Eliminazione di tutti i cicli e gli autoanelli permette l'uso di ATPG combinatori.
- Lo scan parziale riduce gli overhead (area e ritardo) e la test length.
- Un flip-flop sul cammino critico può essere non di tipo scan.