

Delay Test

- **Definizioni**
- **Ritardi e propagazione degli eventi**
- ***Path-delay tests***
 - *Non-robust test*
 - *Robust test*
 - **Five-valued logic e test generation**
- ***Path-delay fault (PDF)* e altri modelli di guasto**
- **Metodi di applicazione del test**
 - **Combinatorio, enhanced-scan e normal-scan**
 - **Variable-clock e rated-clock**
- **At-speed**
- **Timing design e delay test**
- **Sommario**

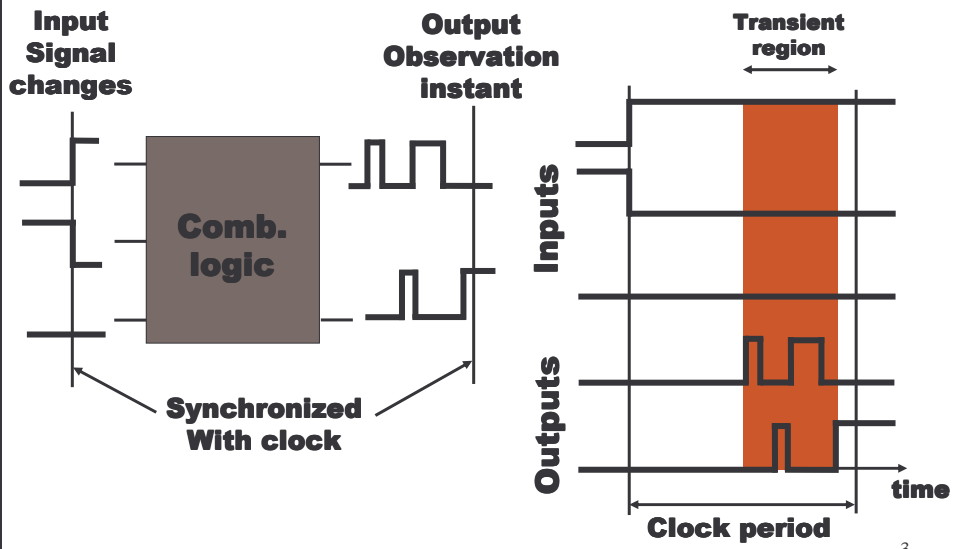
1

Definizioni

- **Un circuito che passa il delay test deve produrre uscite corrette quando gli ingressi sono applicati e le uscite sono osservate con temporizzazioni specifiche.**
- **Per un circuito combinatorio o sequenziale sincrono, il delay test verifica i limiti del ritardo nella logica combinatoria.**
- **Nei circuiti asincroni il problema è complesso, si pensi ai circuiti timing independent.**

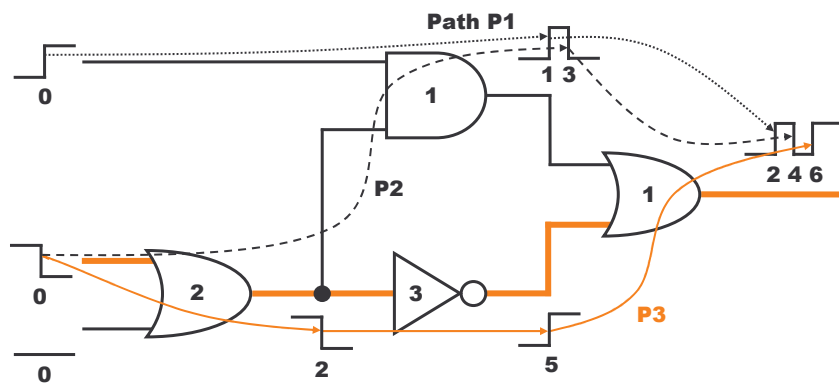
2

Timing



3

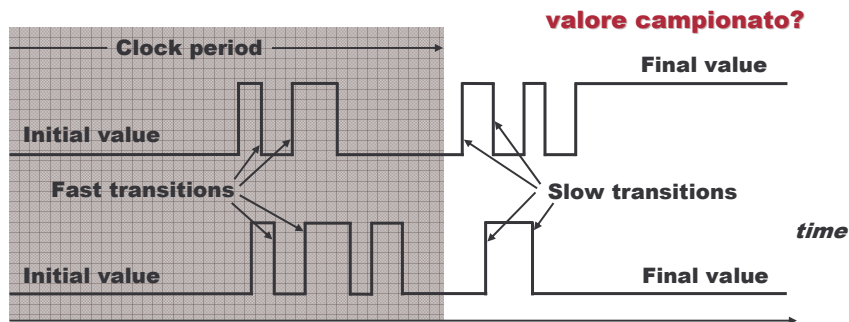
Propagazione degli eventi



4

Uscite del circuito

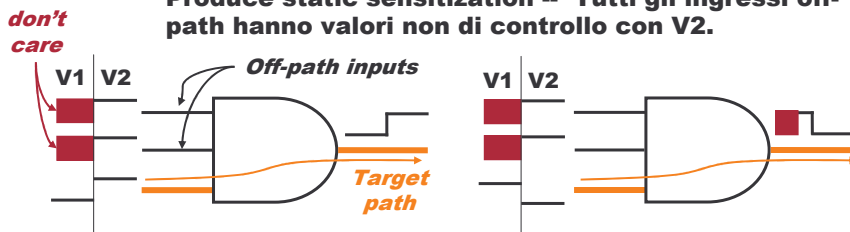
- Ciascun cammino path can potentially può produrre una transizione dell'uscita.
- La locazione di una transizione dell'uscita dipende dal ritardo del cammino.



5

Singly-Testable Paths (Non-Robust Test)

- Il ritardo di un cammino target path è collaudato se il test propaga una transizione attraverso tale cammino a un uscita.
- Il delay test è un paio di vettori, V1,V2, che:
 - Produce una transizione all'ingresso del path.
 - Produce static sensitization -- Tutti gli ingressi off-path hanno valori non di controllo con V2.



Static sensitization garantisce un test quando il target path è l'unico ad essere guasto. Il test viene definito *non-robust*. Un path senza nessun test di questo tipo è un *false path*.

6

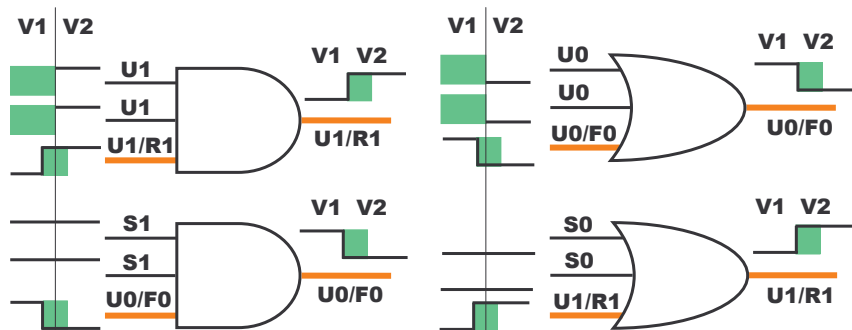
Robust Test

- Un robust test garantisce la rivelazione di un delay fault su un path, indipendentemente da altri delay fault nel circuito.
- Un test robusto è un paio di vettori, V1, V2, che soddisfa le seguenti condizioni:
 - Produce eventi reali (diversi valori di V1 e V2) su tutti i segnali del path.
 - Tutti i segnali del path devono avere *controlling events* (se il segnale che cambia è a un NCV con V1 allora tutti gli altri devono essere a un CV con V1).
- Un robust test è anche un test non-robust.
- Concetto di robust test è generale – può valere anche per altri modelli di guasto.

7

Condizioni per il robust Test

- Real events sul target path.
- Controlling events attraverso il target path.



8

Five-Valued Algebra

- Stati: S0, U0 (F0), S1, U1 (R1), XX.
- Segnali on-path: F0 e R1.
- Segnali off-path: F0=U0 e R1=U1.

		Input 1					Input 1						
AND		S0	U0	S1	U1	XX	OR		S0	U0	S1	U1	XX
Input 2	S0	S0	S0	S0	S0	S0	S0	S0	U0	S1	U1	XX	
	U0	S0	U0	U0	U0	U0	U0	U0	U0	S1	U1	XX	
	S1	S0	U0	S1	U1	XX	S1	S1	S1	S1	S1		
	U1	S0	U0	U1	U1	XX	U1	U1	S1	U1	U1		
	XX	S0	U0	XX	XX	XX	XX	XX	S1	U1	XX		

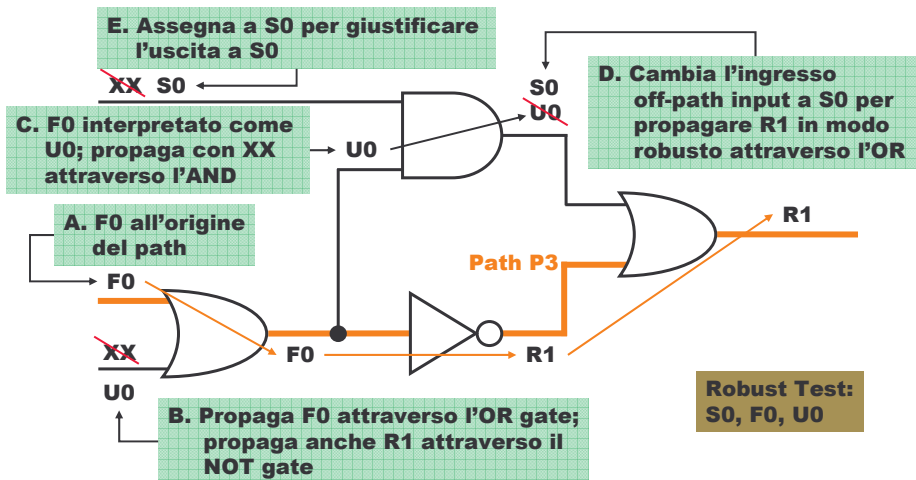
		Input				
NOT		S0	U0	S1	U1	XX
	S1	U1	S0	U0	XX	

Ref.:
Lin-Reddy
IEEETCAD-87

9

Robust Test Generation

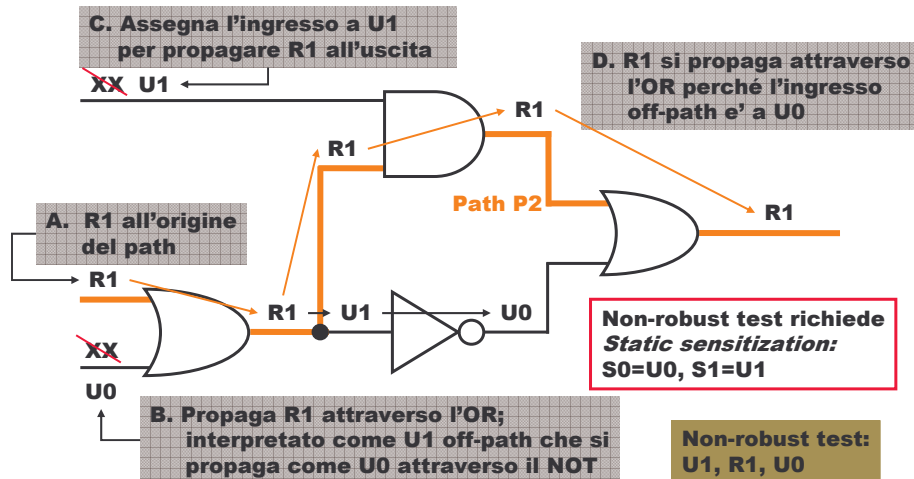
Test per ↓ P3 - transizione in discesa attraverso il path P3



10

Non-Robust Test Generation

Guasto \uparrow P2 – rising transition attraverso P2 non ha test robusti.



11

Path-Delay Faults (PDF)

- Due PDFs (rising e falling) per ciascun path fisico.
- Il numero totale di cammini è esponenziale in quello dei gate. Ci si può limitare ai cammini critici, identificabili con la static timing analysis.
- I test per PDF tests sono delay-independent. I robust test sono preferibili anche se non sempre possibili.
- Tre tipi di PDFs (Gharaybeh, et al., *JETTA* (11), 1997):
 - *Singly-testable* PDF – hanno un test non-robust o robust.
 - *Multiply-testable* PDF – un set di guasti singly untestable che ha test non-robust o robust.
 - *Untestable* PDF – un PDF che non testabile né singolarmente né multiplamente.

12

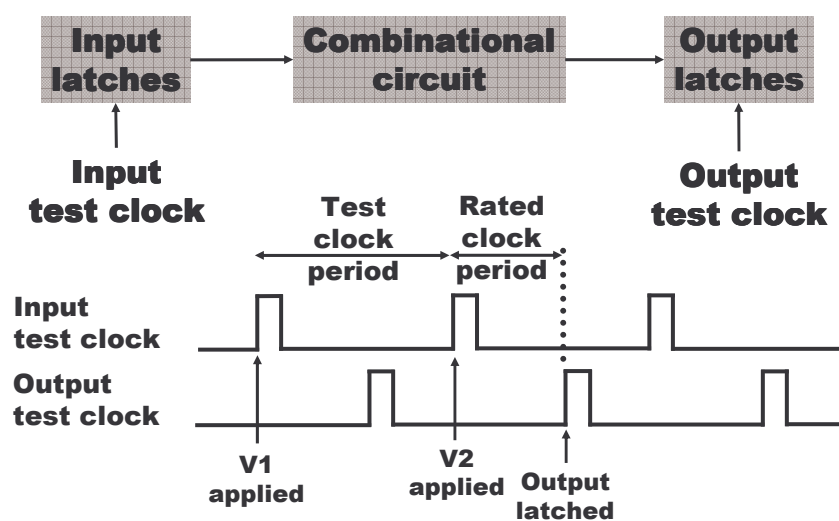
Altri modelli di delay fault

- **Segment-delay fault** -- Un segmento di un I/O path ha un ritardo sufficientemente grande da rendere guasti tutti i path che lo contengono.
- **Transition fault** -- Un segment-delay fault costituito da un solo gate:
 - Due guasti per gate: slow-to-rise e slow-to-fall.
 - Tests simili a quelli per gli stuck-at (o meglio per gli stuck-open). Inizializzazione + stuck-at test.
 - Gross delay defects.
- **Line-delay fault** – Un transition fault collaudato lungo il cammino più lungo.
- **Gate-delay fault** – Si assume che un gate abbia un certo ritardo addizionale (*fault size*) mentre gli altri hanno il loro ritardo nominale. Alcuni possono essere non rivelabili.

13

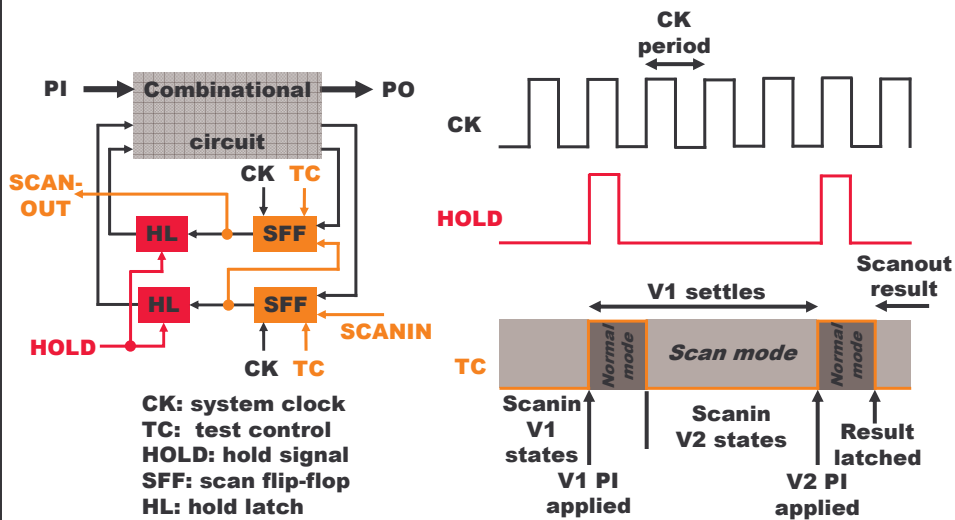
Slow-Clock Test

Si utilizza per venire incontro alle esigenze di ATE lenti



14

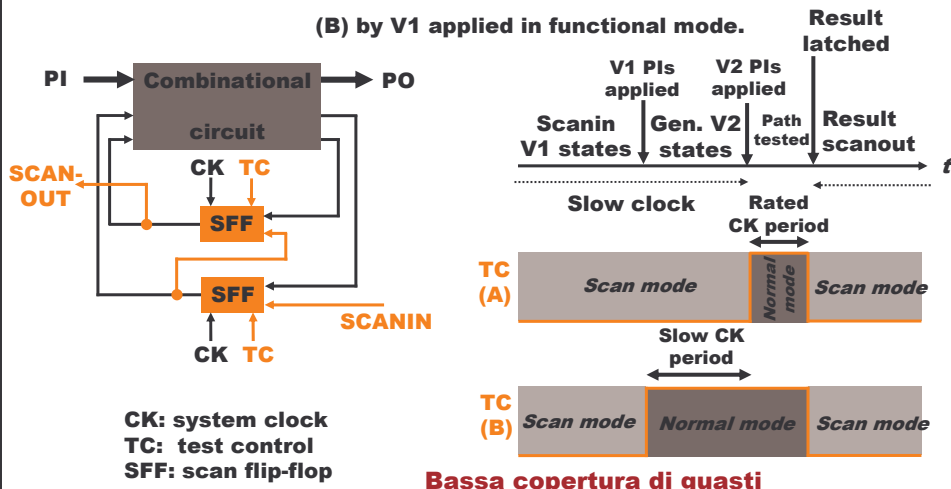
Enhanced-Scan Test



15

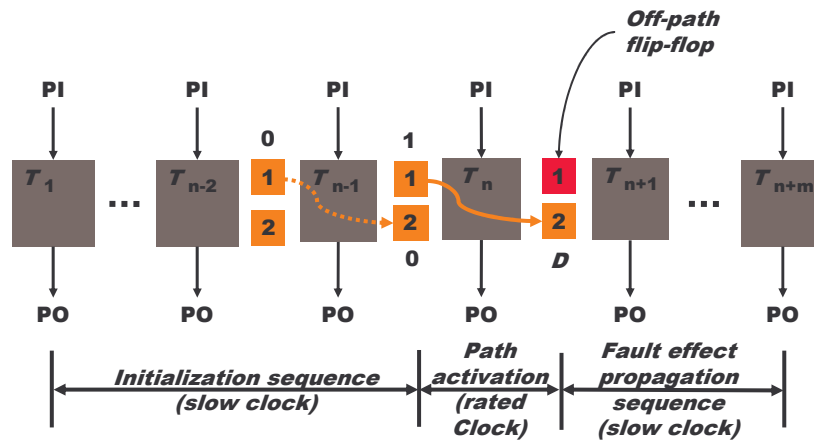
Normal-Scan Test

V2 states generated, (A) by one-bit scan shift of V1, or (B) by V1 applied in functional mode.



16

Variable-Clock Sequential Test



Nota: il clock lento rende il circuito fault-free in presenza di guasti, serve per non tenere in conto combinazioni di effetti dei guasti attraverso il flip-flop.

17

Variable-Clock

- La propagazione di effetti di guasto può essere condizionata da stati ambigui dei FF off-path alla fine dei time frame con il clock rated (Chakraborty, *et al.*, *IEEETCAD*, Nov. 1997):
 - Fault model A – si assume che il flip-flop off-path siano nello stato corretto; *sequential non-robust test* (ottimistico).
 - Fault model B – si assume che siano in uno stato unknown; *sequential robust test* (pessimistico).
 - Fault model C – si assume che alcuni siano nello stato corretto e altri nello stato unknown; *sequential robust test*.
- Test length: una test sequence di N vettori è ripetuta N volte, con un differente vettore applicato con il clock rated.
 - Test time $\sim N^2 \times$ (slow-clock period)

18

Esempio

- **ISCAS'89 benchmark s35932 (non-scan).**
- **2,124 vettori di test ottenuti mediante selezione da simulazione (Parodi, *et al.*, ITC-98).**
- **PDF coverage, 26,228/394,282 ~ 6.7%**
- **Path collaudato più lungo PDF, 27 gates; path più lungo del circuito ha 29 gates.**
- **Test time ~ 4,511,376 clocks.**

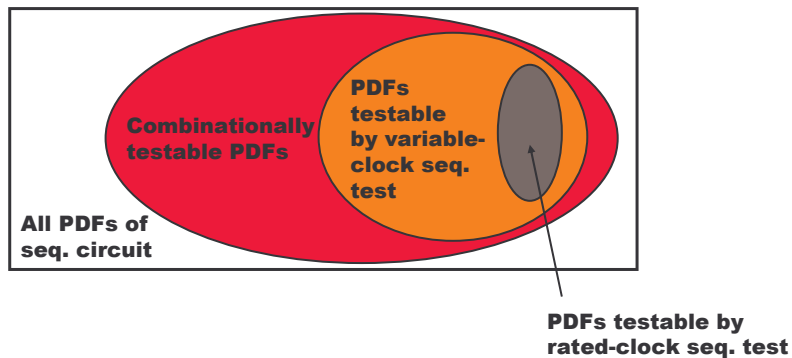
19

Rated-Clock Sequential Test

- **Tutti i vettori di test sono applicati col clock alla frequenza massima.**
- **I path sono attivati singolarmente e multiplamente in diversi time-frames.**
- **La test generation richiede una logica a 41 valori (Bose, *et al.*, *IEEETVLSI*, June 1998).**
- **La test generation è estremamente complessa per circuiti non-scan (Bose and Agrawal, *ATS-95*).**
- **I simulatori di guasto sono efficaci ma usano ipotesi conservative (Bose, *et al.*, *IEEETVLSI*, Dec. 1993; Parodi, *et al.*, *ITC-98*).**

20

Confronto fra modelli di test per PDF



Ref.: Majumder, *et al.*, VLSI Design - 98

21

Collaudo at-speed

- Applicazione dei test vectors alla frequenza operativa di clock.
- Ci sono 2 metodi:
- External test:
 - I vettori possono collaudare uno o più critical path e una gran parte di transition faults.
 - I tester per altre frequenze possono essere molto alte.
- **Built-in self-test (BIST):**
 - Il BIST può generare vettori nel DC set dei CUT => path non-funzionali più lunghi del critical path possono essere attivati facendo fallire il test a un circuito corretto.
 - Problema dell'inizializzazione.

22

Timing Design & Delay Test

- **Timing simulation:**
 - I critical path sono identificati dalla static timing analysis.
 - Si usa una simulazione timing o circuit-level con vettori generati dai progettisti per verificare il progetto.
- Questi dati si usano per ottimizzare il layout ripetendo poi le simulazioni.
- **Testing: bisogna utilizzare qualche test at-speed per i PDFs sul critical paths e verificare tutti i transition faults.**

23

Sommario

- ***Path-delay fault (PDF)*** modella difetti distribuiti. Da usare per verificare le temporizzazioni.
- ***Transition fault*** modella difetti localizzati di tipo ritardo (es. resistive open) e si può collaudare con dei test per stuck-at modificati.
- **Variable-clock testing => lento.**
- **Rated-clock testing** per i critical path di circuiti sequenziali.
- **Problema del delay testing per circuiti sequenziali senza scan con ATE lenti:**
 - Non attivare path non-funzionali con il BIST.

24