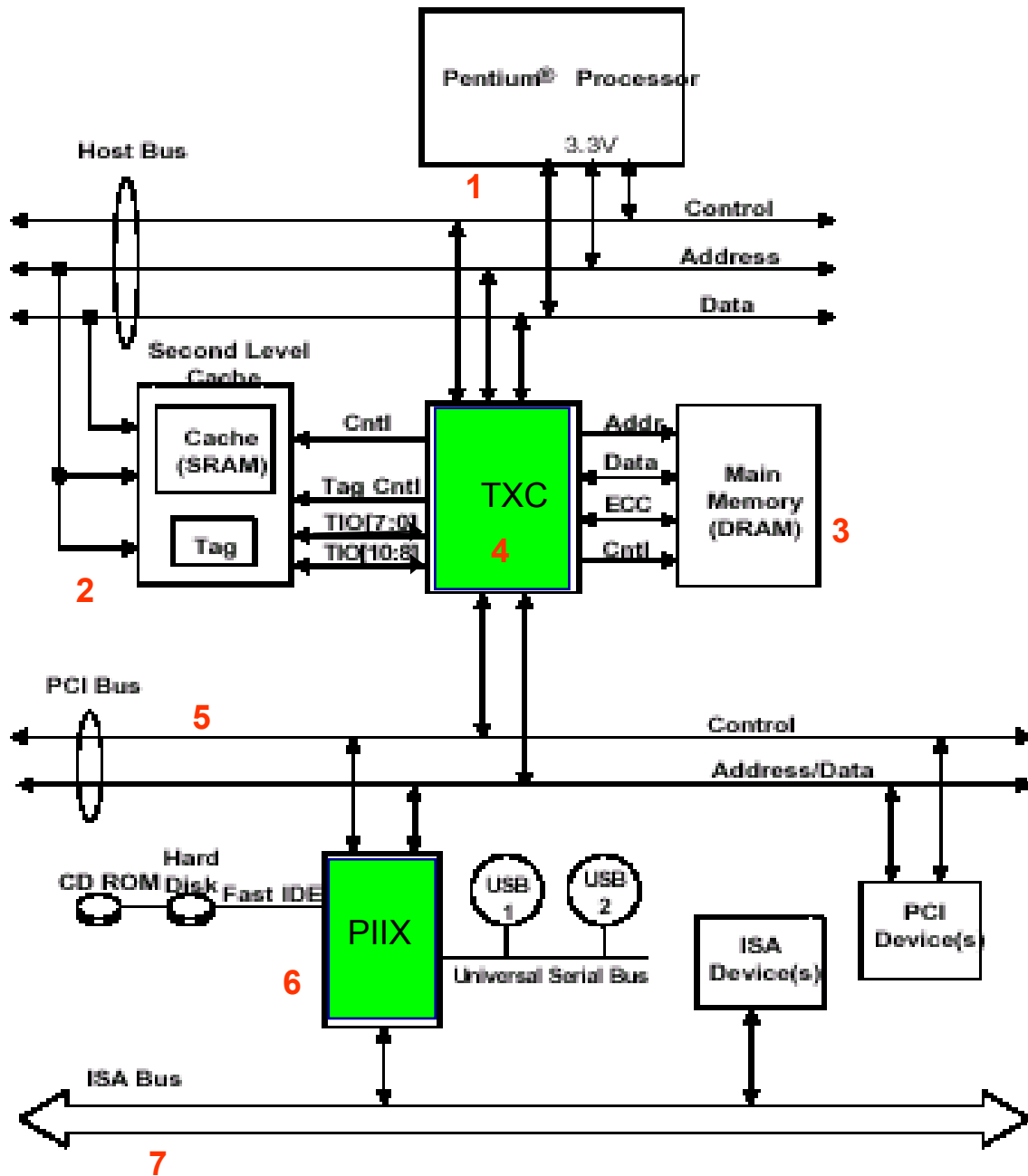
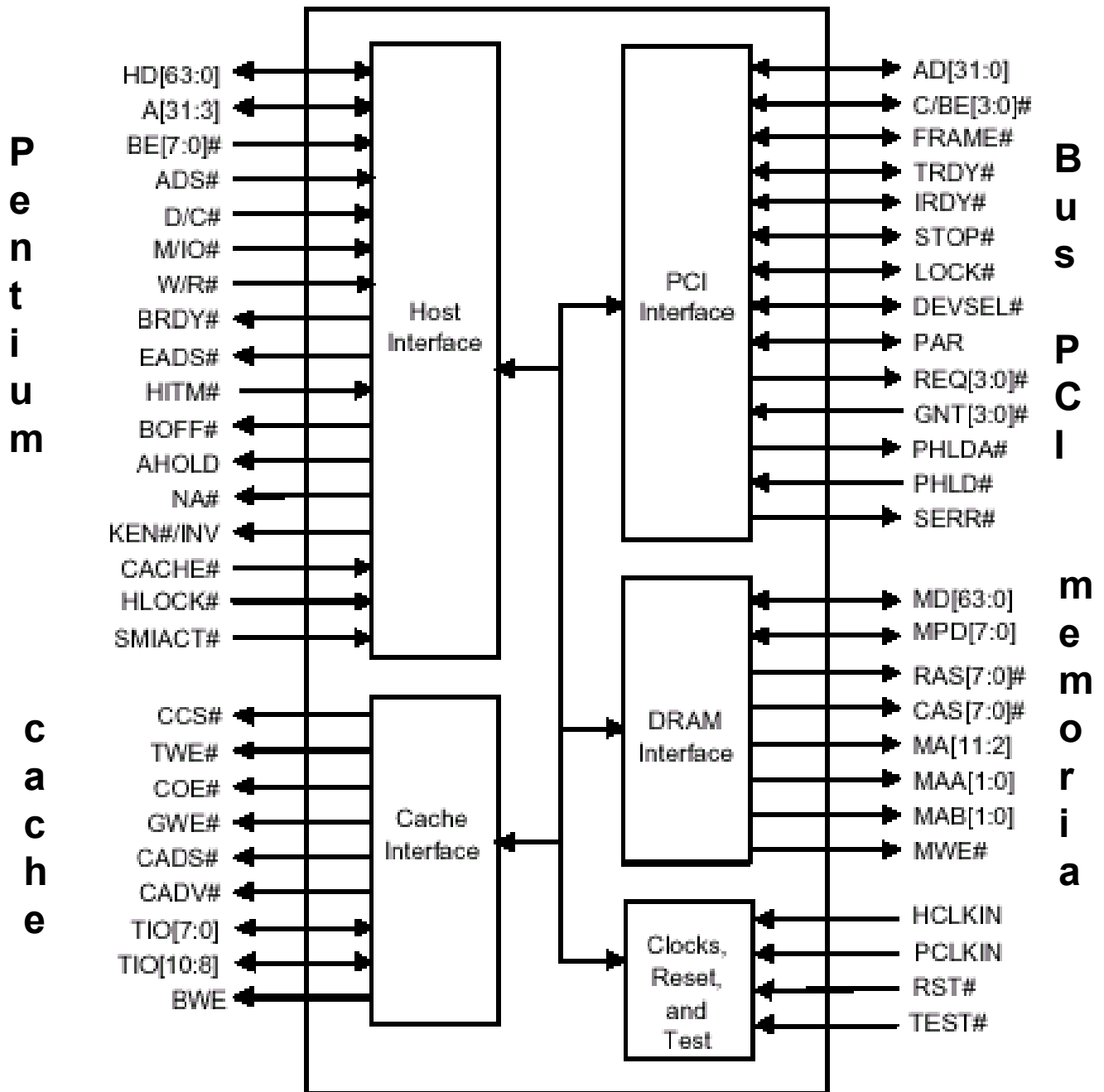


Pentium: architettura di sistema



- ◆ Il processore Pentium (1) è interfacciato sul bus con la memoria cache di livello 2 (2).
- ◆ L'interfacciamento con la memoria centrale (3) non è diretto, ma è garantito tramite il controllore di sistema TXC (4, "north-bridge"), anch'esso interfacciato sul bus del processore.
- ◆ Il controllore di sistema garantisce l'interfacciamento anche con il bus di I/O (bus PCI, 5). Al bus PCI sono interfacciati sia vari dispositivi sia i cosiddetti *slot di espansione*.
- ◆ Un dispositivo interfacciato sul bus PCI, il "south-bridge" (PIIX, 6) garantisce l'interfacciamento con il bus ISA (il bus del personal computer AT, 7), ancora presente per la compatibilità con le schede basate su questo bus.
- ◆ Il PIIX contiene al suo interno anche le principali periferiche: timer, DMAC, interrupt controller, USB controller, disk controller.

Il controllore di sistema TXC



- ◆ *Host Interface* è l'insieme dei segnali di interfaccia con il processore
- ◆ *PCI Interface* è l'interfaccia con il bus PCI, un bus di I/O a elevate prestazioni a 32 bit con linee dati e indirizzi multiplexate (AD[31:0]), su cui sono presenti sia dispositivi che slot, in cui vengono inserite schede di espansione
- ◆ *DRAM Interface* è l'insieme dei segnali che controllano le RAM dinamiche di cui è costituita la memoria centrale
- ◆ *Cache Interface* è l'interfaccia con la cache di secondo livello. Il controllore ha la responsabilità di comparare la **tag** dell'indirizzo corrente con quella contenuta nella linea di cache selezionata, e, nel caso, sostituirla; **questo avviene tramite i segnali bidirezionali TIO**. NB: il controllore contiene inoltre al suo interno i **bit di stato** delle linee della cache di secondo livello.

Cache di secondo livello

La cache di secondo livello è da 256 KB, direct mapped, write back.

L'organizzazione della cache di secondo livello è esattamente quella dell'esempio della cache Motorola MCM64AF32 (5 bit di byte offset, 13 di index, e parte dei rimanenti usati per la tag).

Si osservi che esistono due gruppi di bit di tag:

- TIO[7:0]
- TIO[10:8]

- se sono utilizzati solo i primi, la tag è di 8 bit, per un totale di = 64 MB di spazio cacheable; $2^{(5+13+8)}$
- se sono utilizzati anche gli altri, lo spazio cacheable si estende a 512 MB. $2^{(5+13+10)}$

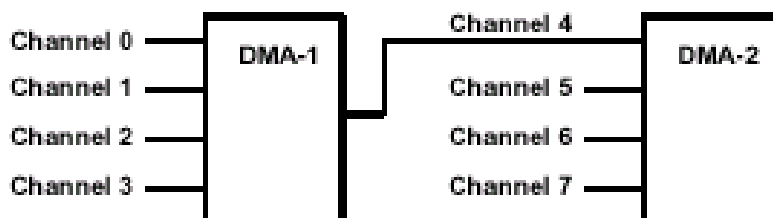
In alternativa, è possibile anche avere una cache da 512 KB, con il doppio di set e la tag ridotta di un bit (il bit inutilizzato viene usato come ulteriore bit di stato).

Il PCI-to-ISA bridge - PIIX

- Il dispositivo PIIX garantisce l'interfaccia tra il bus PCI (bus a 33 MHz con 32 bit di dati e indirizzi) con il più vecchio bus ISA (bus a 8 MHz con 16 bit di dati e 24 bit di indirizzi).

Nel PIIX sono inoltre presenti le classiche periferiche del PC XT basato sull'8088:

- *DMA controller*, configurato come due 8237 connessi in cascata, per un totale di 7 canali di DMA:



I canali 0:3 sono programmati per trasferimenti di byte, i canali 5:7 per trasferimenti di word allineate

- Un *timer* 8254, il cui canale 0 conta i system ticks
- 2 *interrupt controller* 8259 connessi in cascata, per un totale di 15 canali di interrupt

- Sul bus ISA sono presenti altre periferiche e slot, in cui sono inserite le schede di espansione come ad esempio quelle con l'8255 o controllori seriali.

- Il bus PCI e il bus ISA operano in modo indipendente, ma se necessario cicli iniziati da un bus master su uno dei due bus possono raggiungere periferiche o memoria anche sull'altro bus.

- I registri interni del DMAC, del timer e degli interrupt controller sono visibili sia sul bus ISA che PCI.

- Sul bus ISA possono inoltre essere presenti altri bus master (ad esempio un altro DMAC), che richiedono il bus ISA tramite un DREQ su un canale del DMA opportunamente programmato (Cascade Mode).

- Questa è una parte della mappa dello spazio di I/O:

0x0000-0x000F	DMA-1
0x00C0-0x00DE	DMA-2
0x0040-0x0043	Timer
0x0020-0x003F	Interrupt Controller (master)
0x00A0-0x00BF	Interrupt Controller (slave)
0x0378-0x037F	Porta parallela 1

- Il controllore di sistema TXC e il PIIX costituiscono il cosiddetto **chipset** del processore.