

ARCHITETTURA A LIVELLO DI SISTEMA

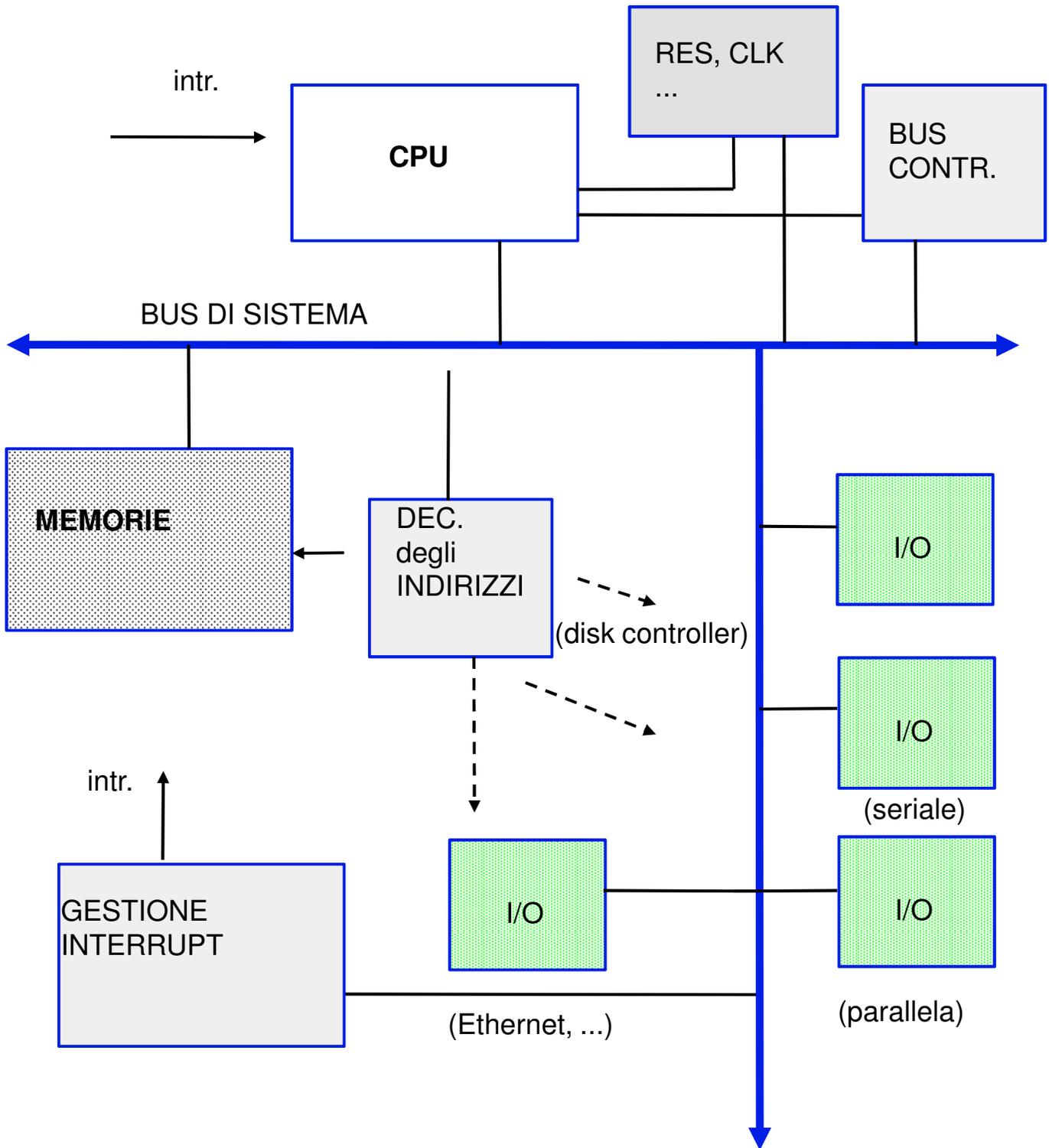
Architettura a livello di sistema

**Interfaccia standard nei microprocessori
I segnali esterni dei microprocessori 8088/8086**

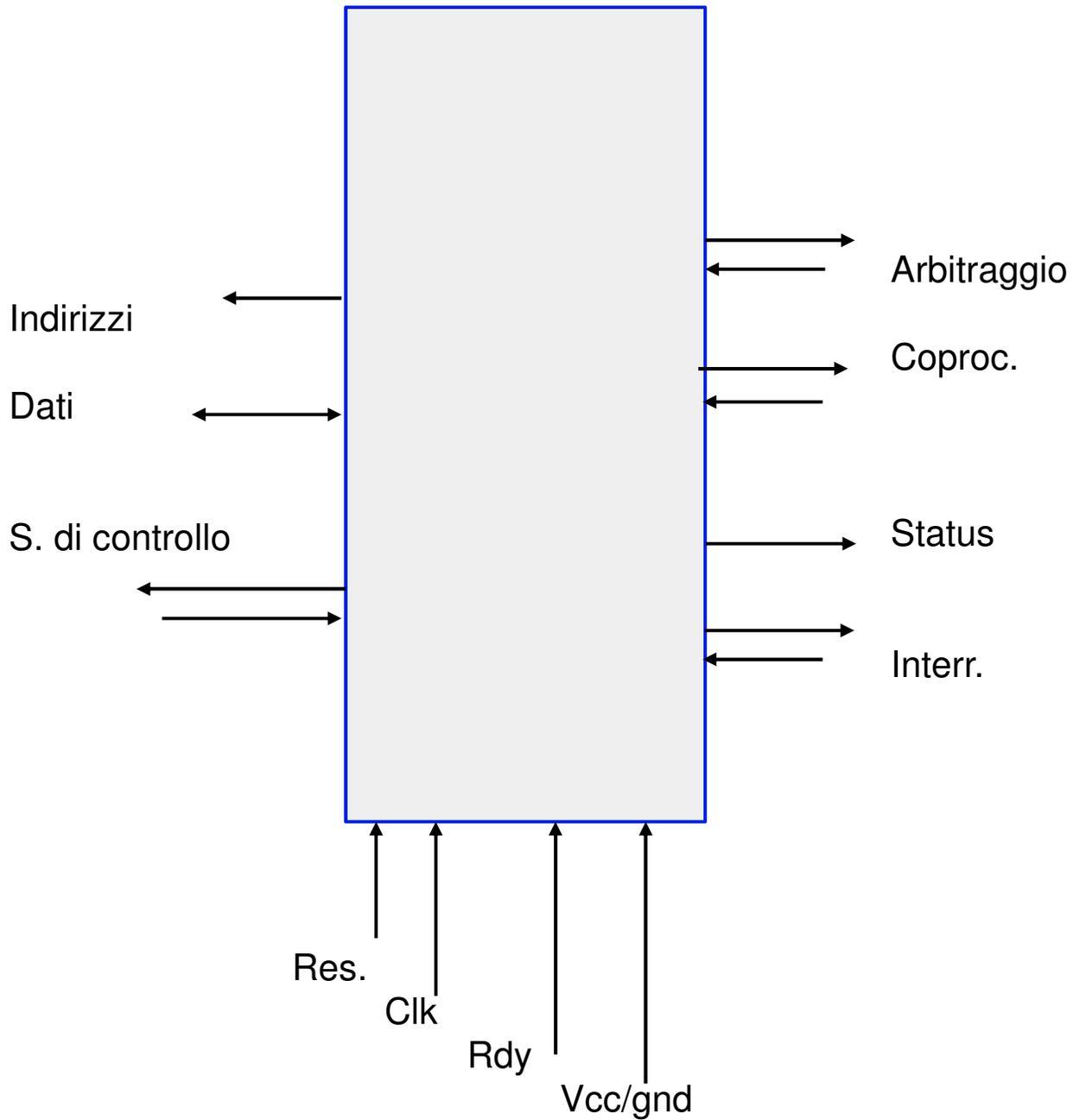
Il ciclo di bus nell'8088

**Circuiti logici di interfaccia di bus
Il bus con l'8088: Interfaccia in minimum mode**

ARCHITETTURA A LIVELLO DI SISTEMA



PINOUT LOGICO DEI MICROPROCESSORI



PINOUT INTEL 8088

GND	1	40	VCC
A14	2	39	A15
A13	3	38	A16/S3
A12	4	37	A17/S4
A11	5	36	A18/S5
A10	6	35	A19/S6
A9	7	34	SS0
A8	8	33	MN/MAX*
AD7	9	32	RD*
AD6	10	31	HOLD/RQGT1*
AD5	11	30	HOLDA/RQGT0*
AD4	12	29	WR*/LOCK*
AD3	13	28	IOM*/S2*
AD2	14	27	DTR*/S1*
AD1	15	26	DEN*/S0*
AD0	16	25	ALE/QS0
NMI	17	24	INTA*/QS1
INT	18	23	TEST*
CLK	19	22	READY
GND	20	21	RESET

ARCHITETTURA DEI BUS

BUS

canale di comunicazione condiviso che trasporta segnali omogenei tra piu' sottosistemi

Vantaggi: flessibile, versatile, bassi costi

Svantaggi: lento, limiti fisici

$$T_{comm} = T_{sup} + B T_p$$

Latenza: tempo di trasferimento di un dato

Throughput (banda passante) Mbyte/sec

Bus

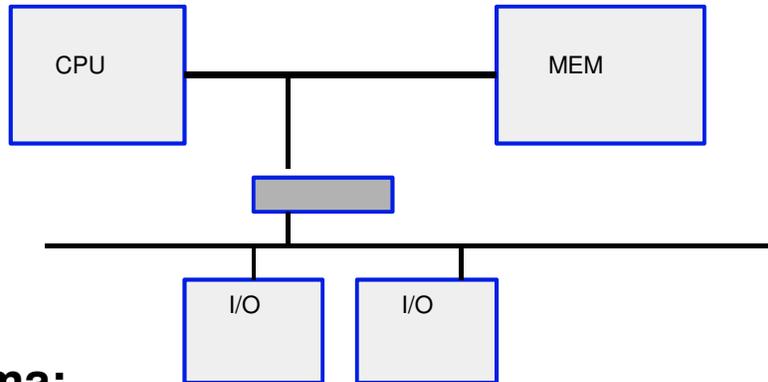
- DI CONTROLLO
- DI DATI
- DI INDIRIZZI

TRASFERIMENTI (CICLI) DI BUS

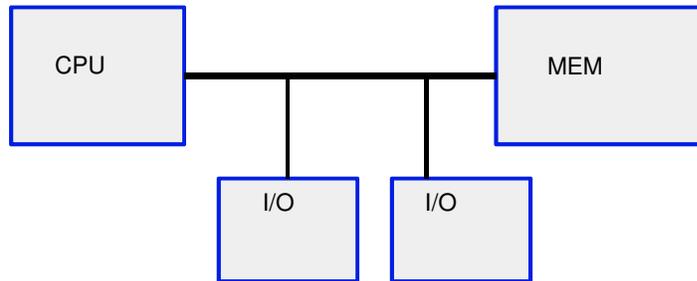
- lettura/scrittura
- input/output

TIPI DI BUS

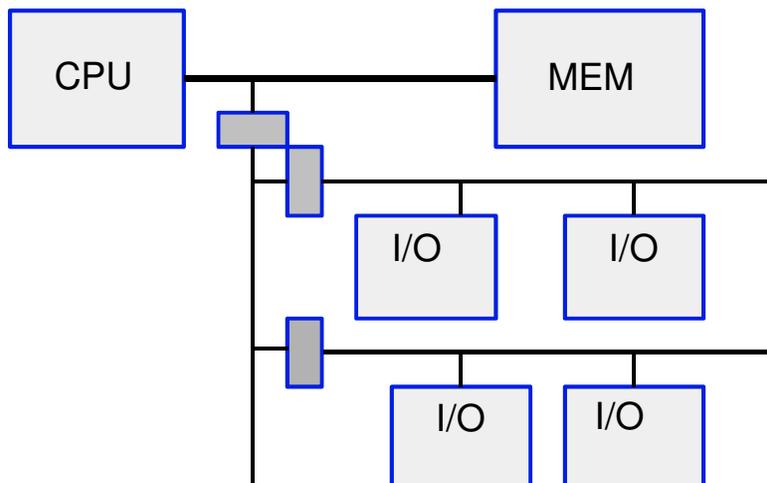
**bus processore/ memoria
(proprietary)
bus di sistema
bus di I/O (standard)**



Esempio di bus di sistema:



Esempi di bus di I/O:



CICLI DI BUS

Ciclo di bus: Ciclo di trasferimento tra CPU e dispositivi esterni

Per i dispositivi il ciclo di bus e' un evento Asincrono, per la CPU e' un evento sincrono che avviene in caso di *fetch* o di *execute*;

L'*execute* in questo caso legge o scrive dati su dispositivi esterni.

Se invece l'*execute* è interna il bus rimane "idle", cioè inattivo

1) la CPU fornisce l'indirizzo valido

2) scrittura:

la CPU fornisce il dato;

il dispositivo con un proprio tempo di accesso (T_{wr})

campiona il dato

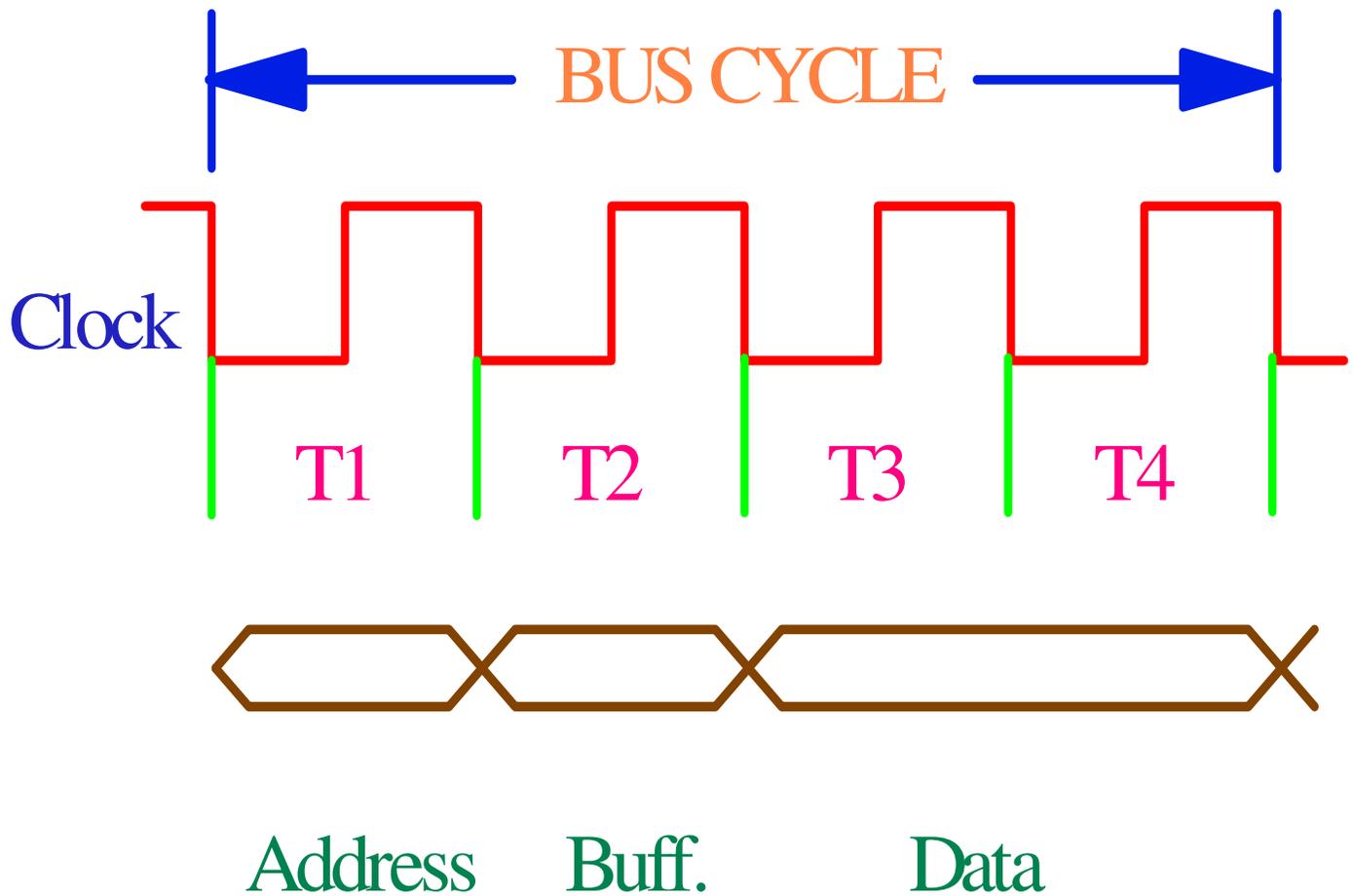
lettura:

dopo un tempo di accesso di lettura (T_{acc}) il dispositivo

fornisce il dato sul bus;

il dato viene campionato dalla CPU in modo sincrono

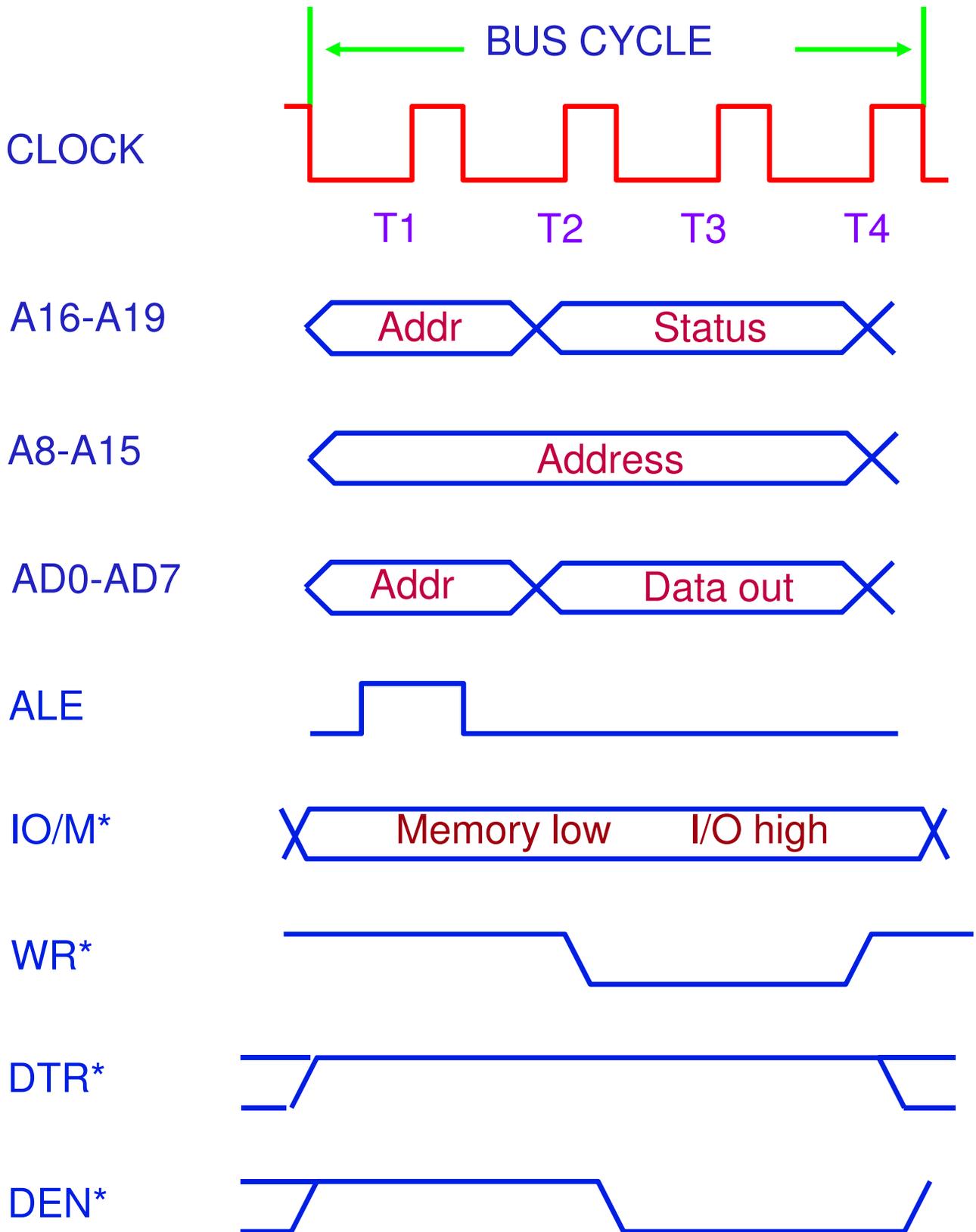
CICLO BASE 8088



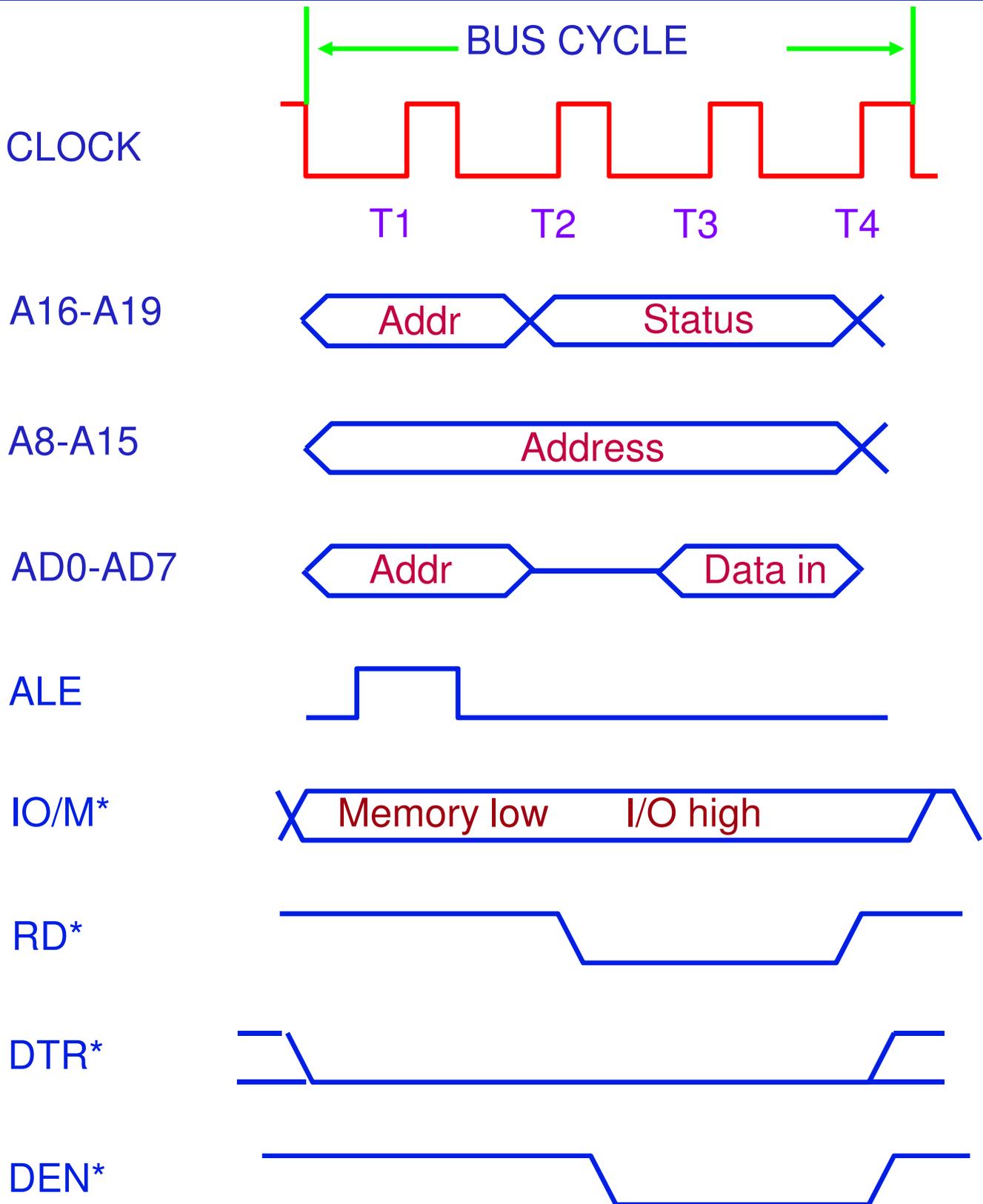
BUS multiplexato

Necessità di segnali di sincronismo

CICLO BASE 8088: scrittura

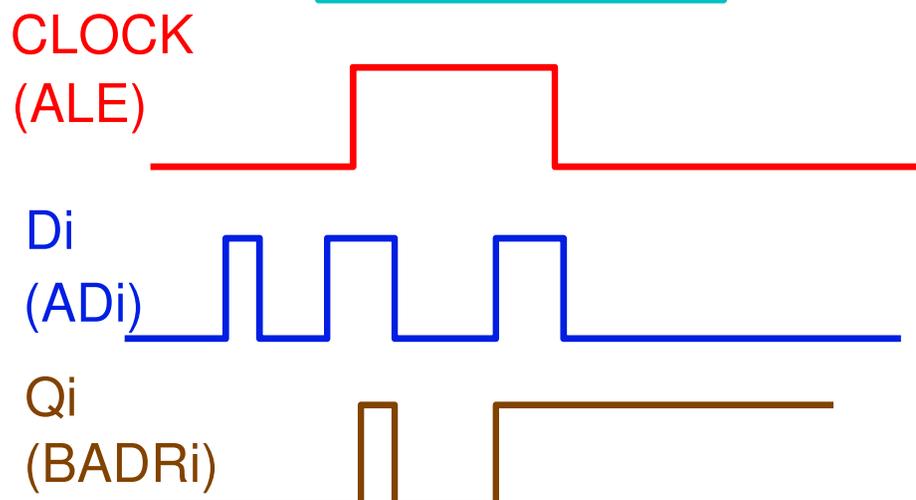
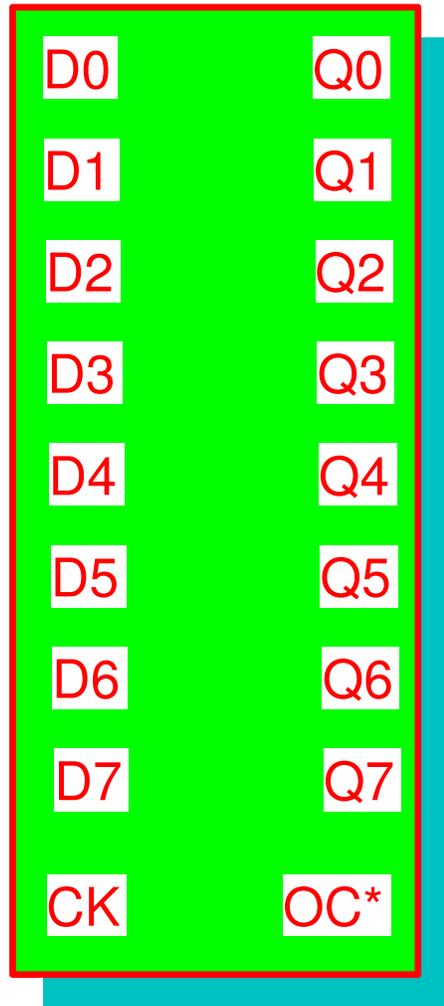


CICLO BASE 8088: lettura



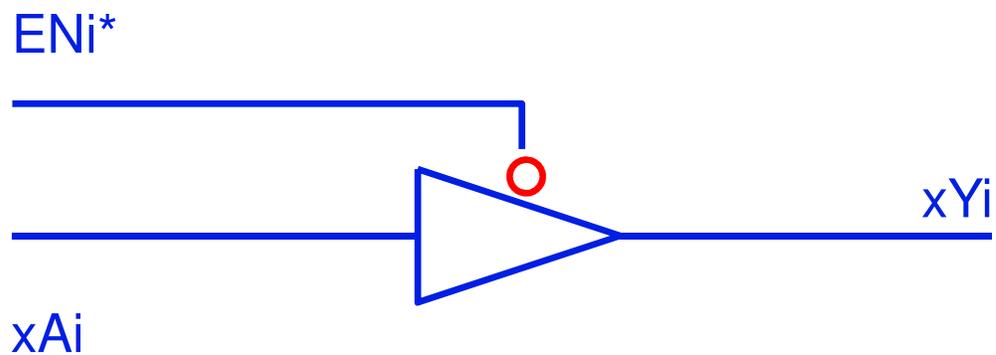
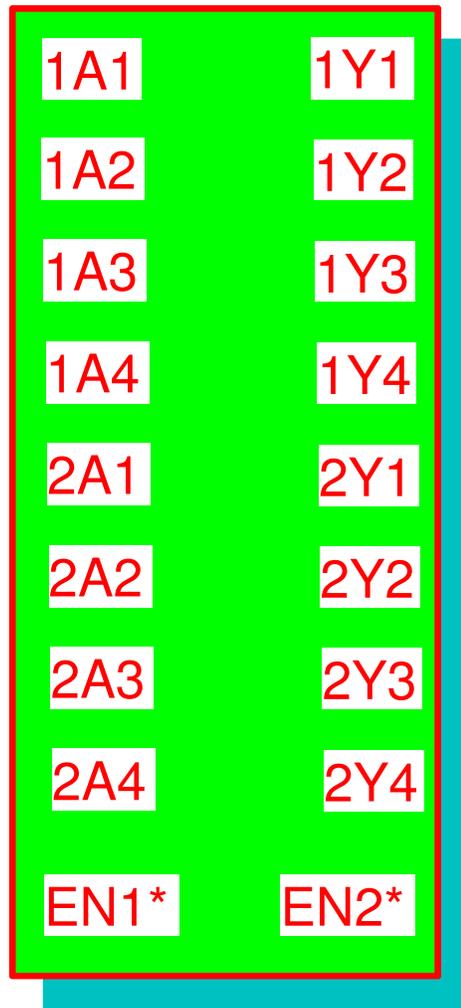
CIRCUITI INTEGRATI DI INTERFACCIA

74XX373- latch parallelo a 8 bit



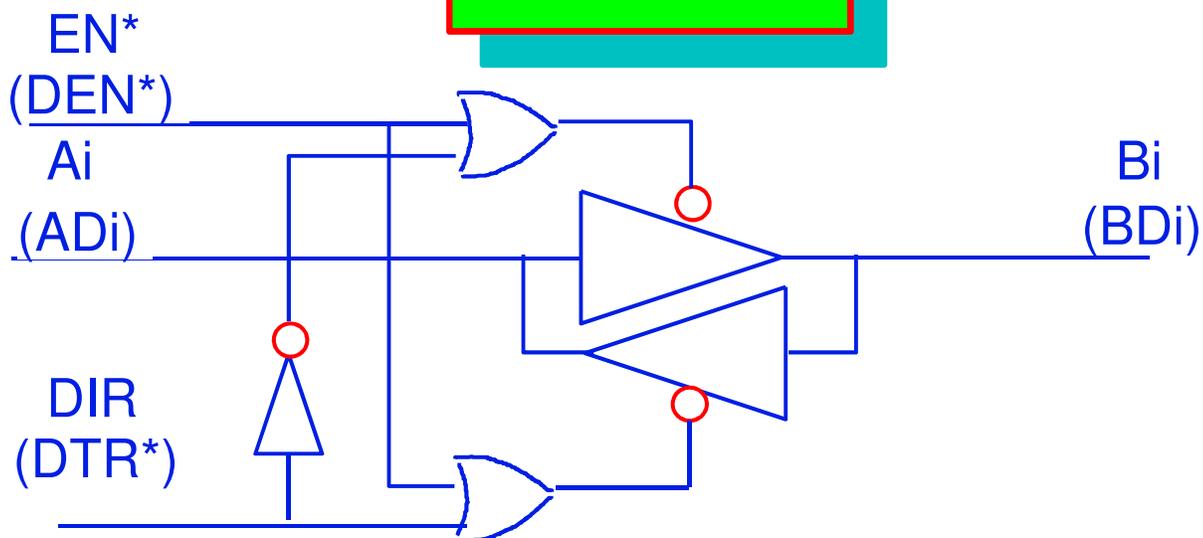
CIRCUITI INTEGRATI DI INTERFACCIA

74XX244- driver a 8 bit (in due gruppi di 4)

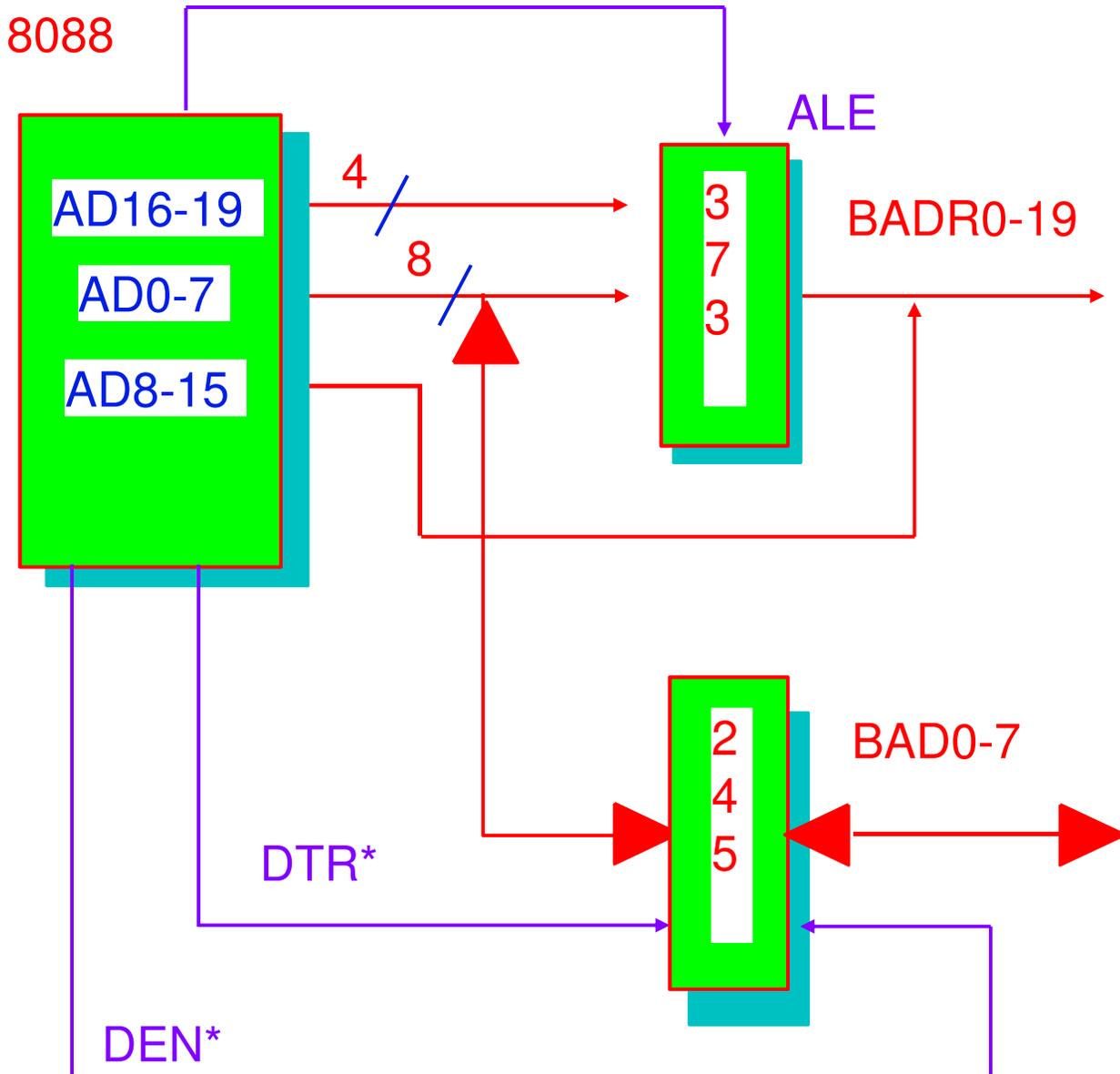


CIRCUITI INTEGRATI DI INTERFACCIA

74XX245- transceiver (driver bidirezionale) a 8 bit

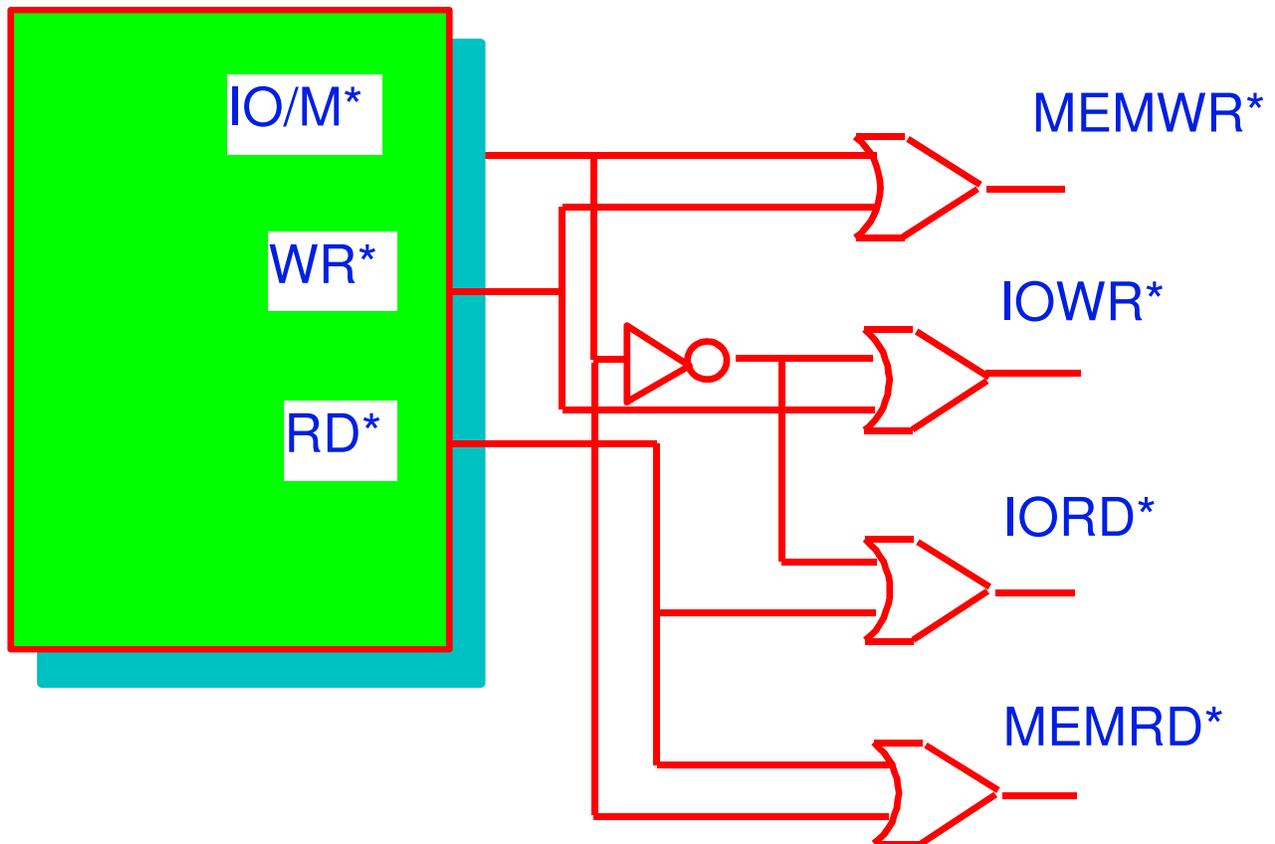


DEMULTIPLEXED BUS



SEGNALI DI LETTURA E SCRITTURA

8088



- Il segnale IO/M* può condizionare i transceivers dei dati

BUS DI MEMORIA E I/O

