

# ARCHITETTURA A LIVELLO DI SISTEMA

## Architettura a livello di sistema

Interfaccia standard nei microprocessori  
I segnali esterni dei microprocessori 8088 e 8086

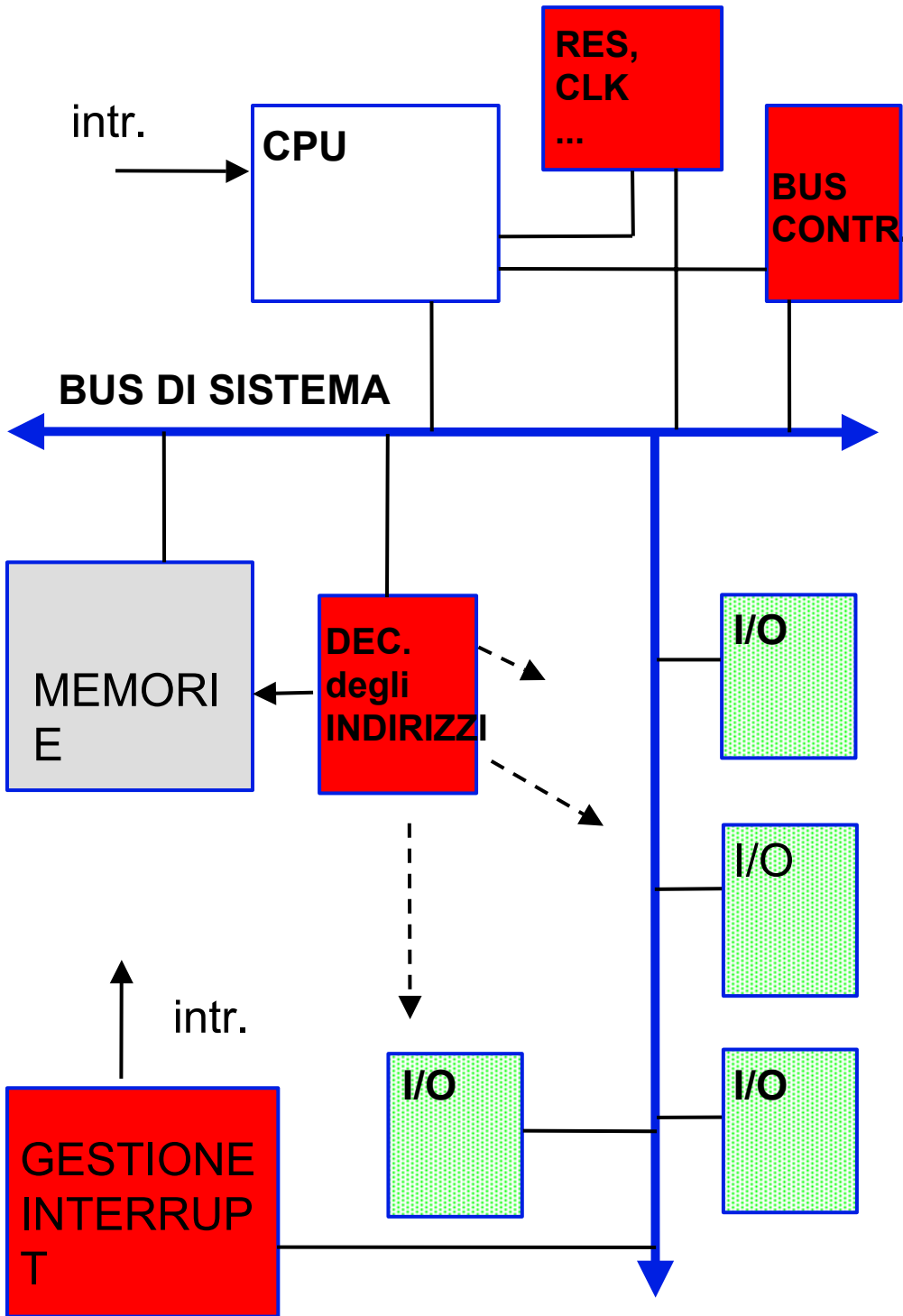
Architettura dei bus  
Il ciclo di bus nell'8088

Circuiti logici di interfaccia di bus  
Il bus con l'8088: Interfaccia in **minimum mode/ maximum mode**

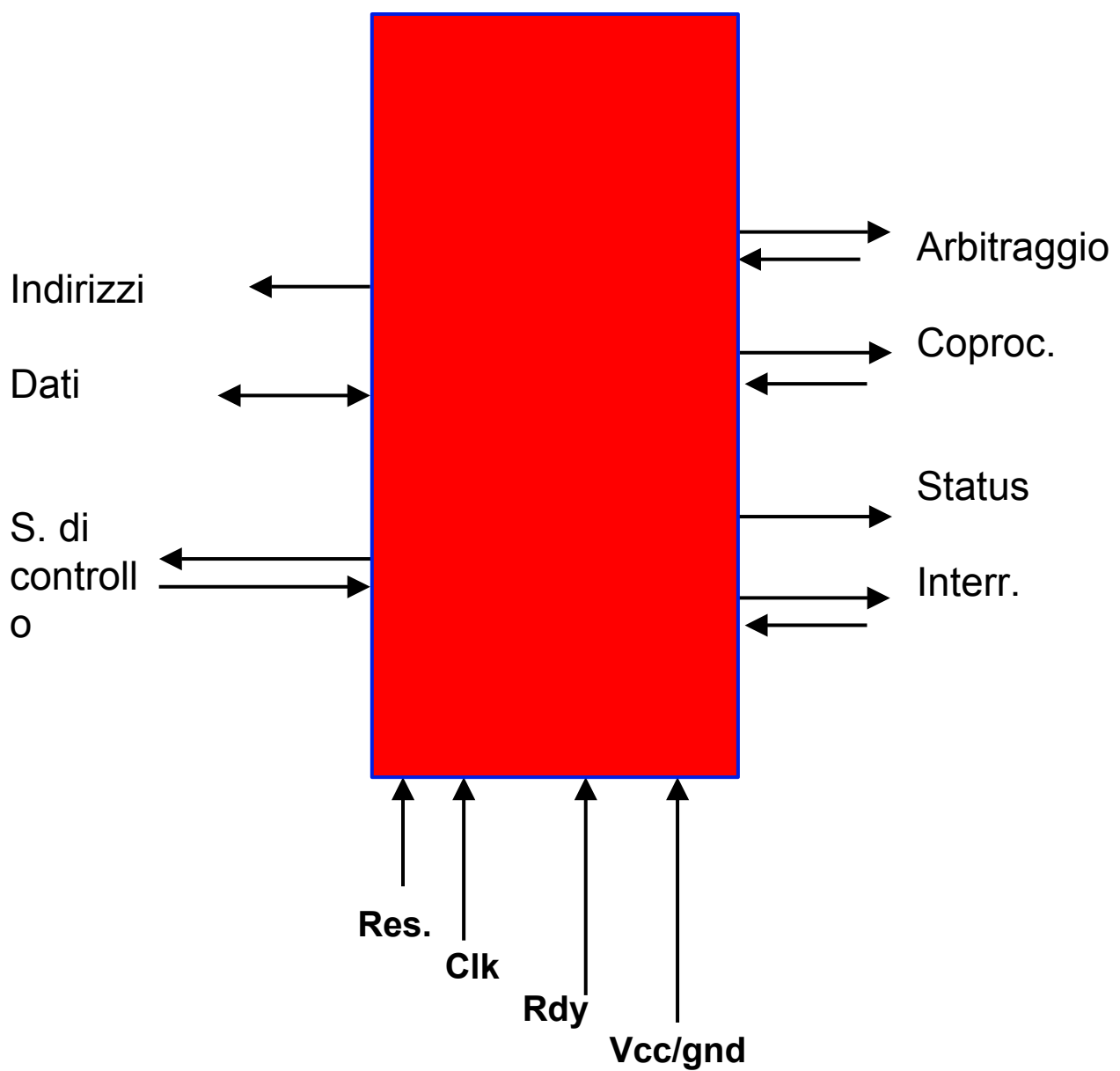
Il controllore del bus in **maximum mode**  
8288

Gestione del **reset**, del **clock** e del segnale di **ready** : 8284

# ARCHITETTURA A LIVELLO DI SISTEMA



# PINOUT LOGICO DEI MICROPROCESSORI



## PINOUT INTEL 8088

GND	1	40	VCC
A14	2	39	A15
A13	3	38	A16/S3
A12	4	37	A17/S4
A11	5	36	A18/S5
A10	6	35	A19/S6
A9	7	34	SS0
A8	8	33	MN/MAX*
AD7	9	32	RD*
AD6	10	31	HOLD/RQGT1*
AD5	11	30	HOLDA/RQGT0*
AD4	12	29	WR*/LOCK*
AD3	13	28	IOM*/S2*
AD2	14	27	DTR*/S1*
AD1	15	26	DEN*/S0*
AD0	16	25	ALE/QS0
NMI	17	24	INTA*/QS1
INT	18	23	TEST*
CLK	19	22	READY
GND	20	21	RESET

## ARCHITETTURA DEI BUS

### **BUS**

canale di comunicazione condiviso che trasporta  
segnali

omogenei tra più sottosistemi

Vantaggi: flessibile, versatile, bassi costi

Svantaggi: lento, limiti fisici

$$T_{comm} = T_{sup} + B T_p$$

Latenza: tempo di trasferimento di un dato

Throughput (banda passante) Mbyte/sec

Bus

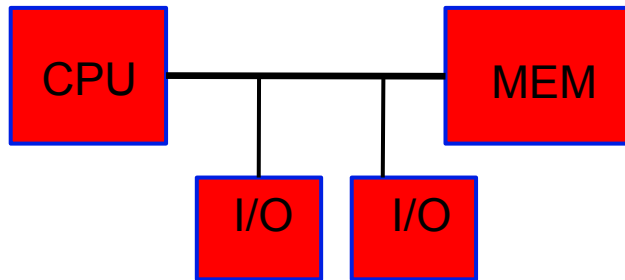
1. DI CONTROLLO
2. DI DATI
3. DI INDIRIZZI
4. DI COMANDO

TRASFERIMENTI (CICLI) DI BUS

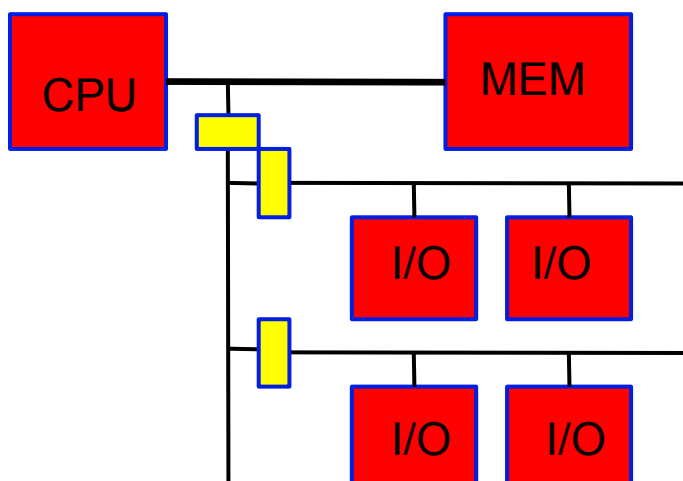
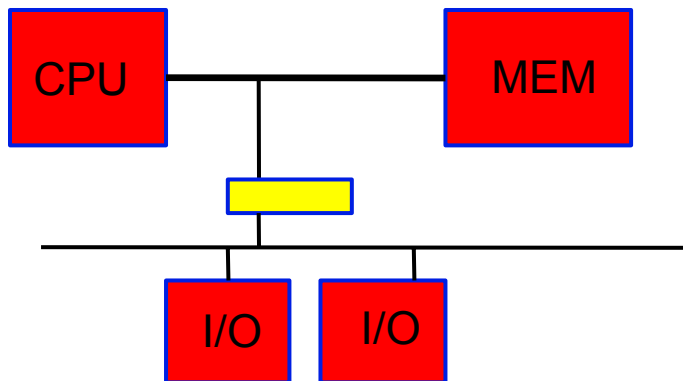
1. lettura/scrittura
2. input/output

## TIPI DI BUS

**Esempio di bus di sistema:**



**Esempi di bus di I/O:**



## CICLI DI BUS

### Ciclo di bus:

#### Ciclo di trasferimento tra CPU e dispositivi esterni

Per i dispositivi il ciclo di bus e' un evento **Asincrono**,  
per la CPU e' un evento **sincrono** che avviene in caso di fetch o  
di execute;

se l'execute e' interna il bus rimane "idle", cioè inattivo

1) la CPU fornisce l'indirizzo valido

2) *scrittura:*

la CPU fornisce il dato;

il dispositivo con un proprio tempo di accesso ( $T_{wr}$ )

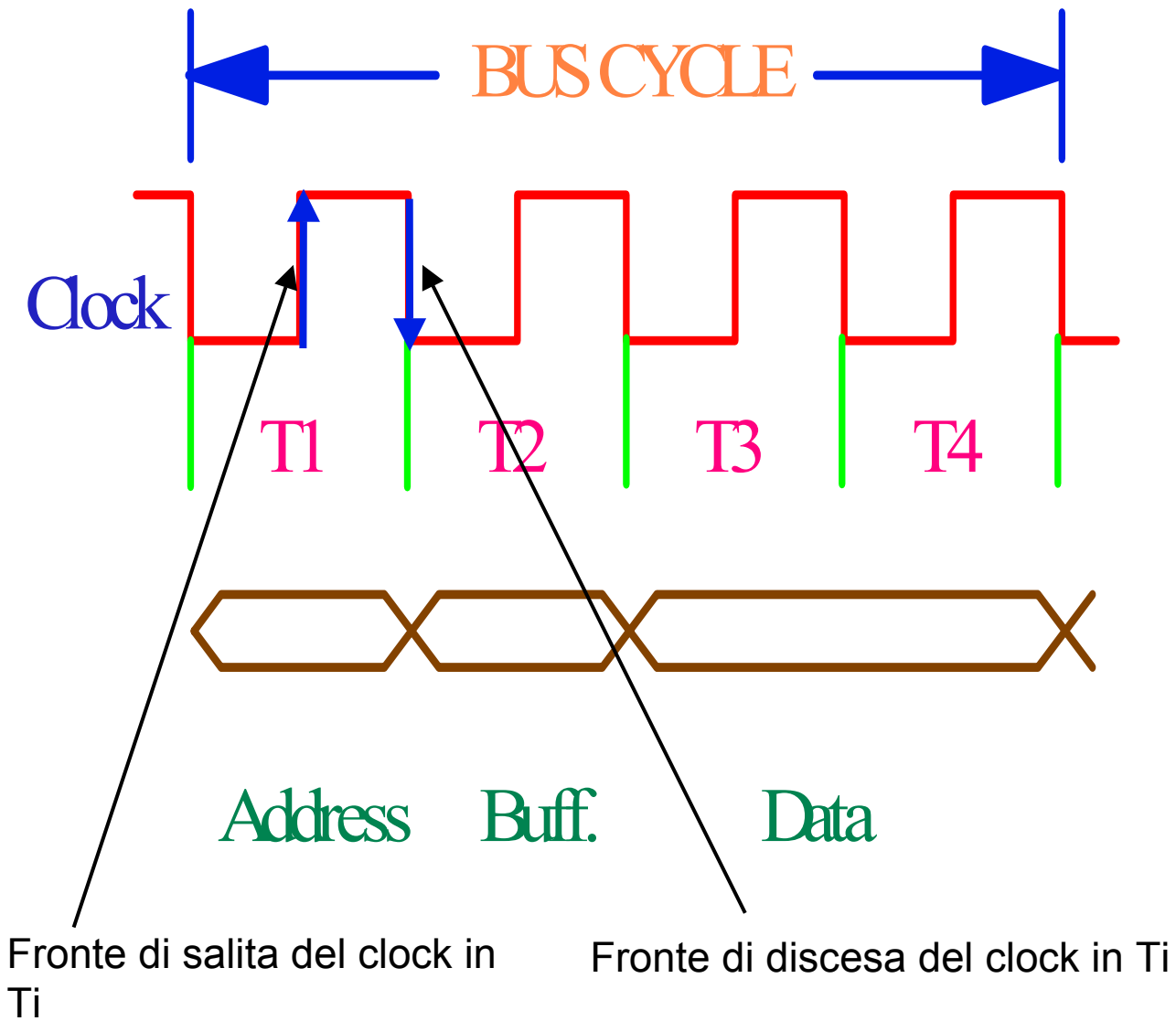
campiona il dato

*lettura:*

dopo un tempo di accesso di lettura ( $T_{acc}$ ) il dispositivo  
fornisce il dato sul bus;

il dato viene campionato dalla CPU in modo sincrono

# CICLO BASE 8088

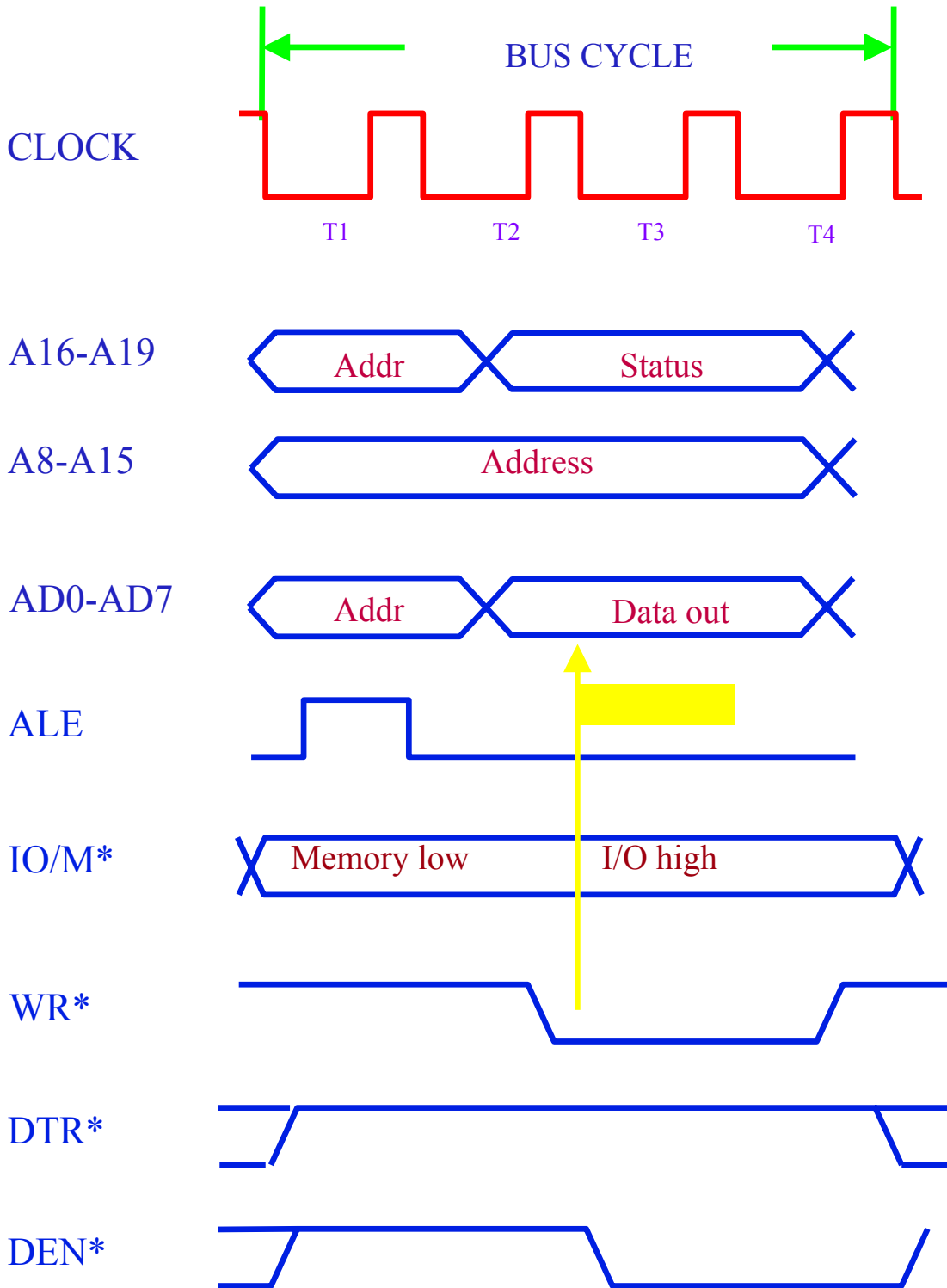


BUS multiplexato

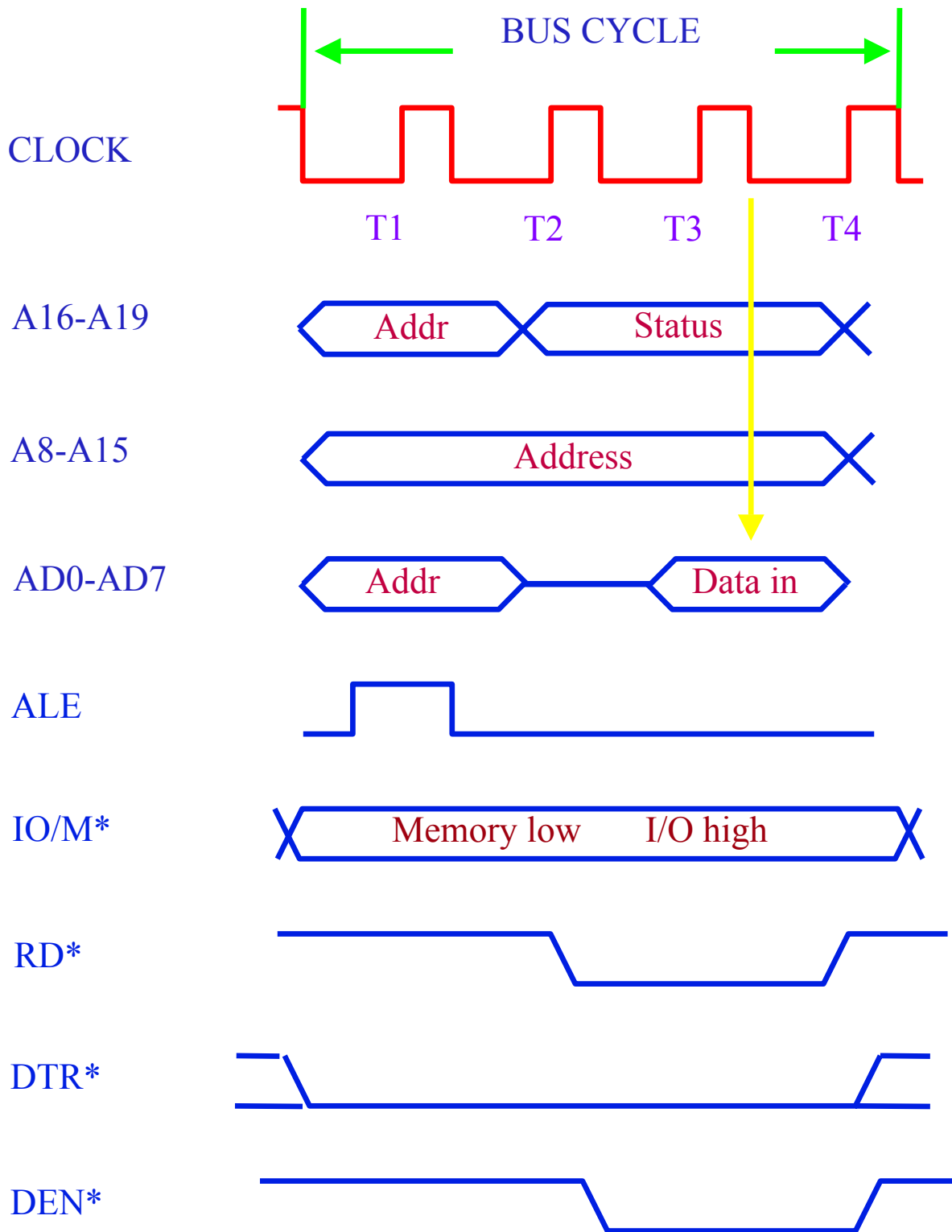
Necessità di segnali di sincronismo



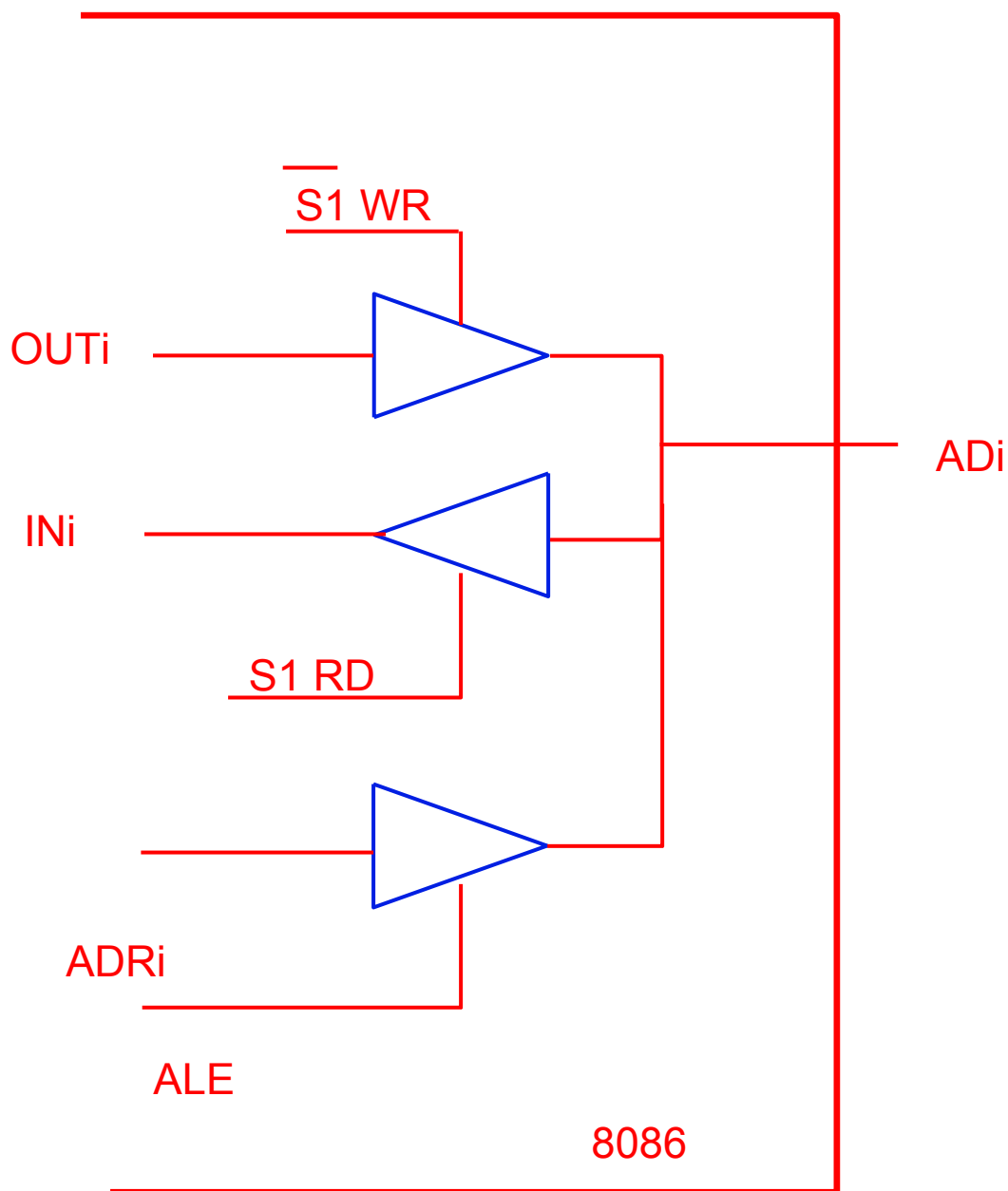
## CICLO BASE 8088: scrittura



# CICLO BASE 8088: lettura



## Circuito di ingresso uscita



# CIRCUITI INTEGRATI DI INTERFACCIA

74XX373

Modo Funz.	In			Out
	OE*	LE	Dn	Qn
Transparent	L	H	L	L
	L	H	H	H
In Disab Out Activat e	L	L	X	L
	L	L	X	H
In disab Out Latched	H	L	X	HiZ
	H	L	X	HiZ

<b>D0</b>	<b>Q0</b>
<b>D1</b>	<b>Q1</b>
<b>D2</b>	<b>Q2</b>
<b>D3</b>	<b>Q3</b>
<b>D4</b>	<b>Q4</b>
<b>D5</b>	<b>Q5</b>
<b>D6</b>	<b>Q6</b>
<b>D7</b>	<b>Q7</b>
<b>CK</b>	<b>OC*</b>

CLOCK

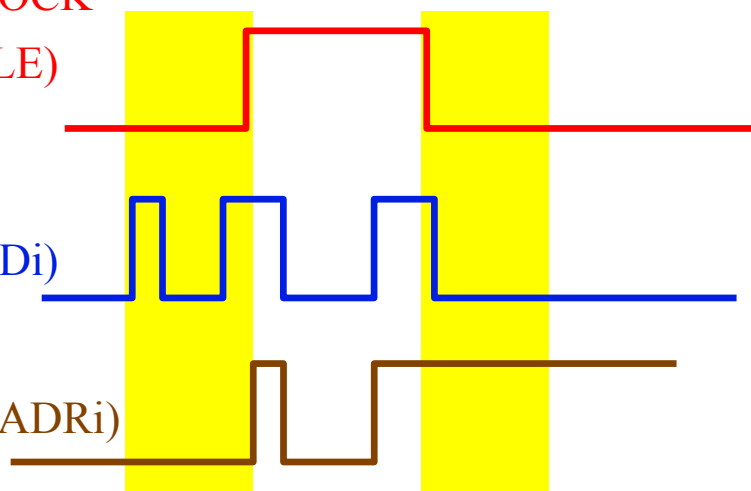
(ALE)

Di

(ADi)

Qi

(BADRi)



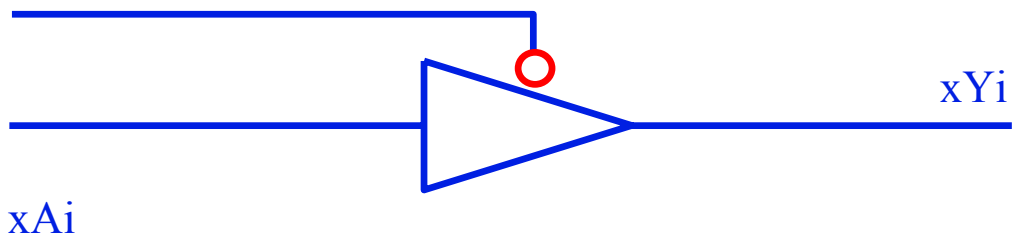
# CIRCUITI INTEGRATI DI INTERFACCIA

74XX244

ENi	iYn
L	iYn=iAn
H	iYn=HiZ

1A1	1Y1
1A2	1Y2
1A3	1Y3
1A4	1Y4
2A1	2Y1
2A2	2Y2
2A3	2Y3
2A4	2Y4
EN1*	EN2*

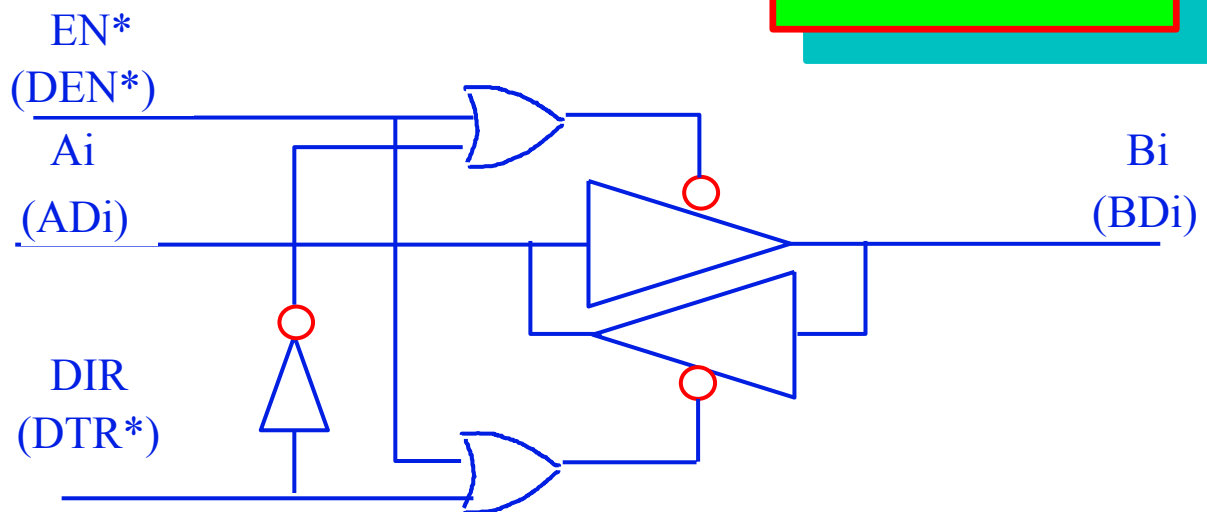
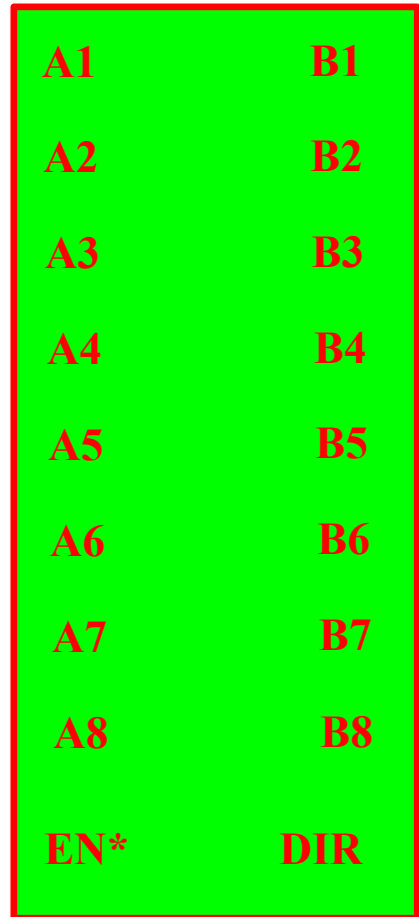
ENi\*



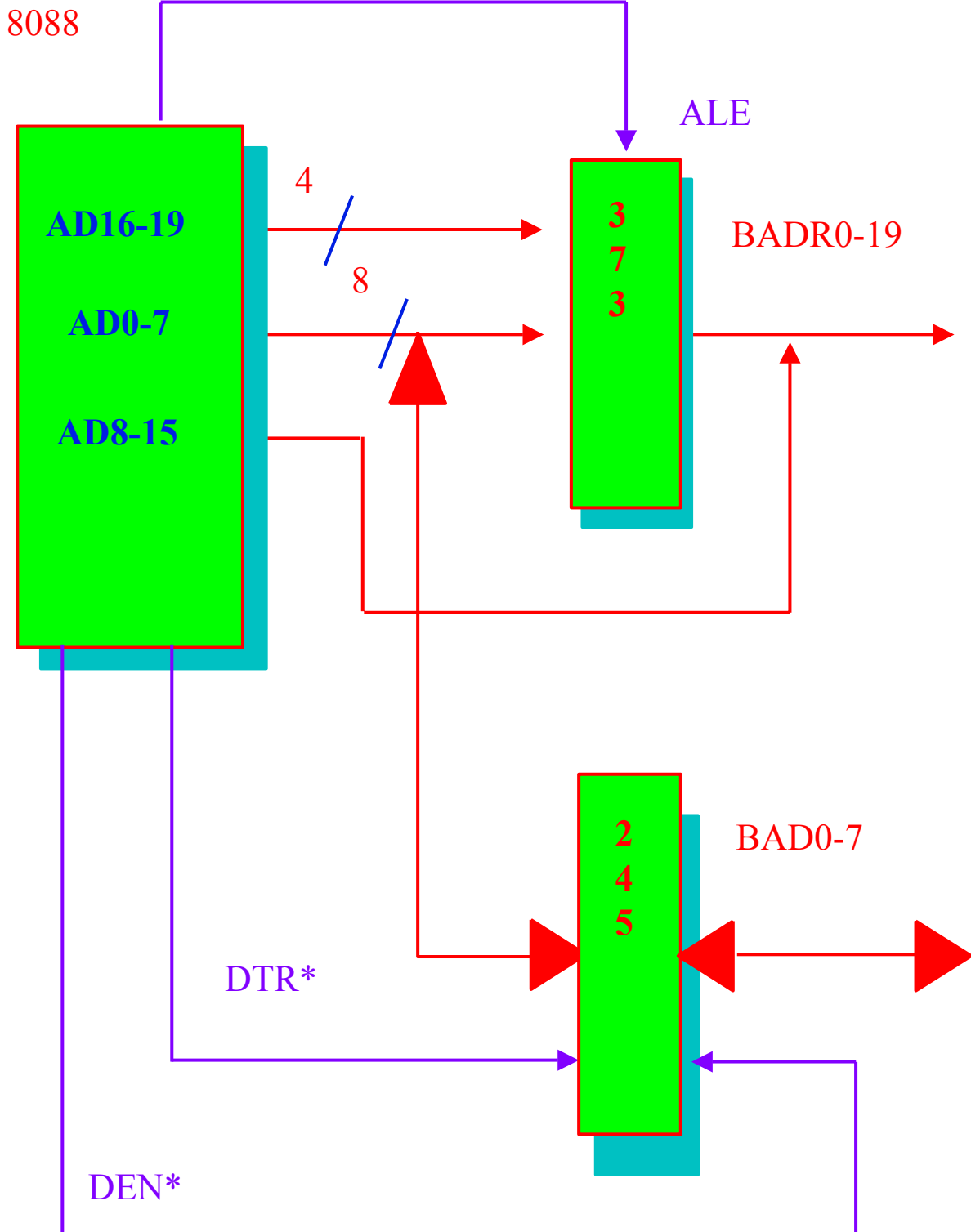
# CIRCUITI INTEGRATI DI INTERFACCIA

74XX245

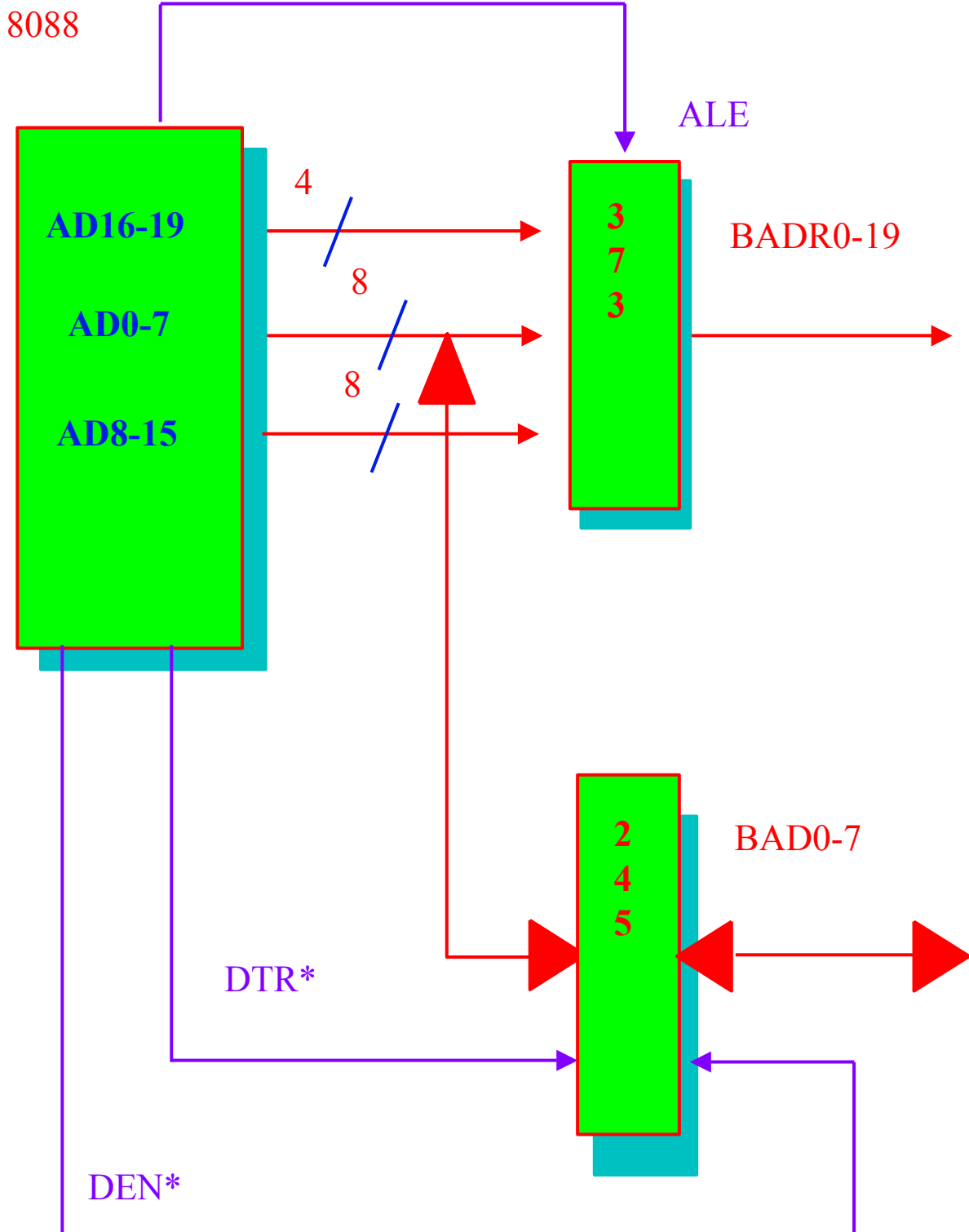
In		In/Out	
OE*	DIR	An	Bn
L	L	An=Bn	In
L	H	In	Bn=An
H	X	<b>HiZ</b>	<b>HiZ</b>



# DEMULTIPLIED BUS



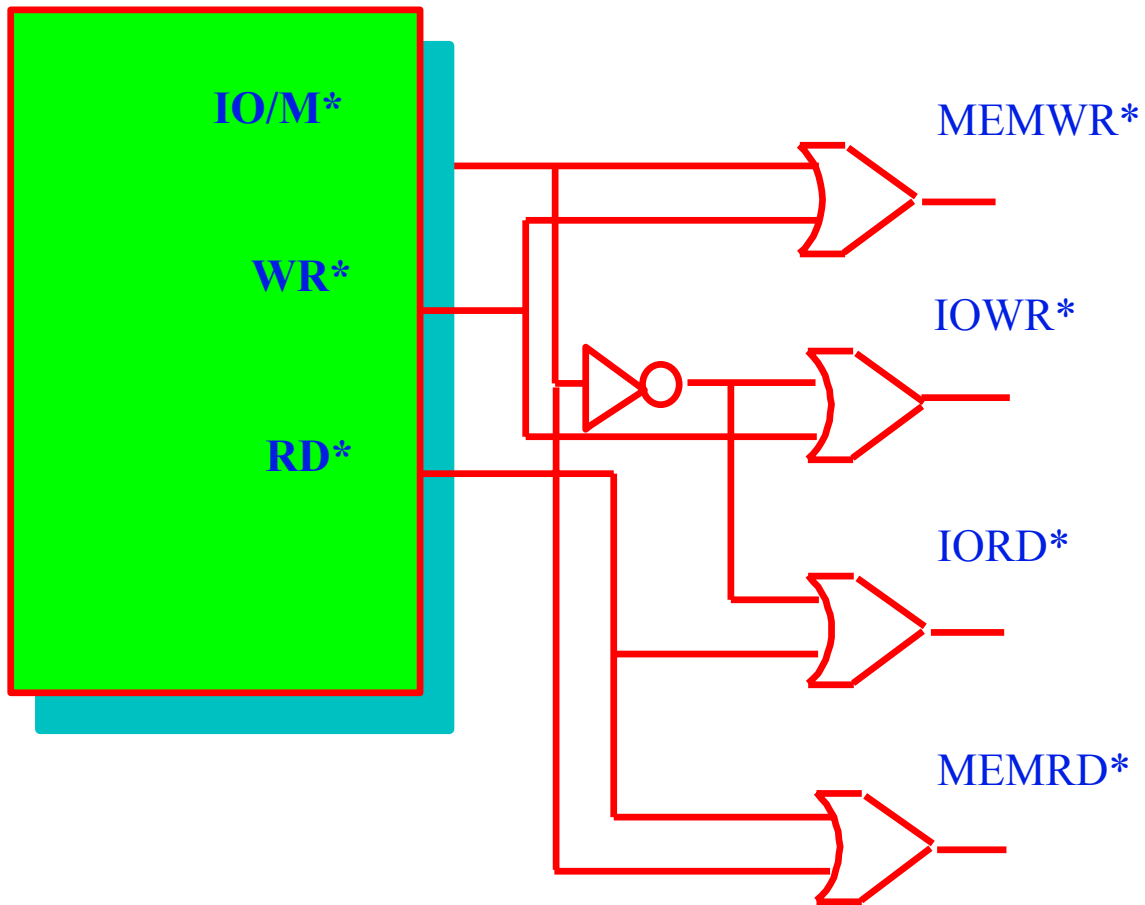
# DEMULTIPLEXED BUS (MULTIPROC.)





## SEGNALI DI LETTURA E SCRITTURA

8088



- n Il segnale  $IO/M^*$  può condizionare i transceivers dei dati

## MAXIMUM MODE

- n L'insieme 8088-8288 è funzionalmente equivalente all'8088 in minimum mode ma con temporizzazioni parzialmente diverse
- n L'8288 amplia le funzioni del minimum mode
- n I segnali di stato che escono dal processore permettono di avere una indicazione precisa della attività in corso.
- n S0\*, S1\* e S2\* sono attivi solo in T1, T2 per cui vanno campionati e “bufferati”.

S2*	S1*	S0*	
0	0	0	Interrupt acknowledge
0	0	1	Read I/O
0	1	0	Write I/O
0	1	1	Halt
1	0	0	Instruction fetch
1	0	1	Read data from memory
1	1	0	Write data to memory
1	1	1	Idle (disconnessa dal Bus)

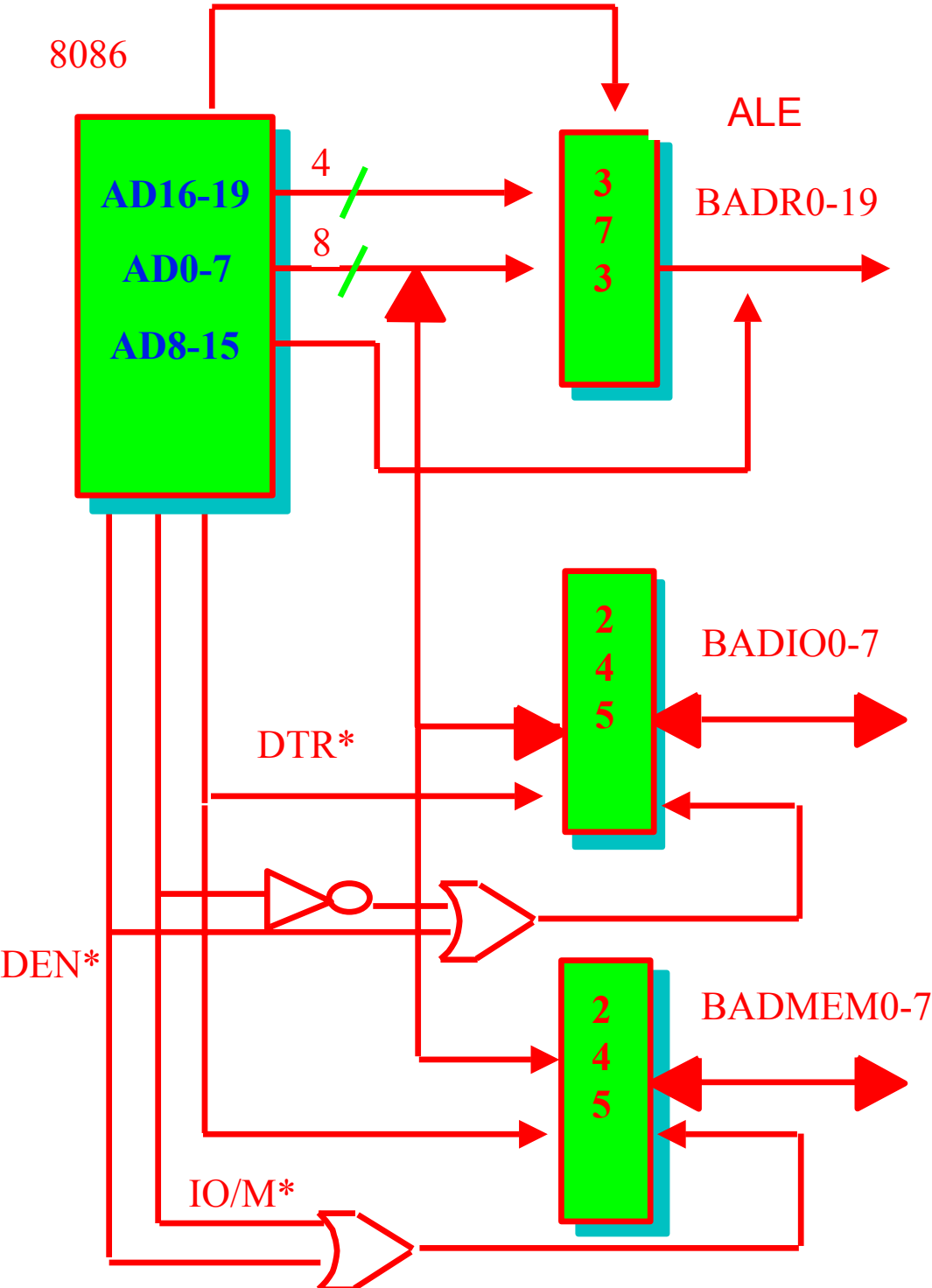
## BUS CONTROLLER

### 8288 BUS CONTROLLER

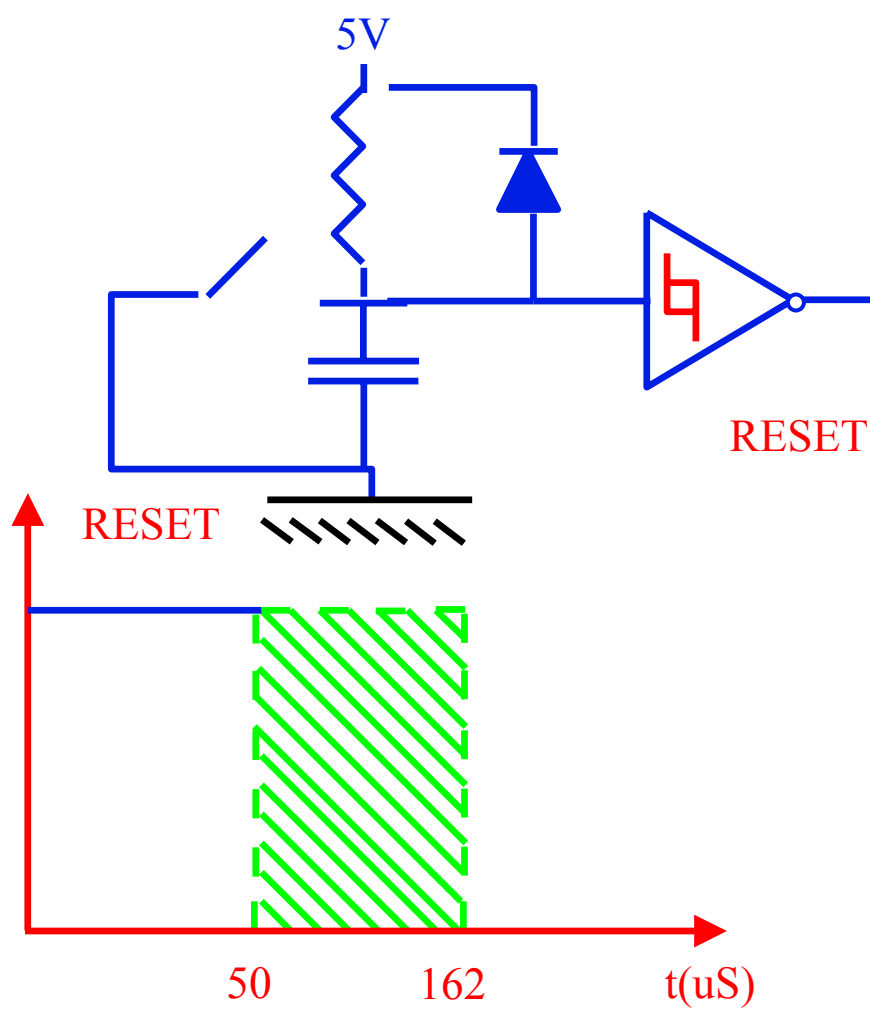
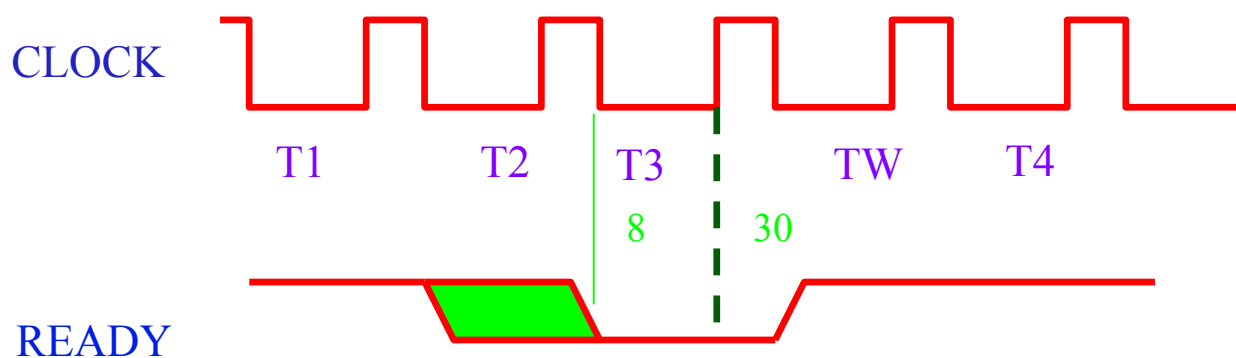
IOB	S0*
CLK	S2*
S1*	PDEN*
DTR*	DEN
ALE	CEN
AEN*	INTA*
MEMRD*	IORD*
AMWC*	AIOWR*
MEMWR*	IOWR*

- n Dispositivo impiegato in cooperazione con 8086/8 in MAXIMUM MODE per la generazione dei segnali di controllo

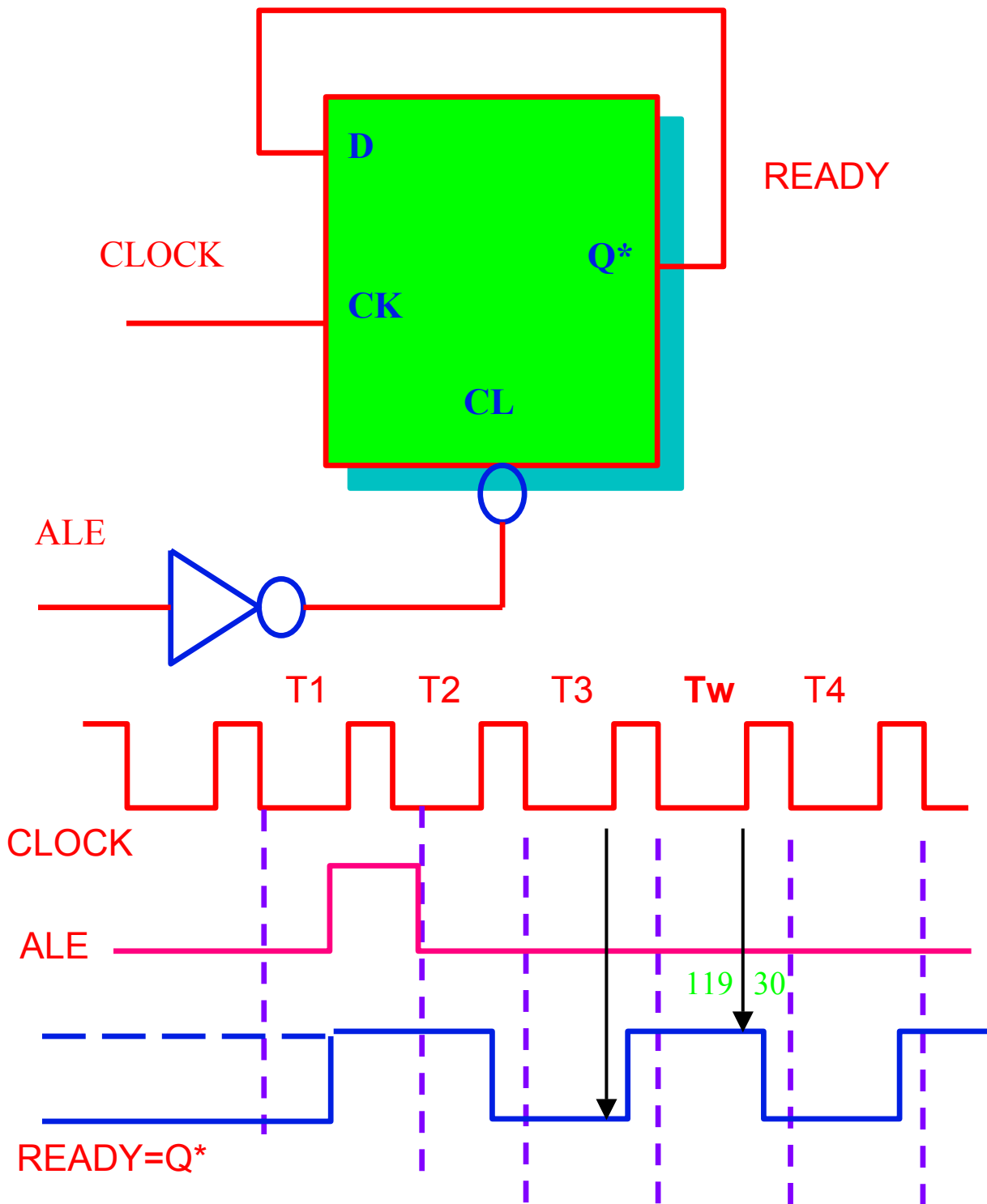
# MEMORIE E I/O



## SINCRONIZZAZIONE e RESET



# 1-STATE WAIT GENERATOR

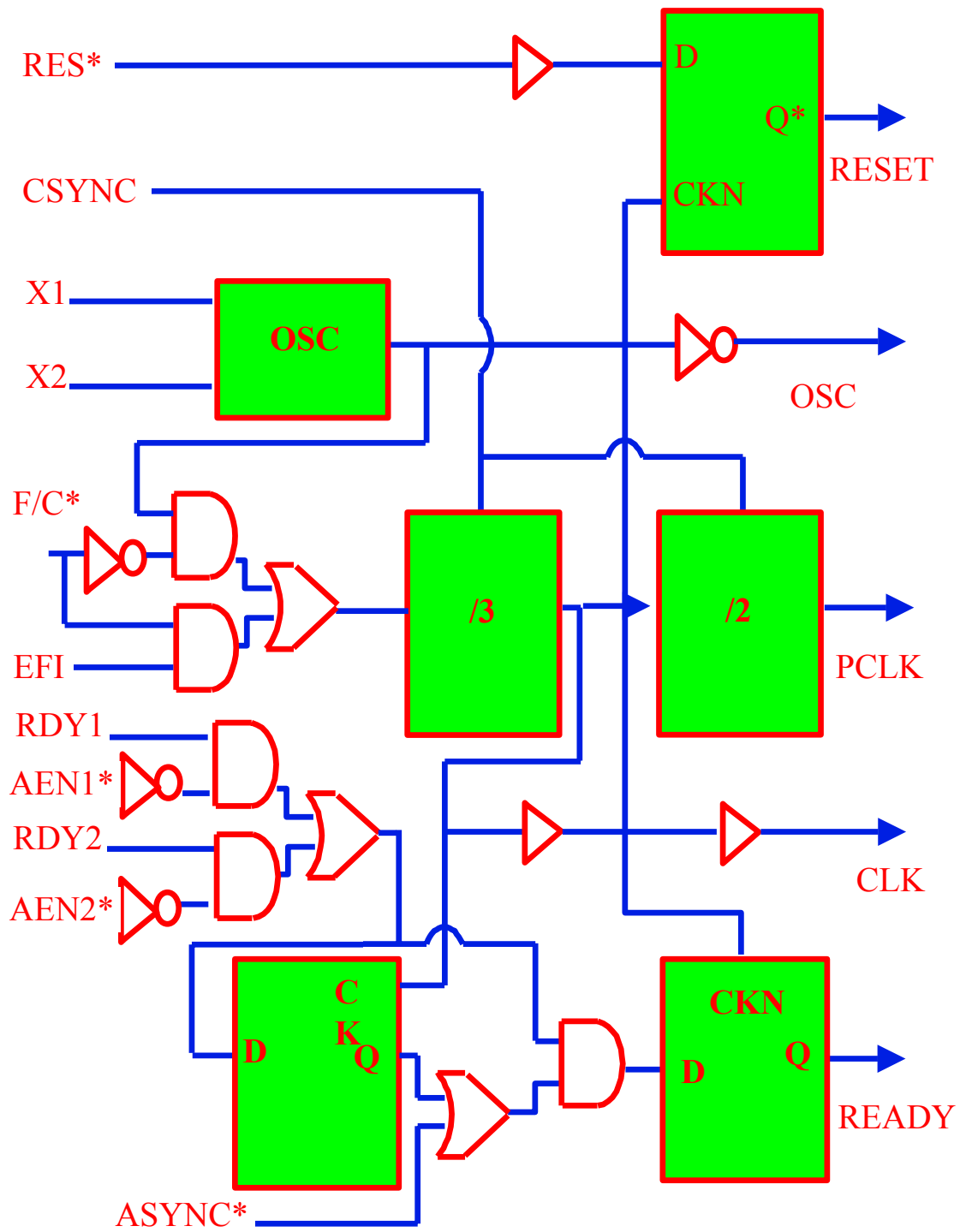


# 8284

## CLOCK GENERATOR & DRIVER

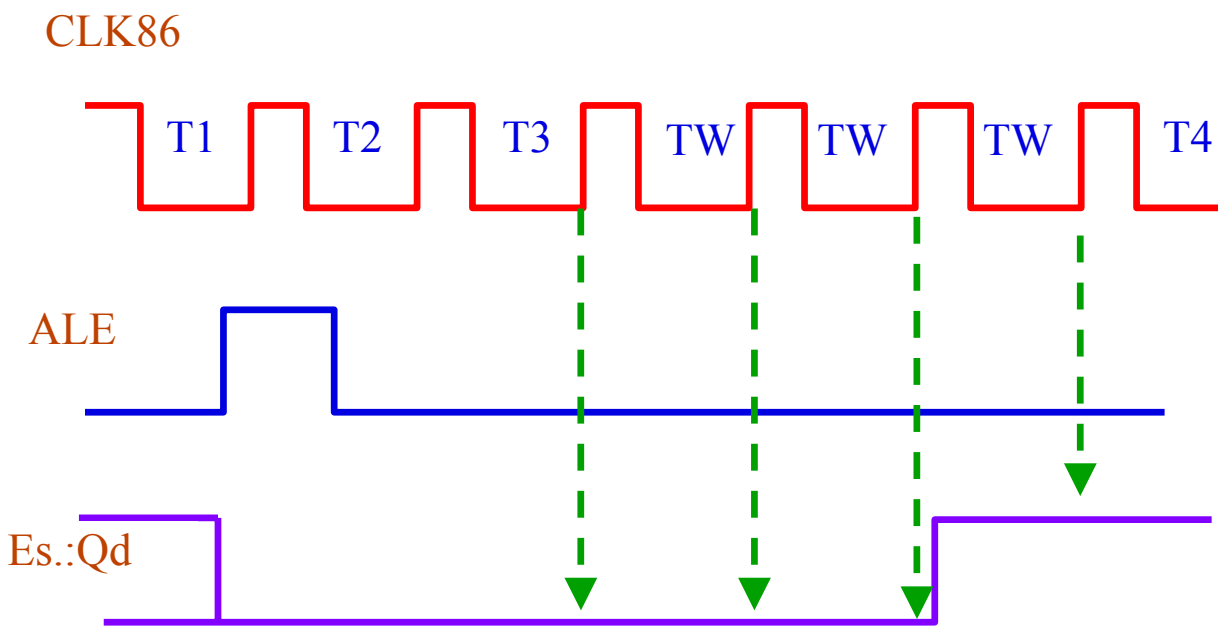
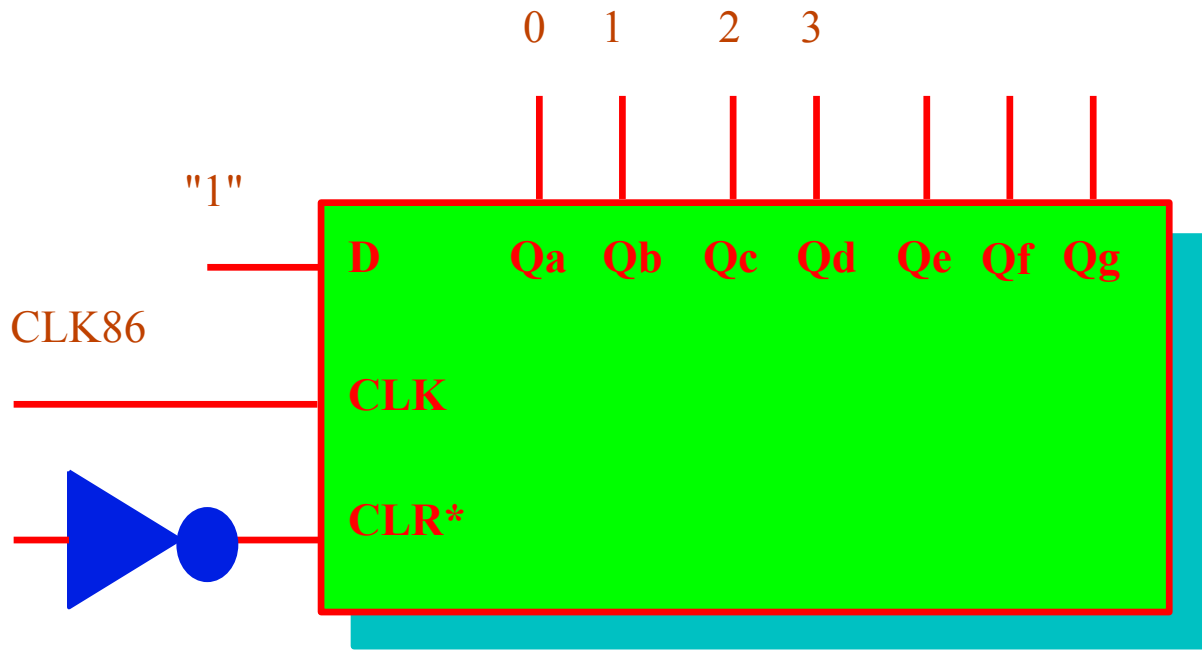
<b>CSYNC</b>	<b>X1</b>
<b>PCLK</b>	<b>X2</b>
<b>AEN1*</b>	<b>ASYNC*</b>
<b>RDY1</b>	<b>EFI</b>
<b>READY</b>	<b>F/C*</b>
<b>RDY2</b>	<b>OSC</b>
<b>AEN2*</b>	<b>RES*</b>
<b>CLK</b>	<b>RESET</b>

# 8284

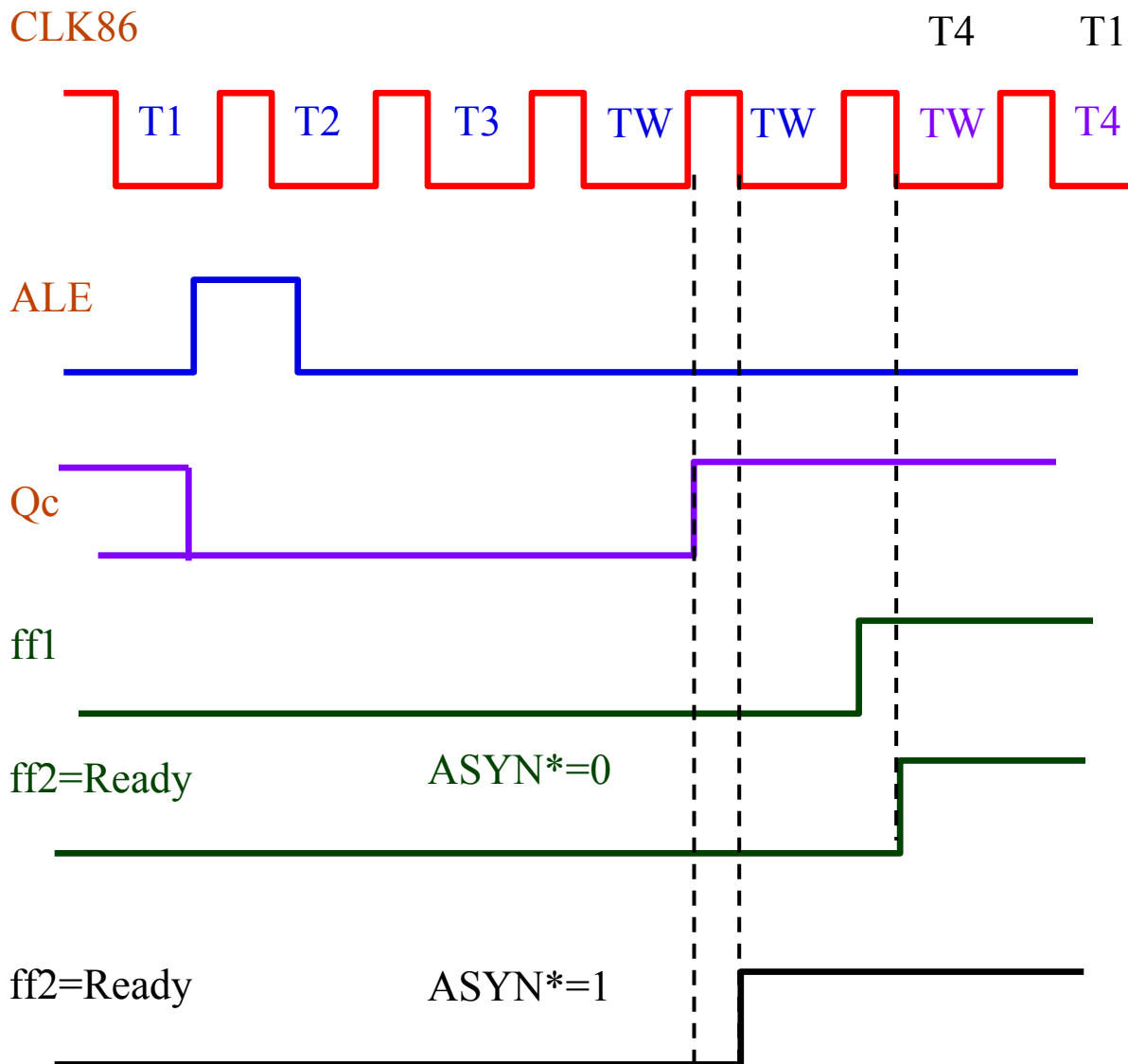




# STATI DI WAIT MULTIPLI



## USO 8284



- L'8284 garantisce la sincronizzazione del segnale di ready, cioè il rispetto dei tempi di setup e hold richiesti dall'8088 rispetto al fronte di salita del clock in T3 e in Tw

# WAIT MULTIPLI CON 8284

