

Campionamento e memoria

M. Favalli

Engineering Department in Ferrara



Sommario

- 1 Introduzione
- 2 Latch di tipo D
- 3 Flip-flop

Sommario

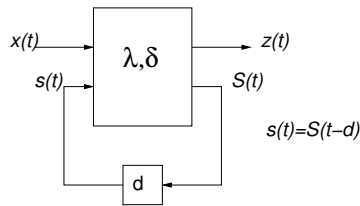
- 1 Introduzione
- 2 Latch di tipo D
- 3 Flip-flop

Introduzione

- Le macchine a stati finiti necessitano di elementi di memoria controllati da un segnale di clock per realizzare un ritardo T
- Questi elementi di memoria sono anch'essi delle macchine a stati finiti di tipo asincrono
- La teoria di questi sistemi é relativamente complessa e non risulta trattabile nell'ambito di questo corso
- Ci si limiterá a considerare i meccanismi base di memorizzazione in un sistema digitale e ad analizzare il comportamento di alcuni elementi di memoria studiandone l'evoluzione dei segnali nel dominio dei tempi

Modello di Huffman per un sistema asincrono

- L'aggiornamento delle variabili di stato non avviene in presenza degli istanti di sincronizzazione, ma in conseguenza di eventi sugli ingressi del sistema o (su altre variabili di stato)
- La memoria é in pratica data dal ritardo associato alle porte logiche e alle interconnessioni del sistema
- Nella figura tale ritardo é concentrato sulle linee di retroazione

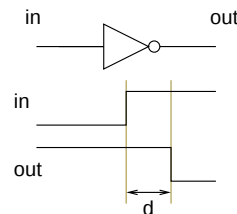


Fenomeni transitori

- La visione delle reti combinatorie che é stata fornita fino a questo momento é indipendente dal tempo
- In pratica, si é ipotizzato che tutte le porte logiche e quindi la rete abbiano un ritardo nullo
- Il comportamento fisico é invece piuttosto differente, in pratica, ciascun gate é caratterizzato da un ritardo di propagazione

Approfondimento

Il ritardo di propagazione di un gate é proporzionale alla sua complessità e al suo fan-out

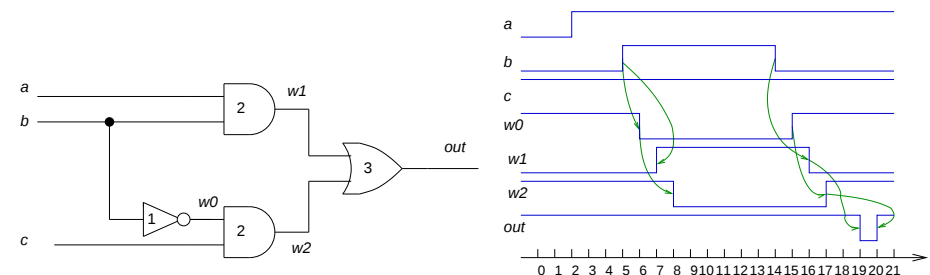


Macchine asincrone

- Il funzionamento di una macchina a stati asincrona dipende dall'evoluzione nel tempo di tutti i segnali (ingressi e variabili di stato futuro)
- Questo ne rende il comportamento dipendente dai transistori della rete combinatoria complicandone (rispetto al caso sincrono) la progettazione
- Considereremo alcuni esempi di circuiti elementari di tipo asincrono che realizzano funzionalità di memoria
- Tali circuiti verranno analizzati al livello strutturale considerando l'evoluzione dei loro segnali interni nel tempo

Fenomeni transitori

- La risposta di una rete combinatoria al cambiamento degli ingressi non é istantanea, ma le forme d'onda dei segnali di uscita evolvono nel tempo fino ad assestarsi una volta esauriti i transistori



Strumenti per l'analisi dei fenomeni transitori

- Per analizzare i fenomeni transitori, lo strumento principale é la simulazione logica
- Un simulatore é un programma in grado di ricevere in ingresso una rete logica (eventualmente caratterizzata con i ritardi di propagazione dei gate), una sequenza di stimoli e di predire l'evoluzione nel tempo dei segnali del circuito
- Il circuito può essere descritto graficamente o mediante un apposito linguaggio per la descrizione dell'hardware
- Esistono diversi simulatori di dominio pubblico (www.tkgate.org)

Sommario

1 Introduzione

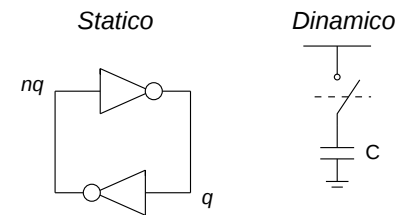
2 Latch di tipo D

3 Flip-flop

Memoria

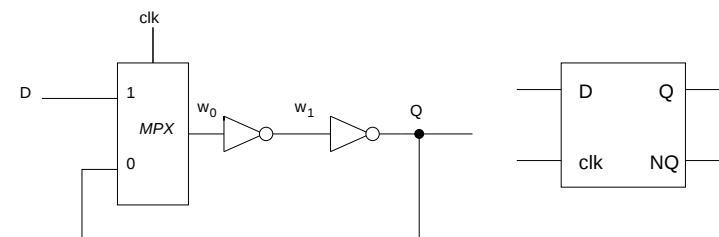
Nei sistemi digitali, si hanno due possibili modi per memorizzare un informazione

- statico: la rete contiene un ciclo non invertente (retroazione) che dà luogo a un circuito bistabile che contiene due punti di equilibrio stabile corrispondenti alla memorizzazione di uno 0 e di un 1 (si noti che i punti di equilibrio risultano stabili a causa del guadagno dei gate)
- dinamico: l'informazione viene memorizzata (s)caricando un condensatore



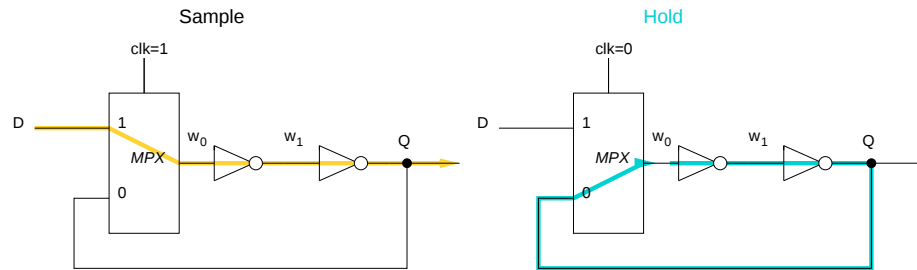
Latch (tipo D trasparente)

- Nelle memorie statiche nasce il problema di come alterare l'informazione memorizzata (scrittura)
- Un possibile approccio consiste nell'utilizzare un MPX controllato da un segnale (*clk*) che quando é a 1 abilita la fase di scrittura (sample) in cui viene campionato il dato *D* in ingresso e quando é a 0 chiude l'anello di retroazione consentendo di mantenere memorizzata (hold) l'informazione campionata



Sampe/Hold

Cammini selezionati nelle due fasi di funzionamento del latch D

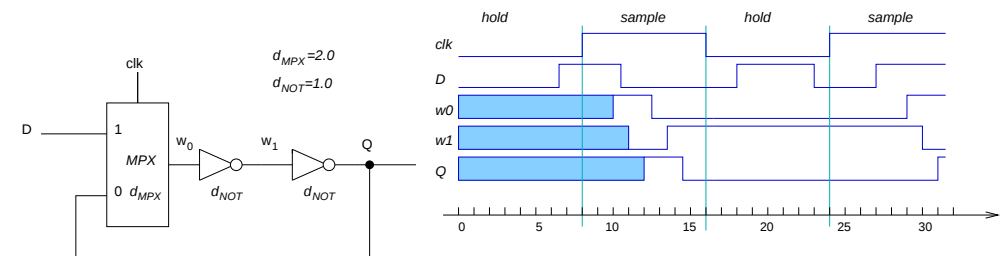


Parametri temporali del funzionamento di un latch

- Il tempo che intercorre fra l'istante di ingresso nella fase di campionamento e l'eventuale nuovo valore di Q , viene definito tempo di risposta (τ_{CQ})
- Il comportamento di un latch é quello corretto a condizione che alcune condizioni siano verificate, altrimenti si possono presentare dei malfunzionamenti

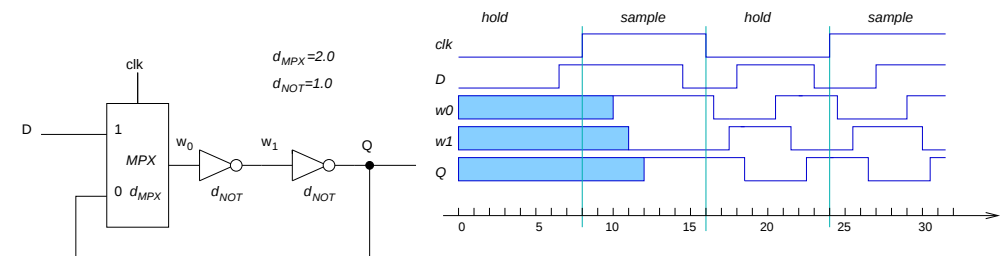
Esempio di comportamento

Analisi nel dominio dei tempi del comportamento di un D latch trasparente. Durante la fase di hold, l'uscita mantiene il valore campionato indipendentemente dai cambiamenti dell'ingresso



Malfunzionamento

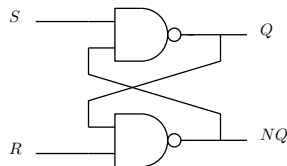
Se il segnale di ingresso ha avuto dei cambiamenti troppo "vicini" al fronte di discesa del segnale di clock, é possibile che l'anello di retroazione venga chiuso mentre una transizione si sta ancora propagando $\Rightarrow$ oscillazioni



Tempo di setup

- Il fenomeno precedente viene definito come violazione del tempo di setup
- Il segnale di ingresso deve rimanere stabile prima dell'ingresso del componente nella fase di hold per un tempo almeno pari a quello necessario per propagare il valore di D fino a Q
- Tale tempo viene detto τ_{DC} e nell'esempio è uguale al ritardo lungo al cammino: D, w_0, w_1, Q

Schema logico



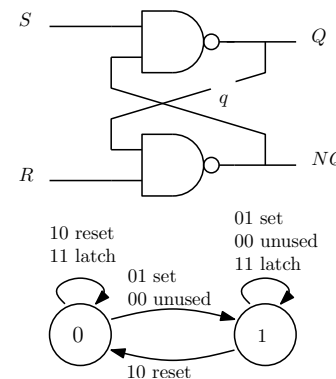
- realizzazione a NAND (ne esiste la duale a NOR)
- comandi attivi bassi
 - $S = 0$ (set) porta l'uscita a 1
 - $R = 0$ (reset) porta l'uscita a 0
 - $S = R = 1$ (latch) memorizzazione

Analisi: nelle reti asincrone le variabili di stato possono essere individuate aprendo gli anelli di retroazione dove si suppone sia concentrato il ritardo

Latch set - reset (SR)

- Il latch di tipo D è il più largamente utilizzato
- Esistono altri tipi di latch fra cui quello set - reset (SR)
- Anche in questo caso si tratta di una rete asincrona che verrà analizzata in maniera diversa dal latch-D mostrando come si possa associare uno STG anche alle reti asincrone
- Si lascia per esercizio l'analisi con le forme d'onda

Schema logico



- Q stato futuro e q stato presente
- equazione di stato futuro:
 $Q = ((qR)'.S)' = qR + S'$
- tabella delle transizioni

		SR			
q		00	01	11	10
0		1	1	0	0
1		1	1	1	0

Sommario

1 Introduzione

2 Latch di tipo D

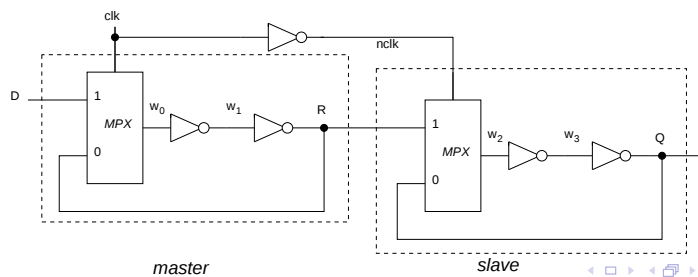
3 Flip-flop

Istante vs. intervallo di campionamento

- Nel caso delle reti sincrone si considera un istante di campionamento
- Il latch D trasparente mette invece a disposizione un intervallo di campionamento, e quindi il segnale rimane stabile non per T , ma per il periodo in cui il latch é nella fase di hold
- Per risolvere il problema esistono due soluzioni:
 - 1 utilizzare una forma d'onda del clock con un periodo di campionamento ridotto
 - 2 utilizzare elementi di memoria (flip-flop) che campionano in presenza di un evento sul segnale di clock anziché su un livello

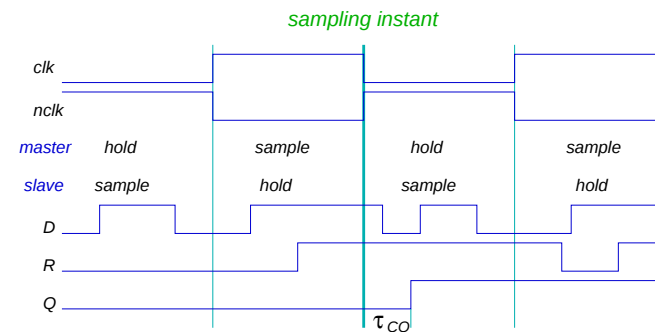
Flip-flop D master-slave

- L'idea é quella di utilizzare due latch D connessi in cascata controllati da due fasi di clock opposte
- Mentre il primo (master) campiona il dato, il secondo (slave) lo mantiene stabile in uscita riuscendo così ad avere l'uscita stabile per un periodo di clock
- Si può quindi affermare che tale FF campiona mentre il master passa dallo stato di sample a quello di hold



Flip-flop D master-slave

Analisi del comportamento di un flip-flop D



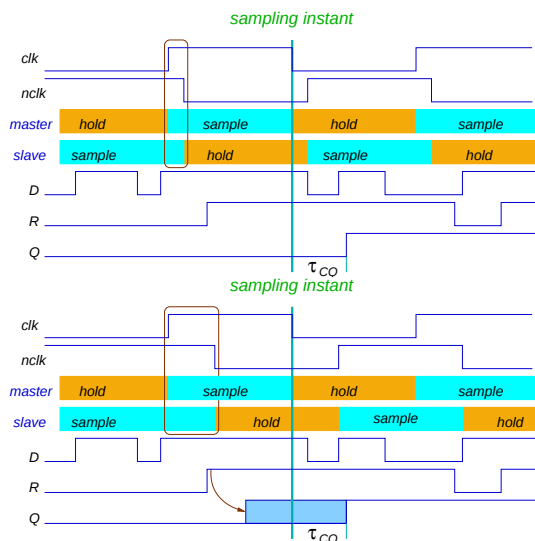
Flip-flop D

- Tale FF può essere impropriamente definito edge-triggered in quanto il campionamento avviene apparentemente in presenza di un evento, ma in realtà questo effetto è dovuto all'azione combinata di due campionamenti su livelli
- Esistono FF detti true edge-triggered in cui effettivamente è un evento a campionare il dato in ingresso
- I parametri caratteristici del FF master-slave sono il tempo di setup del master, il tempo di risposta dello slave
- A questi si aggiunge il tempo di hold (τ_{CD}) che si misura a partire dall'evento di campionamento e durante il quale deve essere garantita la stabilità di D

Feedthrough

Caso senza problemi:
il ritardo del NOT è $<$
di quello del master

Caso con problemi: il
ritardo del NOT è $>$ di
quello del master



Problemi

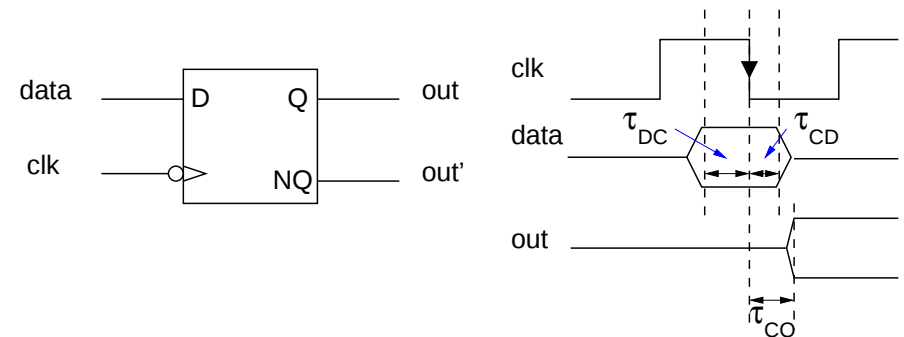
- Nel lucido precedente la forma d'onda del clock negato è stata idealizzata supponendo che l'invertitore abbia un ritardo nullo
- Nel caso reale, tale ritardo deve essere confrontato con i tempi caratteristici dei due latch
- **A causa del ritardo dell'invertitore, è possibile che le due fasi di sample si sovrappongano**
- Se tale periodo (uguale al ritardo dell'invertitore) è maggiore del ritardo del master in modalità di sample, si ha un fenomeno detto feedthrough per il quale i cambiamenti del dato in ingresso si possono riflettere sull'uscita del FF
- Si noti che il ritardo dell'invertitore si somma a τ_{CQ}

Equazione caratteristica del FF di tipo D

Il FF di tipo D può essere astratto come una macchina sincrona con la seguente equazione caratteristica (stato futuro):

$$Q_{k+1} = D_k$$

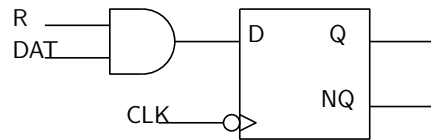
Simbolo e vincoli sulla dinamica di D e clk



Esempi di semplici reti che utilizzano il FF D

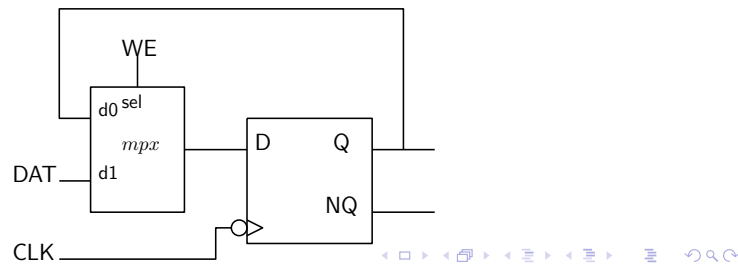
FF di tipo D con comando di reset (R attivo basso) sincrono:

$$Q_{k+1} = R_k DAT_k$$



FF di tipo D con comando di write enable (WE):

$$Q_{k+1} = Q_k \cdot WE'_k + DAT_k WE_k$$



(ENDIF)