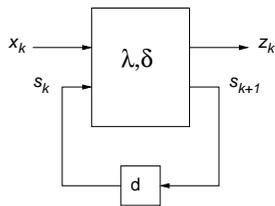




# Modello di Huffman per un sistema asincrono

- L'aggiornamento delle variabili di stato non avviene in presenza degli istanti di sincronizzazione, ma in conseguenza di eventi sugli ingressi del sistema o (su altre variabili di stato)
- La memoria é in pratica data dal ritardo associato alle porte logiche e alle interconnessioni del sistema
- Nella figura tale ritardo é concentrato sulle linee di retroazione

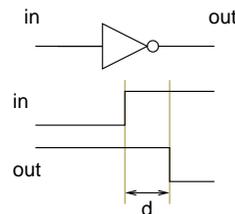


# Fenomeni transitori

- La visione delle reti combinatorie che é stata fornita fino a questo momento é indipendente dal tempo
- In pratica, si é ipotizzato che tutte le porte logiche e quindi la rete abbiano un ritardo nullo
- Il comportamento fisico é invece piuttosto differente, in pratica, ciascun gate é caratterizzato da un ritardo di propagazione

## Approfondimento

Il ritardo di propagazione di un gate é proporzionale alla sua complessità e al suo fan-out

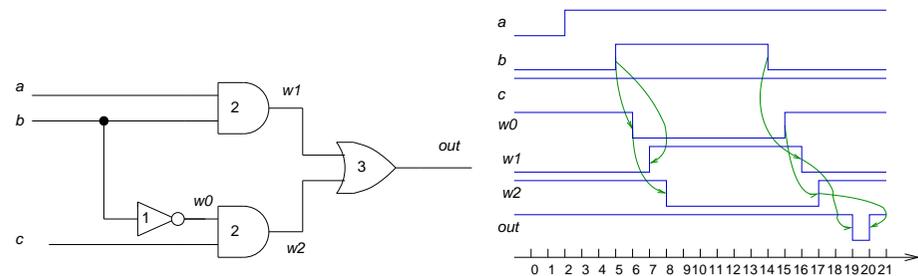


# Macchine asincrone

- Il funzionamento di una macchina a stati asincrona dipende dall'evoluzione nel tempo di tutti i segnali (uscite e variabili di stato futuro)
- Questo ne rende il comportamento dipendente dai transistori della rete combinatoria complicandone (rispetto al caso sincrono) la progettazione
- Considereremo alcuni esempi di circuiti elementari di tipo asincrono che realizzano funzionalità di memoria
- Tali circuiti verranno analizzati al livello strutturale considerando l'evoluzione dei loro segnali interni nel tempo

# Fenomeni transitori

- La risposta di una rete combinatoria al cambiamento degli ingressi non é istantanea, ma le forme d'onda dei segnali di uscita evolvono nel tempo fino ad assestarsi una volta esauriti i transistori



## Strumenti per l'analisi dei fenomeni transitori

- Per analizzare i fenomeni transitori, lo strumento principale é la simulazione logica
- Un simulatore é un programma in grado di ricevere in ingresso una rete logica (eventualmente caratterizzata con i ritardi di propagazione dei gate), una sequenza di stimoli e di predire l'evoluzione nel tempo dei segnali del circuito
- Il circuito puó essere descritto graficamente o mediante un apposito linguaggio per la descrizione dell'hardware
- Esistono diversi simulatori di dominio pubblico ([www.tkgate.org](http://www.tkgate.org))

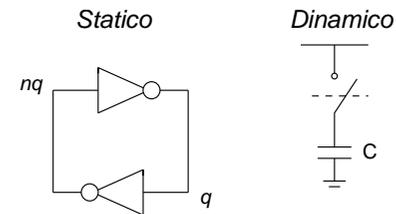
## Sommario

- 1 Introduzione
- 2 Latch di tipo D
- 3 Flip-flop

## Memoria

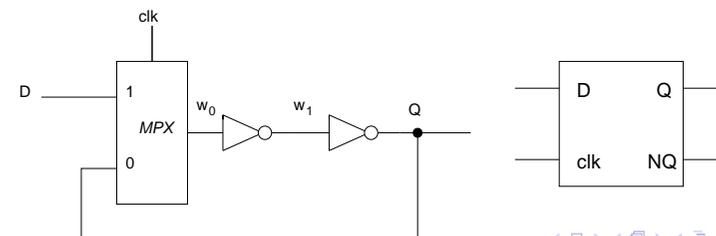
Nei sistemi digitali, si hanno due possibili modi per memorizzare un'informazione

- statico: la rete contiene un ciclo (retroazione) e nel caso in cui il ciclo sia non invertente si ottiene un circuito bistabile che contiene due punti di equilibrio stabile corrispondenti alla memorizzazione di uno 0 e di un 1 (si noti che i punti di equilibrio risultano stabili a causa del guadagno dei gate)
- dinamico: l'informazione viene memorizzata (s)caricando un condensatore



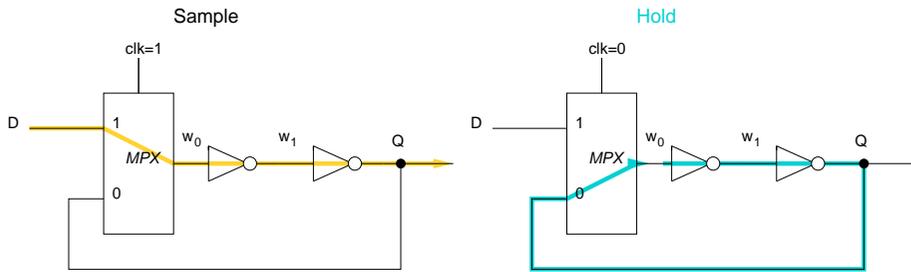
## Latch (tipo D trasparente)

- Nel caso della memoria statica nasce il problema di come alterare l'informazione memorizzata nell'autoanello (con un'operazione di scrittura)
- Un possibile approccio consiste nell'utilizzare un MPX controllato da un segnale (*clk*) che quando é a 1 abilita la fase di scrittura (sample) in cui viene campionato il dato *D* in ingresso e quando é a 0 chiude l'anello di retroazione consentendo di mantenere memorizzata (hold) l'informazione campionata



## Sampe/Hold

Cammini selezionati nelle due fasi di funzionamento del latch D



()

5th June 2007 13 / 25

Latch di tipo D

## Parametri temporali del funzionamento di un latch

- Il tempo che intercorre fra l'ingresso nella fase di campionamento e l'eventuale nuovo valore di  $Q$ , viene definito tempo di risposta  $T_{CQ}$
- Il comportamento di un latch è quello corretto a condizione che alcune condizioni siano verificate, altrimenti si possono presentare dei malfunzionamenti

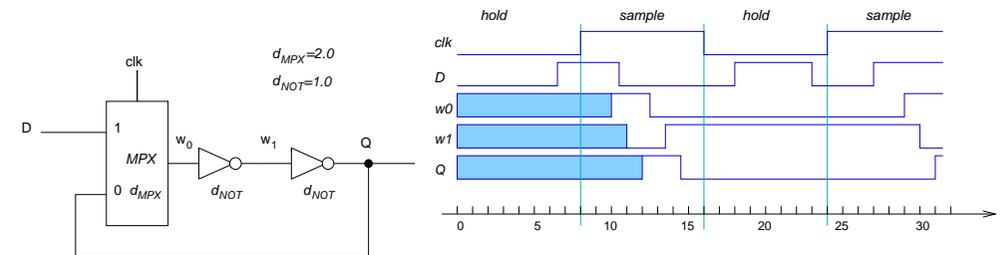


()

5th June 2007 15 / 25

## Esempio di comportamento

Analisi nel dominio dei tempi del comportamento di un D latch trasparente, come si osserva, durante la fase di hold, l'uscita mantiene il valore campionato indipendentemente dai cambiamenti dell'ingresso



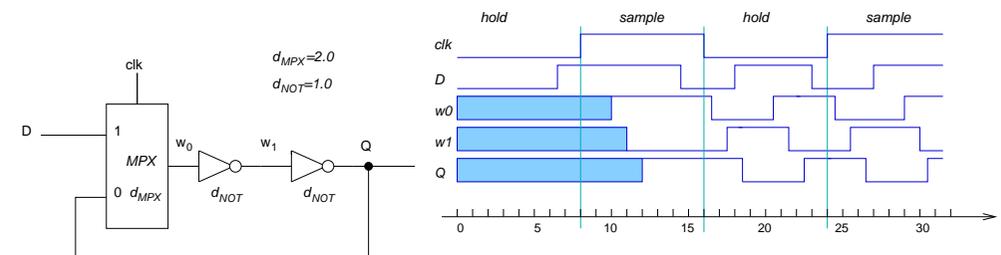
()

5th June 2007 14 / 25

Latch di tipo D

## Malfunzionamento

Se il segnale di ingresso ha avuto dei cambiamenti troppo "vicino" al fronte di discesa del segnale di clock, è possibile che l'anello di retroazione venga chiuso mentre una transizione si sta ancora propagando. Come conseguenza, si possono instaurare oscillazioni



()

5th June 2007 16 / 25

## Tempo di setup

- Il fenomeno precedente viene definito come violazione del tempo di setup
- In particolare, il segnale di ingresso deve rimanere stabile prima dell'ingresso del componente nella fase di hold per un tempo pari a quello necessario per propagare il valore di  $D$  fino a  $Q$
- Tale tempo viene detto  $\tau_{DC}$  e nell'esempio è uguale al ritardo lungo al cammino:  $D, w_0, w_1, Q$

## Istante vs. intervallo di campionamento

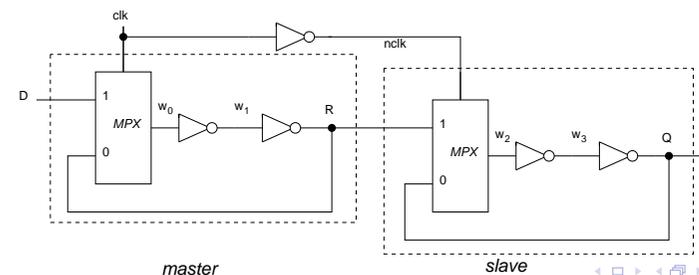
- Nel caso delle reti sincrone si considera un istante di campionamento
- Il latch D trasparente mette invece a disposizione un intervallo di campionamento, e quindi il segnale rimane stabile non per  $T$ , ma per il periodo in cui il latch è nella fase di hold
- Per risolvere il problema esistono due soluzioni:
  - 1 utilizzare una forma d'onda del clock con un periodo di campionamento ridotto
  - 2 utilizzare elementi di memoria (flip-flop) che campionano in presenza di un evento sul segnale di clock anziché su un livello

## Sommario

- 1 Introduzione
- 2 Latch di tipo D
- 3 Flip-flop

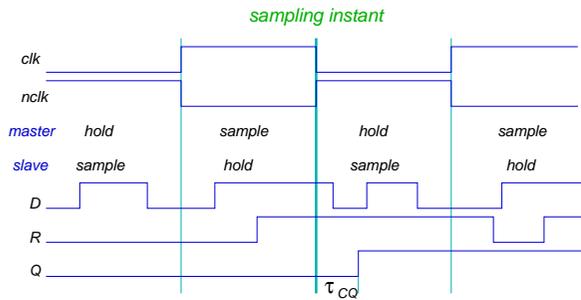
## Flip-flop D master-slave

- L'idea è quella di utilizzare due latch D connessi in cascata controllati da due fasi di clock opposte
- Mentre il primo (master) campiona il dato, il secondo (slave) lo mantiene stabile in uscita riuscendo così ad avere l'uscita stabile per un periodo di clock
- Si può quindi affermare che tale FF campiona mentre il master passa dallo stato di sample a quello di hold



# Flip-flop D master-slave

## Analisi del comportamento di un flip-flop D



## Problemi

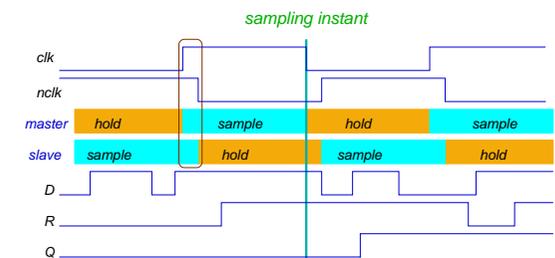
- Nel lucido precedente la forma d'onda del clock negato é stata idealizzata supponendo che l'invertitore abbia un ritardo nullo
- Nel caso reale, tale ritardo deve essere confrontato con i tempi caratteristici dei due latch
- A causa del ritardo dell'invertitore, é possibile che le due fasi di sample si sovrappongano
- Se tale periodo (uguale al ritardo dell'invertitore) é maggiore del ritardo del master in modalitá di sample, si ha un fenomeno detto feedthrough per il quale i cambiamenti del dato in ingresso si possono riflettere sull'uscita del FF (o comunque possono dare luogo a una violazione del tempo setup dello slave)
- Si noti che il ritardo dell'invertitore si somma a  $\tau_{CO}$

# Flip-flop D

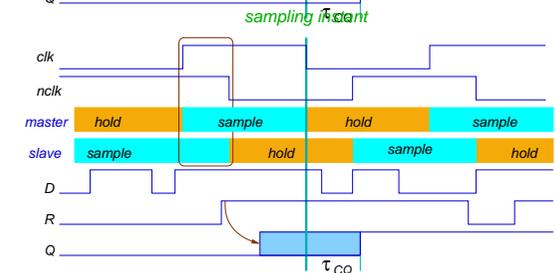
- Tale FF puó essere impropriamente definito edge-triggered in quanto il campionamento avviene in presenza di un evento
- In realtá il questo effetto é dovuto all'azione combinata di due campionamenti su livelli (esistono FF detti true edge-triggered in cui effettivamente é un evento a campionare il dato in ingresso)
- I parametri caratteristici per il corretto funzionamento di tale FF sono il tempo di setup del master, il tempo di risposta dello slave
- A questi si aggiunge il tempo di hold ( $\tau_{CD}$ ) che si misura a partire dall'evento di campionamento e durante il quale deve essere garantita la stabilitá di  $D$

## Feedthrough

Caso senza problemi:  
il ritardo del NOT é < di quello del master



Caso con problemi: il ritardo del NOT é > di quello del master



# Sommario

Il FF di tipo  $D$  può essere astratto come una macchina sincrona con la seguente equazione caratteristica:

$$Q^{k+1} = Q_k$$

Simbolo e vincoli sulla dinamica di  $D$  e  $clk$

